

# CORSO DI ELETTRONICA DIGITALE

**Nelle pagine seguenti sarà illustrato, in termini molto generali, il modo in cui è formato un elaboratore e quali sono i suoi componenti interni più importanti. Per non cominciare la casa dal tetto però, verranno descritti inizialmente i componenti esterni di questa macchina denominata elaboratore.**

## INTRODUZIONE AI COMPONENTI DEL PC

**U**n corso di elettronica digitale inserito in una rivista dedicata al personal computer sembrerebbe una nota stonata: in effetti non è così, poiché in questo corso verranno trattati ed analizzati i diversi componenti elettronici che formano l'elaboratore.

### **STRUTTURA DI UN PC**

Anche se questo argomento verrà analizzato in modo più approfondito in un'altra sezione di quest'opera, in questa sede verranno sommariamente ricordate solo quali sono le unità che compongono un elaboratore:

*Unità centrale*

*Tastiera*

*Monitor*

È possibile inserire tra queste unità anche la stampante, poiché è la periferica che permette di trasformare i dati dell'unità centrale in informazioni scritte.

Prima di analizzare cosa succede all'interno di ciascuna di queste unità, verranno descritte le funzioni che realizzano insieme.

*Nell'unità centrale sono presenti i componenti principali che permettono il funzionamento del PC*

Nell'unità centrale si trovano i componenti principali che permettono il funzionamento del PC. In essa si possono distinguere la scheda madre o principale, su cui è montato il già citato microprocessore e i suoi "aiutanti" - le memorie - le unità disco - l'alimentatore - gli slot di espansione.

La tastiera costituisce uno dei tramite tra l'unità centrale dell'elaborato-

*La tastiera è la periferica che permette l'input di informazioni all'unità centrale*



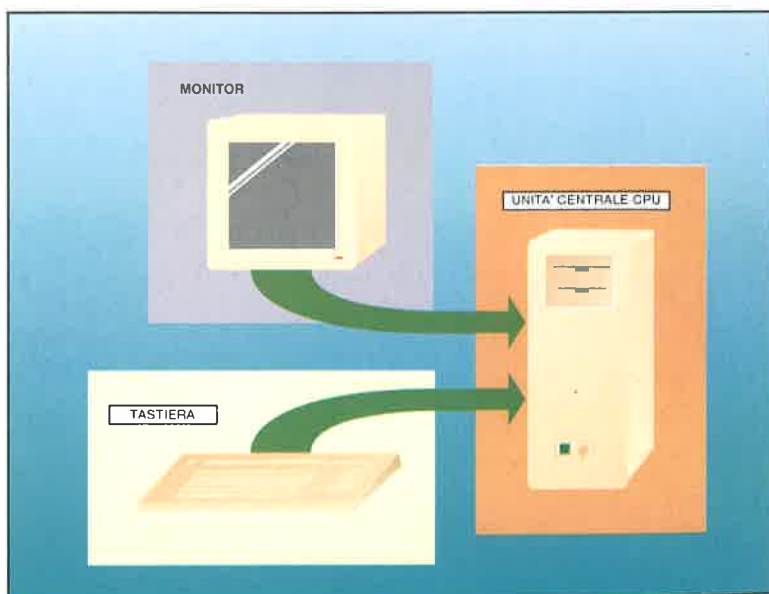


*Il PC è l'elemento fondamentale che sta alla base del corso di elettronica digitale*

re e l'utilizzatore: attraverso questa unità è possibile fornire al PC gli ordini necessari per il suo funzionamento.

I tasti sono disposti in un ordine prestabilito e standardizzato secondo le regole richieste dai diversi Paesi. La tastiera è impostata via software con il comando KEY Bxx. In generale però, la parte centrale della tastiera è dedicata alle lettere dell'alfabeto e ad alcuni comandi particolari propri del PC, quali Alt, Control e Enter. Alla destra di questo blocco centrale si trovano dei tasti funzionali specifici, utili per alcuni tipi di programmi, quali Ins, Canc, Home, End, PgUp, PgDn e quat-

*Diagramma a blocchi di un elaboratore, nel quale si distinguono: monitor, unità centrale e tastiera*



tro freccette che servono per spostare il cursore sullo schermo rispettivamente verso l'alto verso il basso a sinistra e a destra. Il significato specifico di questi tasti verrà descritto, come già detto, in un'altra sezione dell'opera. Ancora più a destra è posizionato il tastierino numerico, che riporta la numerazione decimale e alcuni segni matematici; questo tastierino si può attivare tramite il tasto Bloc Num situato in alto a destra. Infine, ci sono dodici tasti, definiti "tasti funzione", che realizzano delle operazioni particolari e a volte complesse, specifiche dei diversi programmi applicativi; su questa riga sono presenti anche il tasto Esc di escape, il tasto Print Screen per la stampa immediata delle informazioni visualizzate sul monitor, e il tasto Scroll Lock per bloccare lo scorrimento dei dati visualizzati. Completa l'insieme del PC il monitor, costituito da uno schermo che permette di visualizzare in qualunque mo-

mento le informazioni desiderate. I dati trasmessi dallo schermo sono istantanei, al contrario di quelli ottenuti mediante il supporto cartaceo fornito dalla stampante. Quando si decide l'acquisto del monitor, è importante verificare che sia compatibile con il tipo di scheda video collegata alla scheda madre e con i programmi che si intendono

utilizzare. A tal proposito si ricorda che in commercio esistono diversi tipi di monitor: CGA (Adattatore grafico a colori), EGA (Adattatore grafico avanzato a colori), VGA (Adattatore grafico a colori ad alta risoluzione) e SVGA (Adattatore grafico a colori ad altissima risoluzione).

Dopo aver analizzato esteriormente le parti componenti un elaboratore, è possibile definire ciò che ciascuna di queste unità contiene internamente.

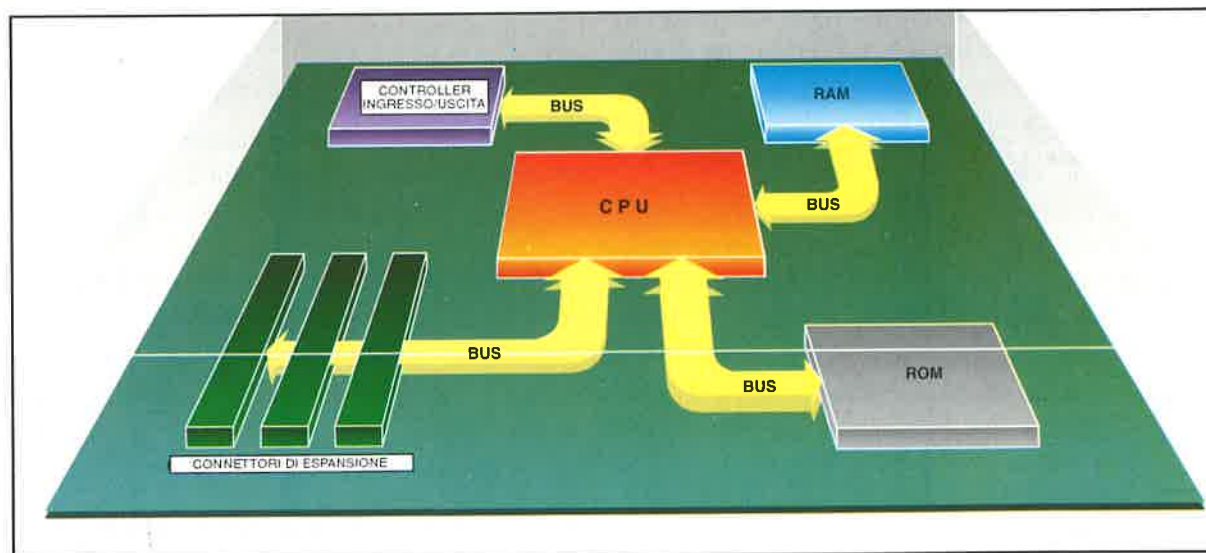
### COMPONENTI DELL'UNITÀ CENTRALE

Anche se inizialmente molti dei nomi utilizzati per descrivere i distinti componenti che costituiscono l'unità centrale sembreranno strani o sconosciuti non bisogna preoccuparsi, perché verranno descritti singolarmente e in modo particolareggiato nei diversi capitoli successivi.

L'introduzione dei circuiti integrati e dell'elettroni-



*Il monitor costituisce il mezzo più rapido con cui l'elaboratore si pone in comunicazione con l'utilizzatore*



*La scheda madre è costituita principalmente da: unità centrale di elaborazione (CPU), memoria, controllo di ingresso/uscita, bus di trasmissione delle informazioni (Diagramma a blocchi)*

ca digitale nel campo degli elaboratori ha permesso che questi aumentassero la loro capacità operativa e di memorizzazione dei dati. Nell'unità centrale, o per meglio dire sulla scheda madre, si possono distinguere quattro differenti blocchi elementari:

- Unità centrale di elaborazione, o CPU
- Memoria
- Unità di ingresso/uscita, o di I/O
- Bus dei dati e degli indirizzi

L'unità centrale di elaborazione - che d'ora in poi verrà chiamata CPU - costituisce il cervello dell'elaboratore; i suoi compiti principali sono di elaborare, creare e controllare le informazioni in ingresso e in uscita dal PC. La CPU è suddivisa principalmente in due grandi blocchi: l'unità di controllo e l'unità aritmetico-logica (ALU). La prima unità ha il compito di ricevere le istruzioni e di convertirle in segnali comprensibili per gli altri elementi dell'elaboratore. La ALU deve invece

*La memoria ha il compito di immagazzinare tutte le informazioni, siano esse dati o istruzioni*

realizzare le operazioni logiche e aritmetiche indicate dalle distinte istruzioni.

La memoria si preoccupa di memorizzare tutte le informazioni, siano esse dati o istruzioni. Nel complesso dell'unità centrale esistono diversi tipi di memoria:

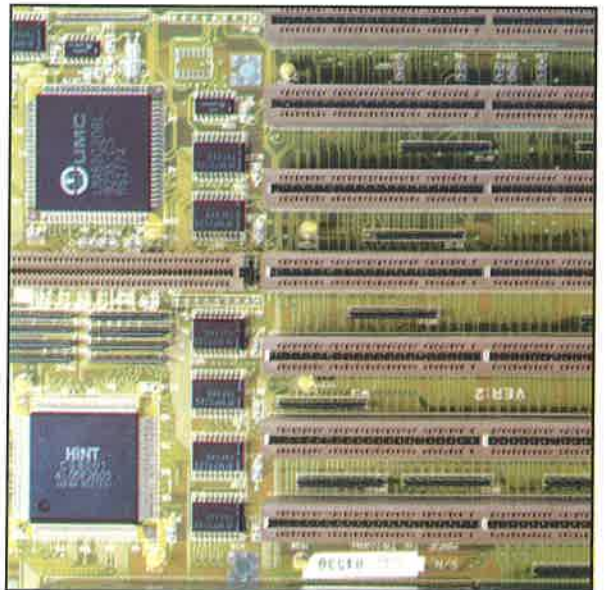
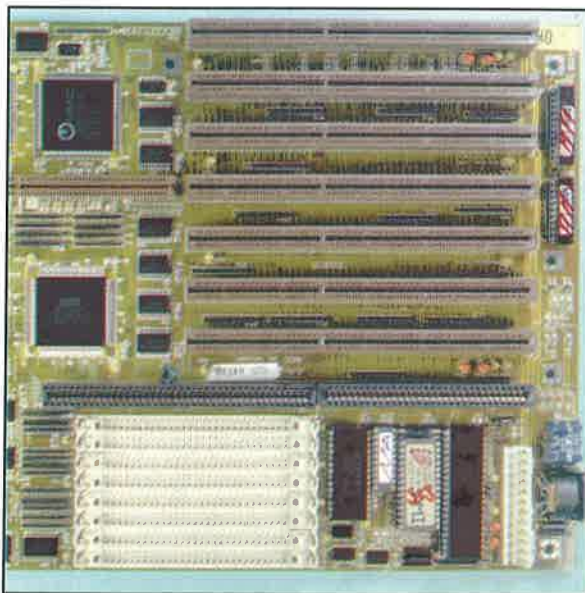
**RAM** - (dall'inglese Random Access Memory) costituita da una memoria sia di lettura che di scrittura; ciò vuol dire che su di essa è possibile sia l'accesso alle informazioni che la loro modifica  
**ROM** - (dall'inglese Read Only Memory) formata da una memoria di sola lettura, sulla quale non è possibile modificare le informazioni memorizzate. A questa stessa famiglia appartengono anche altri tipi di memoria: PROM e EPROM. La ROM viene direttamente programmata dal fabbricante e non è cancellabile; la PROM può essere programmata dall'utilizzatore, ma anche questa non è cancellabile; la EPROM può essere programmata dall'utilizzatore, può



*L'unità centrale è fondamentalmente costituita da un alimentatore, un disk drive e una scheda madre*

essere cancellata, e poi riprogrammata tramite tecniche particolari.

*Gli slot di espansione permettono all'elaboratore di ampliare le proprie possibilità*



*Sulla scheda madre è presente l'elemento principale di qualsiasi elaboratore: il microprocessore*

# INTRODUZIONE ALL'ALGEBRA DI BOOLE

**Prima di introdurre pienamente quella che viene definita l'elettronica digitale, è necessario fornire alcune nozioni fondamentali su questo argomento. Per fare ciò, nelle pagine seguenti di quest'opera verranno sfruttati esempi ricavati dalla vita di tutti i giorni, in modo da rendere più facile la comprensione dei concetti e delle regole che verranno descritte e utilizzate.**

**L**a base matematica sulla quale si fonda l'algebra di commutazione, punto di partenza dell'elettronica digitale, viene denominata algebra di Boole. Questa opera con variabili che possono assumere due soli stati ammissibili; ciò significa che esiste la possibilità di gestire solo due valori.

Dal punto di vista matematico questi valori sono **0** e **1**, mentre dal punto di vista logico le variabili possono essere **False** o **Vere**. Elettricamente inve-

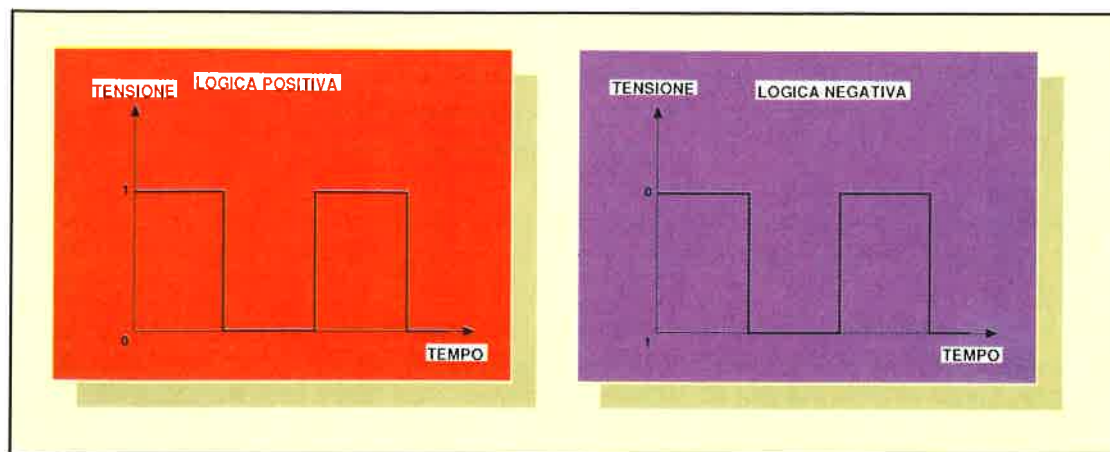
ce, questi due valori corrispondono ad un livello di tensione basso e ad un livello alto ai quali, secondo la convenzione assunta, verrà assegnato il valore matematico 0 o 1.

L'espressione "secondo la convenzione assunta", permette di definire due tipi di logica:

*logica positiva*

*logica negativa*

La prima di queste prevede la corrispondenza di un livello alto di tensione allo stato logico 1, e di un livello basso di tensione allo stato logico 0. Al



*Nel campo dell'elettronica digitale si possono distinguere due tipi di logica, nei quali i livelli logici 0 e 1 vengono associati in modo opposto ai valori alto e basso di tensione*

contrario, in logica negativa il livello alto di tensione corrisponde allo stato logico 0 e il livello basso di tensione allo stato logico 1. Nelle pagine seguenti questi due concetti verranno analizzati in modo più approfondito.

### NOZIONI FONDAMENTALI DELL'ALGEBRA DI BOOLE

Matematicamente parlando, l'unione di due elementi effettuata tramite le operazioni algebriche + e \* può essere considerata una espressione dell'algebra di Boole quando si verificano le seguenti condizioni:

1. Le due operazioni sono commutative

$$A + B = B + A \quad ; \quad A * B = B * A$$

2. Esiste l'elemento identità per entrambe le operazioni

$$A + 0 = 0 + A = A \quad ; \quad A * 1 = 1 * A = A$$

3. Ciascuna operazione è distributiva rispetto all'altra

$$A + (B * C) = (A + B) * (A + C)$$

$$A * (B + C) = (A * B) + (A * C)$$

4. Per ciascun elemento dell'unione esiste il suo complementare

$$A + \overline{A} = 1 \quad ; \quad A * \overline{A} = 0$$

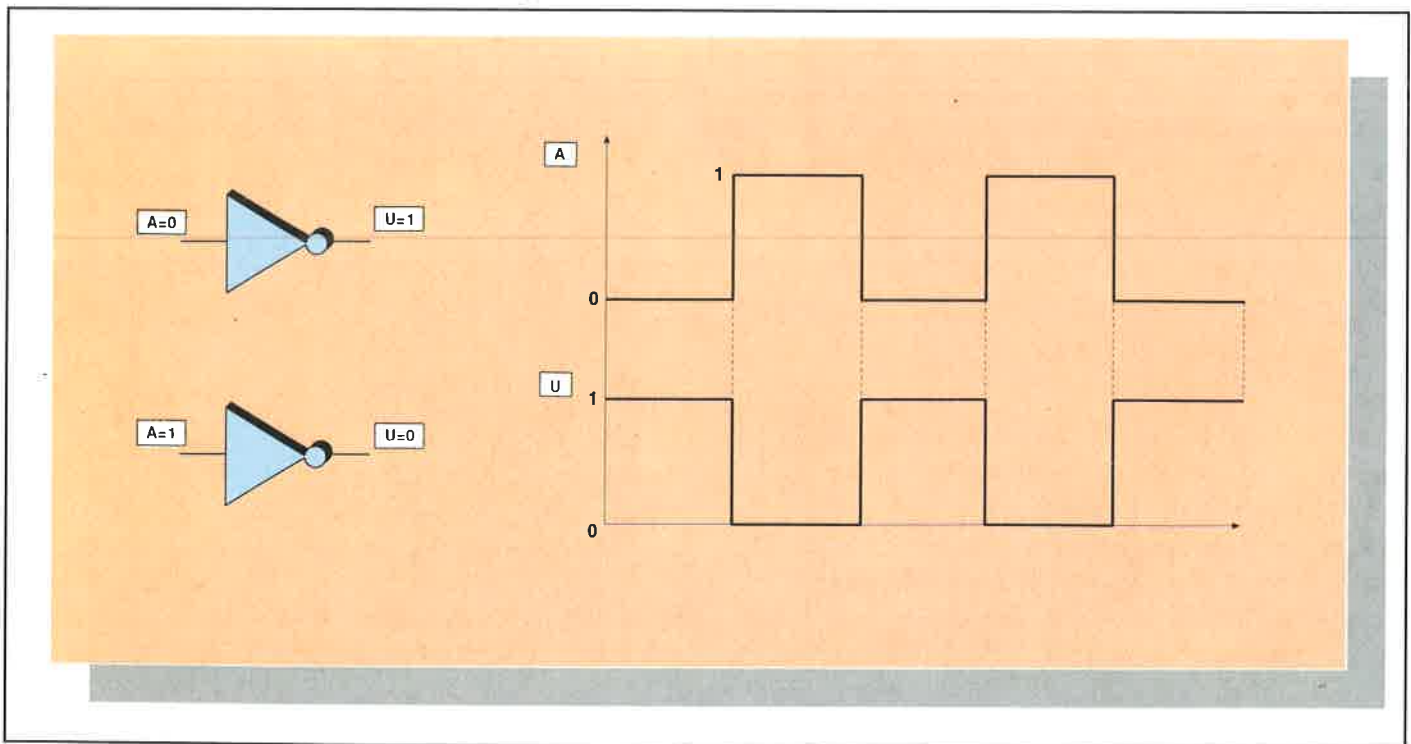
dove  $\overline{A}$  è il complementare di A. Per applicare tutti questi concetti matematici allo studio dell'elettronica digitale verranno utilizzate quelle che si definiscono funzioni o porte logiche, derivate dalle funzioni booleane, che posseggono tutte le proprietà prima descritte.

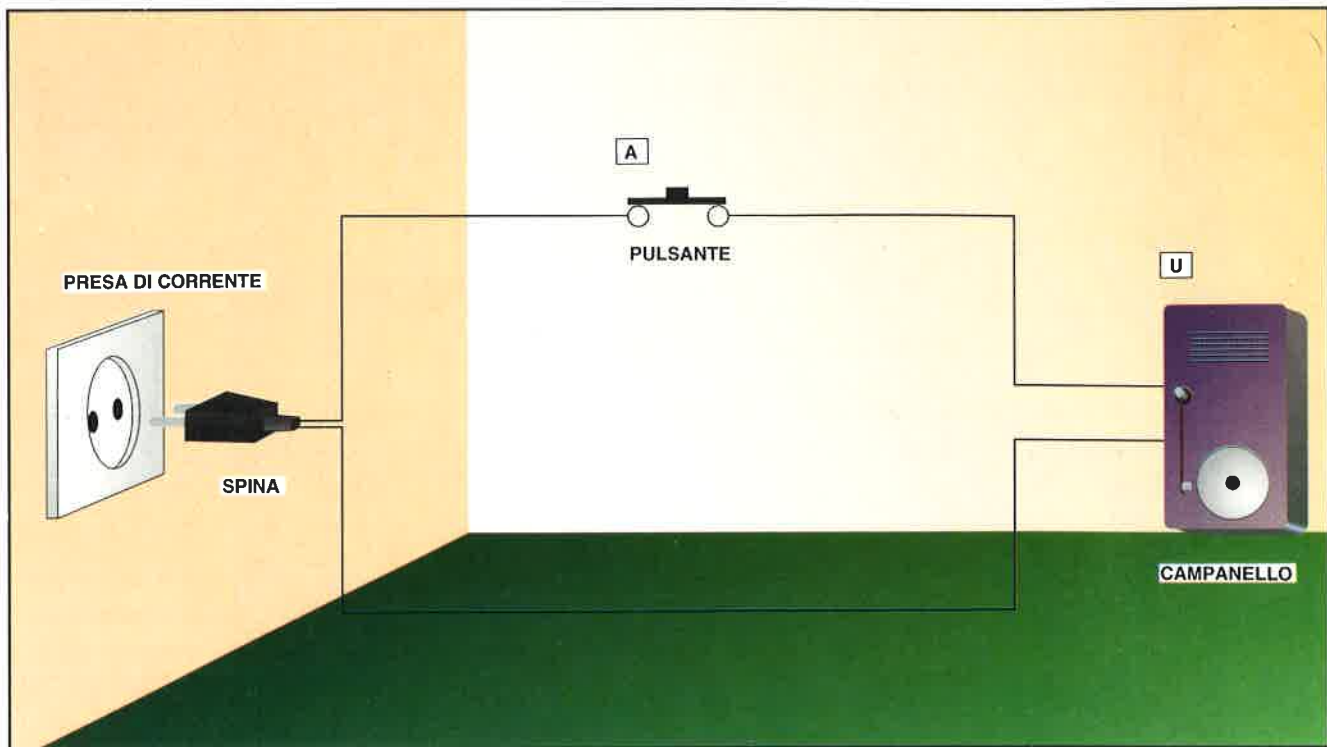
### LE PORTE LOGICHE

Elettronicamente le funzioni logiche sono rappresentate da elementi denominati porte logiche, che vengono costruiti per mezzo di componenti analogici. Per definire una funzione logica, oltre che la sua espressione matematica, verrà utilizzata anche la tabella della verità, nella quale sono rappresentati i valori 0 e 1 assunti dalla funzione

*Elettronicamente  
le funzioni  
logiche sono  
rappresentate da  
dispositivi  
denominati porte  
logiche, costruiti  
per mezzo di  
componenti  
analogici*

Rappresentazione grafica di una porta NOT o invertente e andamento in funzione del tempo delle variabili di ingresso e di uscita





Utilizzando un interruttore normalmente chiuso e un campanello è possibile simulare il funzionamento della porta NOT, con i suoi due stati di funzionamento ammissibili

per ciascuna delle combinazioni possibili delle variabili di ingresso, corrisponde alla seguente tabella della verità:

Si possono distinguere quattro funzioni logiche booleane:

Funzione identità

Funzione negazione

Funzione OR

Funzione AND

Da queste derivano altre funzioni logiche non meno importanti di quelle già indicate:

Funzione NOR

Funzione NAND

Funzione OR-Esclusivo

Funzione NOR-Esclusivo

### **FUNZIONE IDENTITÀ**

Generalmente non viene utilizzata nei progetti di elettronica digitale, ma serve egualmente per poter introdurre il concetto di funzione negazione. Si dice che due variabili sono uguali, o identiche, quando esiste una corrispondenza biunivoca tra le stesse; questo vuol dire che quando una è Vera, anche l'altra lo è, e viceversa.

La sua rappresentazione matematica è  $U = A$  e

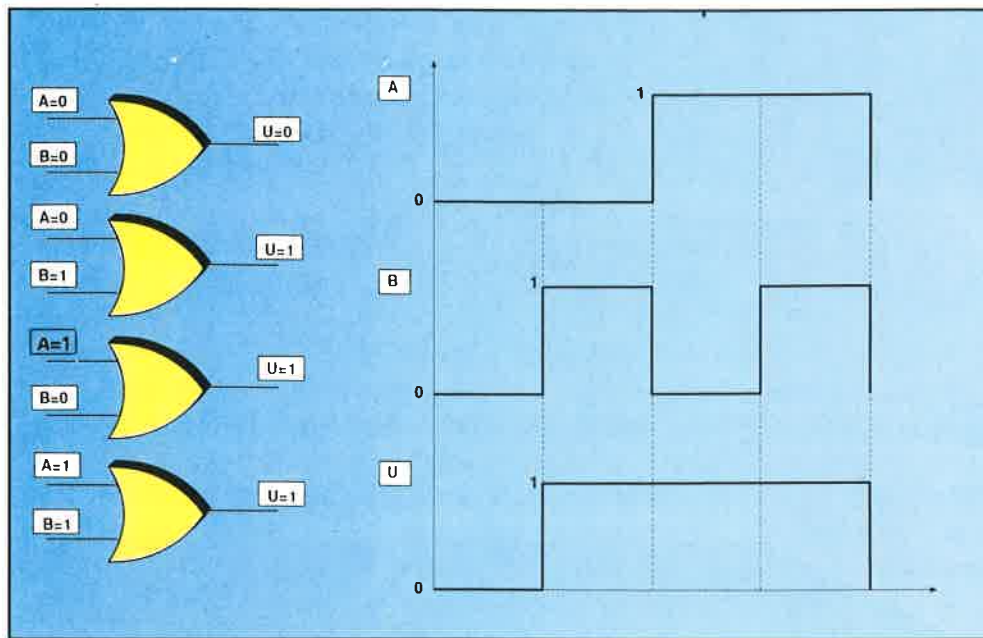
A	U
0	0
1	1

### **FUNZIONE NEGAZIONE**

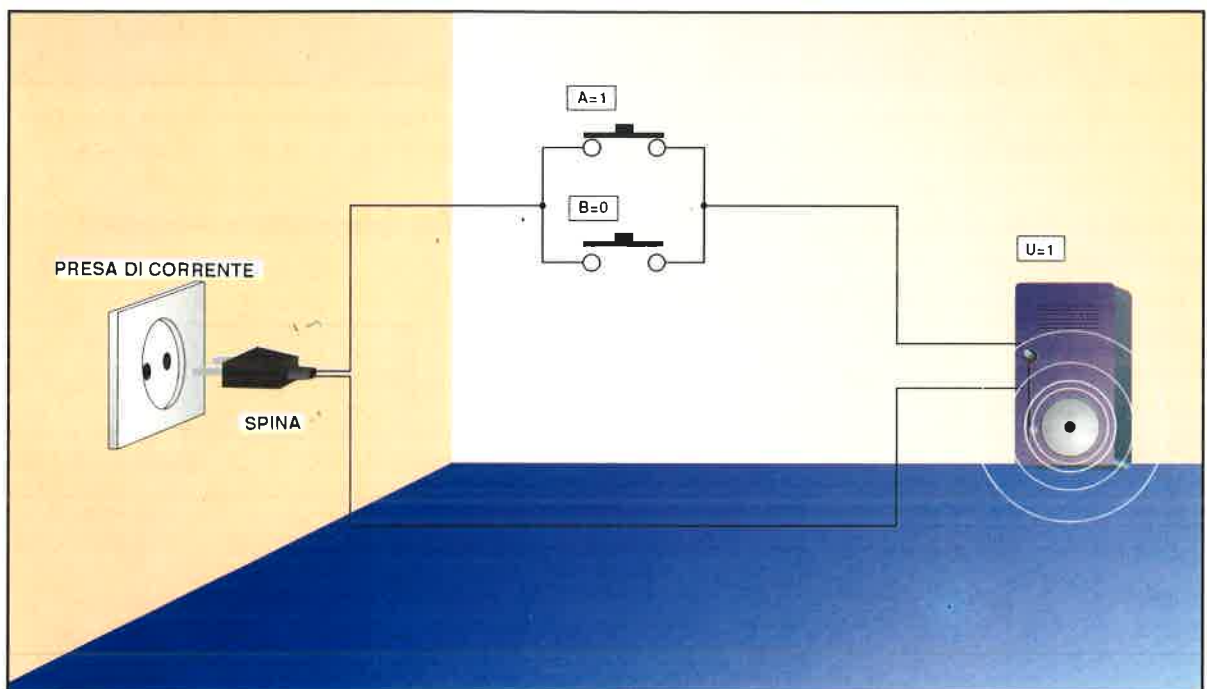
Viene chiamata anche porta NOT o porta invertente, ed opera in modo che una variabile assuma il valore contrario dell'altra. La sua tavola della verità è:

A	U
0	1
1	0

Matematicamente si esprime con  $U = \bar{A}$ , dove  $\bar{A}$  indica la variabile A negata. Per comprendere meglio le porte logiche descritte in queste pagine



Rappresentazione grafica di una porta OR e relativi diagrammi temporali



Due interruttori e un campanello sono sufficienti per simulare le funzioni di una porta OR

e nelle successive verrà impiegato come esempio un circuito elettrico molto semplice da realizzare. Questo circuito sarà costituito da alcuni pulsanti, che rappresenteranno le variabili di ingresso, e da un campanello come funzione di uscita. Applicando i concetti appena visti al circuito di verifica, si vedrà che il campanello comincia a

suonare ( $U = 1$ ) quando, inserita la spina di alimentazione, il pulsante normalmente chiuso è in condizione di riposo ( $A = 0$ ). Quando invece il pulsante viene premuto ( $A = 1$ ), il campanello smetterà di suonare ( $U = 0$ ).

Successivamente verranno descritte anche le funzioni che prevedono due variabili di ingresso.



# LE PORTE LOGICHE

Le diverse corrispondenze tra le variabili di ingresso e di uscita di un circuito combinatorio vengono definite tramite le funzioni logiche già descritte in precedenza, che è possibile tradurre in forma applicativa tramite dei circuiti denominati porte logiche.

**L'**analisi delle porte logiche consentirà all'utente di risolvere due grandi problemi di grande interesse legati all'elettronica digitale:

1. - dato un circuito, identificare la funzione logica che questo rappresenta.

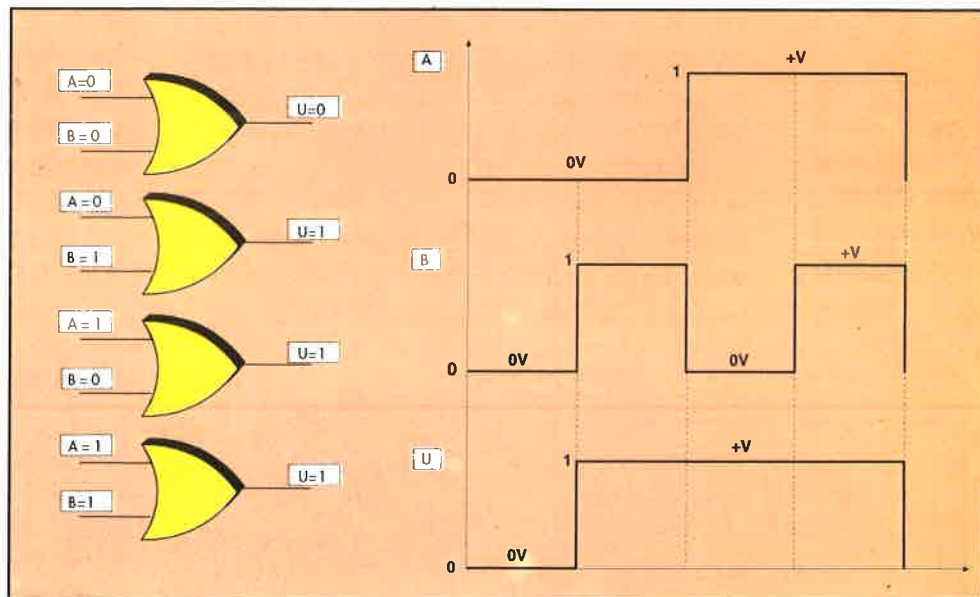
2. - partendo da una funzione logica, stabilire i diversi elementi del circuito che la rappresentano.

Di seguito verranno descritte le diverse porte logiche.

## FUNZIONE OR

Può anche essere chiamata porta O, somma o unione. Al contrario della funzione invertente, che consta solamente di un ingresso e di una uscita, questo tipo di porta può avere più ingressi. Per renderne più semplice la comprensione si utilizzeranno solamente due ingressi.

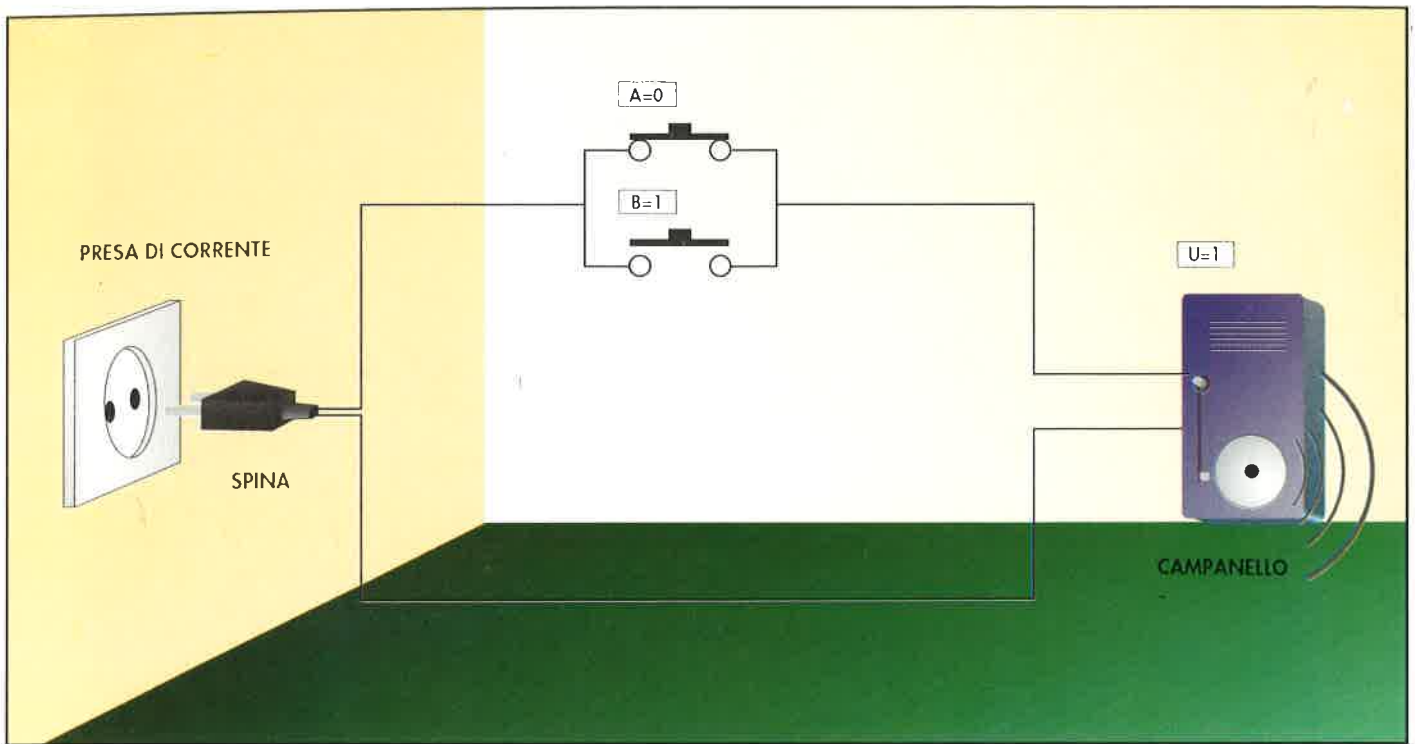
La funzione OR risulterà vera, vale a dire che si



Rappresentazione di una porta OR e andamento in funzione del tempo delle variabili di ingresso e di uscita

otterrà in uscita un valore logico 1, se risulta vero almeno uno dei suoi due ingressi. La sua rappresentazione matematica è:

$$U = A + B$$



Il circuito composto da due pulsanti in parallelo simula il funzionamento di una porta OR

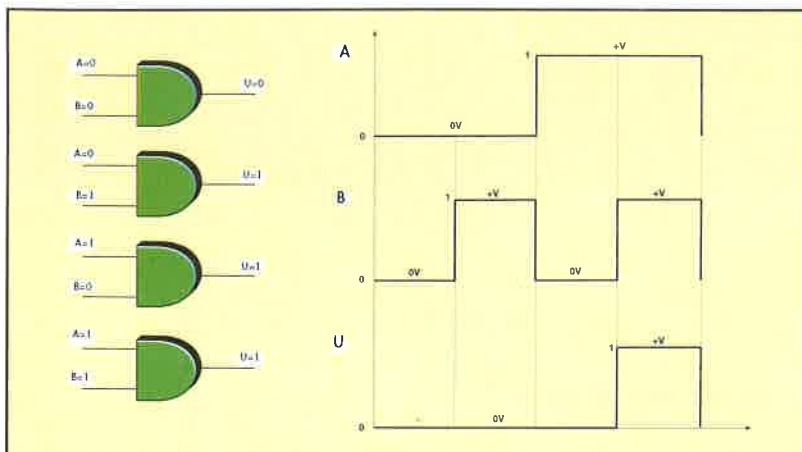
La tabella della verità di una porta OR è rappresentata come segue:

La funzione OR risulta vera se è vero almeno uno dei suoi ingressi

A	0	0	1	1
B	0	1	0	1
U	0	1	1	1

Utilizzando il circuito descritto nel capitolo precedente, realizzato con diversi pulsanti e un campanello, si potrà capire in modo più chiaro la funzione realizzata dalla porta OR. Il circuito è formato da due pulsanti posti in parallelo che permettono, quando uno qualsiasi dei due viene premuto, un passaggio di corrente che farà suonare il campanello. Si può quindi dire che quando uno dei pulsanti A o B risulta azionato, vale a dire  $A = 1$  o  $B = 1$ , oppure  $A = B = 1$ , il campanello comincia a suonare ( $U = 1$ ).

Simbolo logico di una porta AND e diagrammi temporali



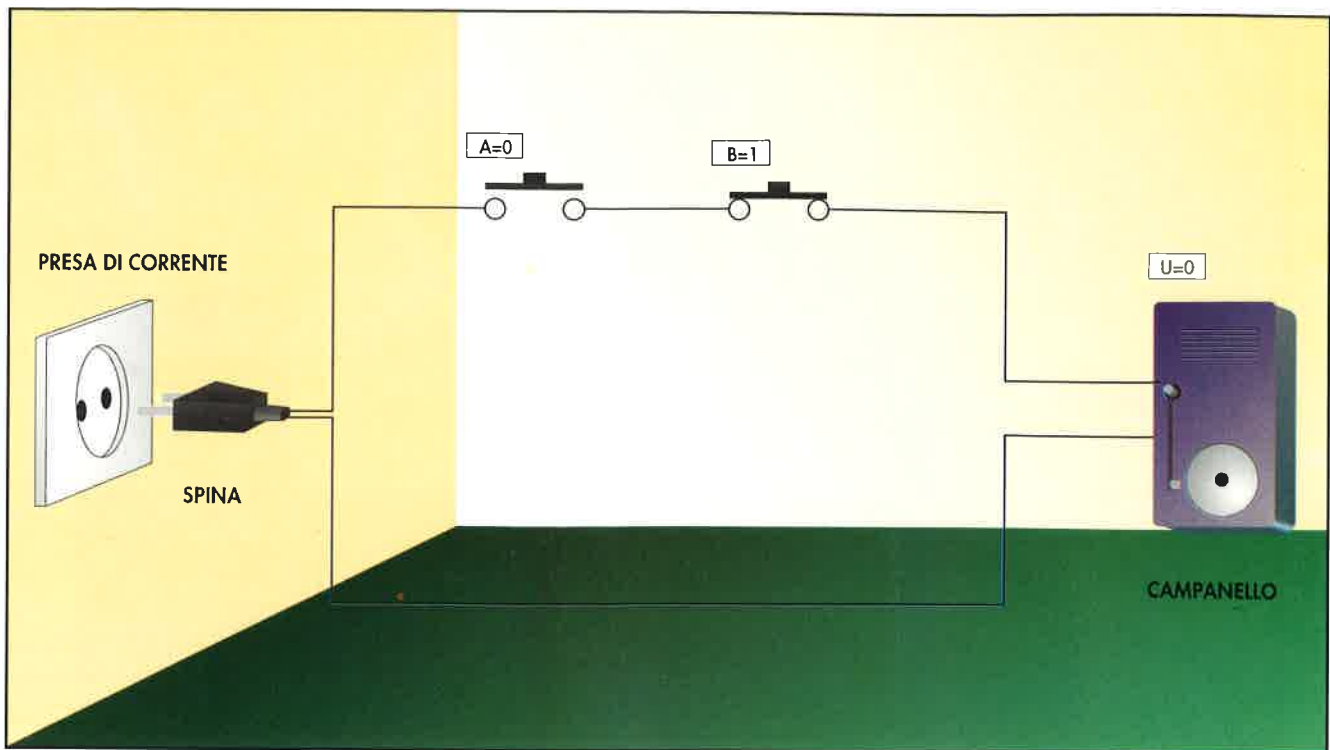
### LA FUNZIONE AND

Come la porta logica precedente, anche questa può avere diversi ingressi, ma in questo caso ne verranno utilizzati solamente due. La porta logica AND viene definita come un circuito la cui uscita risulta vera quando tutte le variabili di ingresso sono vere.

L'espressione matematica che la rappresenta è:

$$U = A * B$$

Per questa ragione, a volte viene definita come funzione prodotto.



Due pulsanti in serie a un campanello simulano una porta logica AND

La tabella della verità corrispondente a una porta AND è la seguente:

A	B	U
0	0	0
0	1	0
1	0	0
1	1	1

Usando il solito circuito applicativo realizzato con pulsanti e campanello, la funzione AND viene rappresentata nel modo seguente: i pulsanti A e B sono posti in serie tra di loro e con il campanello, in modo che solo quando risultano entrambi premuti il campanello può suonare ( $A = 1$  e  $B = 1$ ).

*La porta NAND è complementare della porta AND, ed è composta da una porta AND e da una porta invertente NOT*

dove la negazione "/" influisce sul risultato del prodotto  $A * B$ . Di conseguenza, la tabella della verità di questa funzione risulterà complementare a quella vista in precedenza:

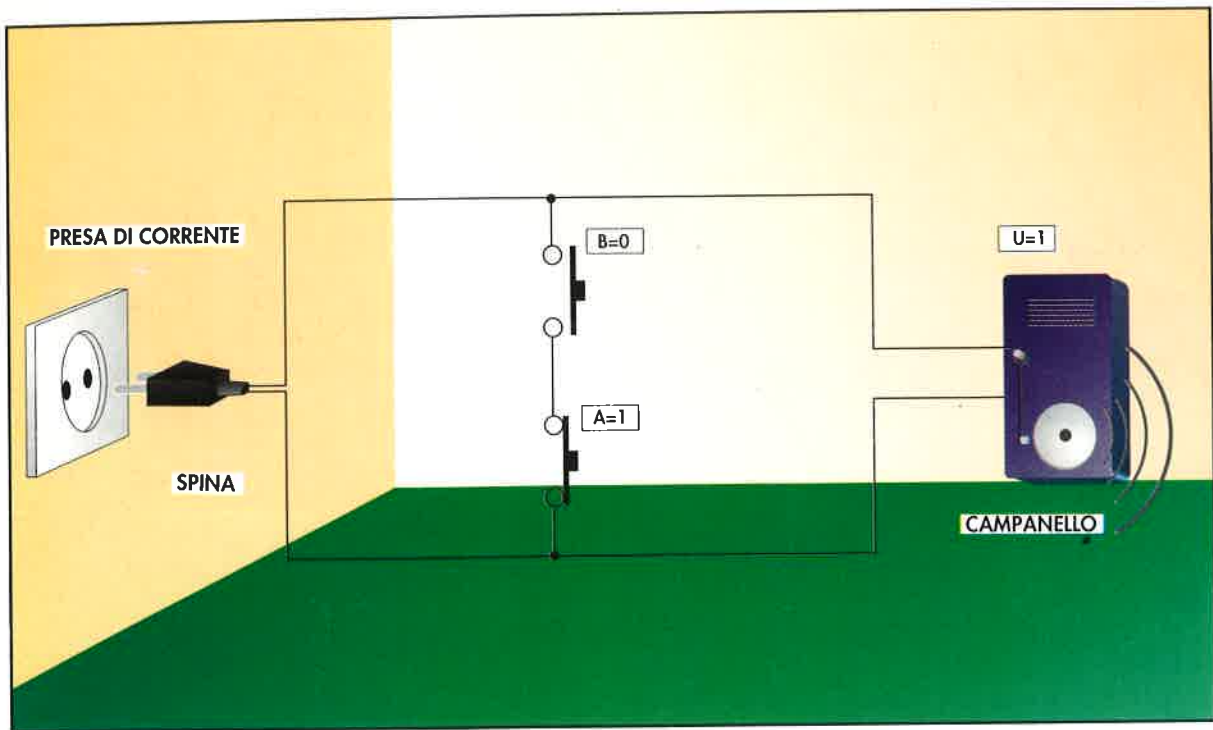
A	0	0	1	1
B	0	1	0	1
U	1	1	1	0

### LA FUNZIONE NAND

Questa è la porta complementare della funzione AND, ed è formata da una porta AND e da una porta invertente NOT. La funzione matematica che la definisce è:

$$U = \overline{A * B}$$

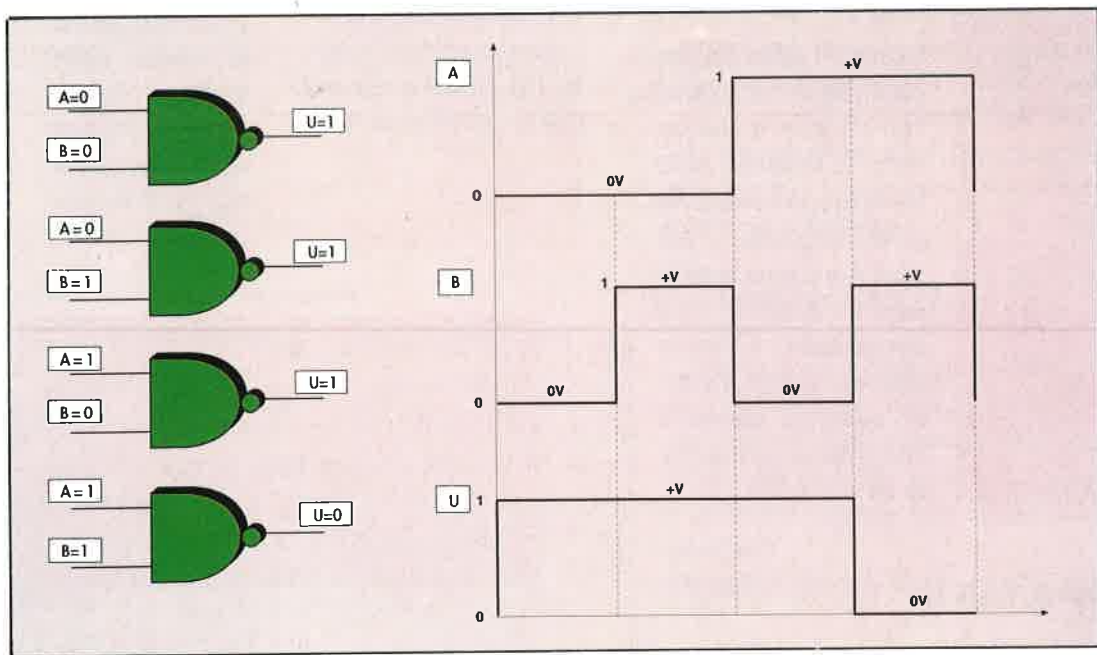
Nel circuito applicativo di esempio i pulsanti A e B sono sempre posti in serie tra di loro, ma questa volta in parallelo rispetto al campanello; in questo modo, solo se vengono premuti simultaneamente ( $A = 1$  e  $B = 1$ ) si genera un cortocircuito che non



Collegando due pulsanti in serie, e ponendoli in parallelo a un campanello, si ottiene la funzione logica NAND

consente il passaggio della corrente verso il campanello, che quindi non potrà suonare ( $U = 0$ ). Nelle pagine successive verranno analizzate le

restanti porte logiche, che sono alla base dell'elettronica digitale, con i rispettivi diagrammi temporali e schemi equivalenti.



La funzione complementare di una porta AND è denominata porta NAND, ed è realizzata tramite la combinazione di una funzione AND e di una NOT

# LE FUNZIONI LOGICHE

La combinazione delle porte logiche fondamentali **OR**, **AND** e **NOT** permetterà l'accesso ad altre funzioni logiche, che verranno utilizzate frequentemente nel corso poiché saranno alla base dei progetti relativi ai circuiti digitali.

Come già accennato, esistono altre funzioni logiche formate dalla combinazione di quelle fondamentali studiate in precedenza. Queste sono:

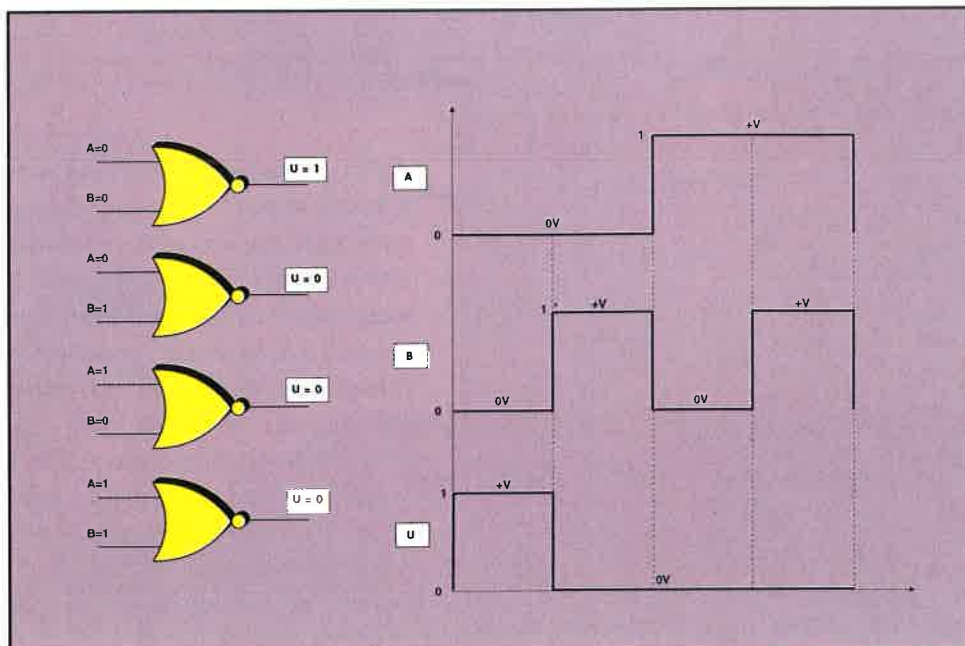
- la porta **NAND**
- la porta **NOR**
- la porta **OR-Esclusivo**
- la porta **NOR-Esclusivo**

La prima di queste si è già incontrata altre volte, e la sua espressione matematica, definita da:

$$S = \overline{A * B}$$

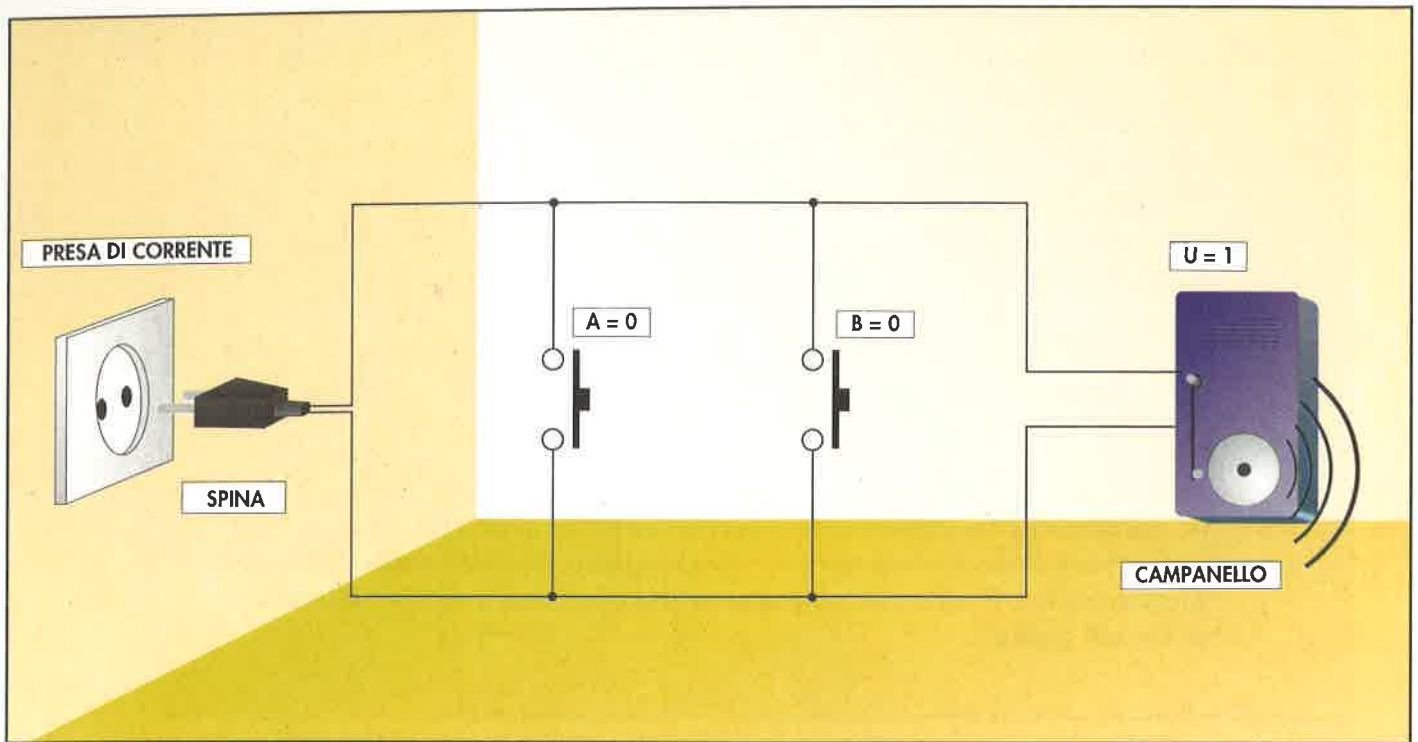
indica che l'uscita assume il valore logico 1 solo quando entrambi gli ingressi sono a livello logico 0:

A=0 e B=0  
oppure  
A=B=0



Dopo aver visto questa funzione, verranno descritte le altre porte logiche complementari.

*Rappresentazione grafica di una porta NOR e suo diagramma temporale*



Circuito elettrico equivalente che rappresenta il funzionamento di una porta NOR

### FUNZIONE NOR

Questa porta rappresenta la funzione complementare della porta OR, ed è definita dall'espressione matematica:

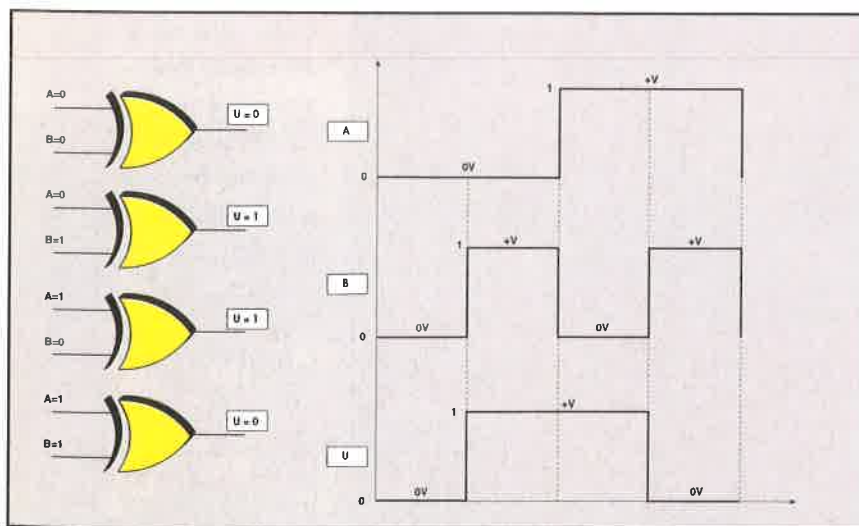
$$S = \overline{A + B}$$

nella quale è evidenziata la negazione dell'ope-

razione realizzata all'interno delle parentesi. Di conseguenza, la sua tavola della verità avrà la forma:

A	0	0	1	1
B	0	1	0	1
U	1	0	0	0

Simbologia di una porta OR-Esclusivo e suo diagramma temporale



dalla quale si può dedurre che l'uscita assume il valore logico 1 solo quando entrambe le variabili di ingresso sono a livello logico 0. Volendo esprimere la funzione NOR per mezzo del circuito equivalente costituito da pulsanti e campanello, bisognerà eseguire i collegamenti come mostrato nella corrispondente figura, nella quale i due pulsanti sono in parallelo tra di loro e con il campanello. In questo caso, se entrambi i pulsanti sono aperti (A=0 e B=0) la corrente attraverserà il campanello e questi suonerà (S=1). Se uno dei due pulsanti viene chiuso (ad esempio

A=1), verrà provocato un corto circuito che non permetterà alla corrente di raggiungere il campanello, per cui questi non suonerà (S=0).

Sia questa funzione NOR che la funzione NAND, saranno molto utilizzate nei progetti dei circuiti logici proposti, al punto che si tenterà di trasformare qualunque circuito logico in combinazioni di sole porte NOT e NAND.

### FUNZIONE OR-ESCLUSIVO

La funzione OR-Esclusivo risulta da una combinazione delle porte AND, OR e NOT, e l'uscita assume il valore logico 1 quando una delle due variabili di ingresso è a livello logico 1 e l'altra a livello logico 0. La sua espressione matematica è:

$$S = A @ B$$

in cui il simbolo @ definisce le operazioni che devono realizzare entrambe le variabili di ingresso. Il risultato di questa operazione viene esplicitato in modo più chiaro nella sua tavola della verità:

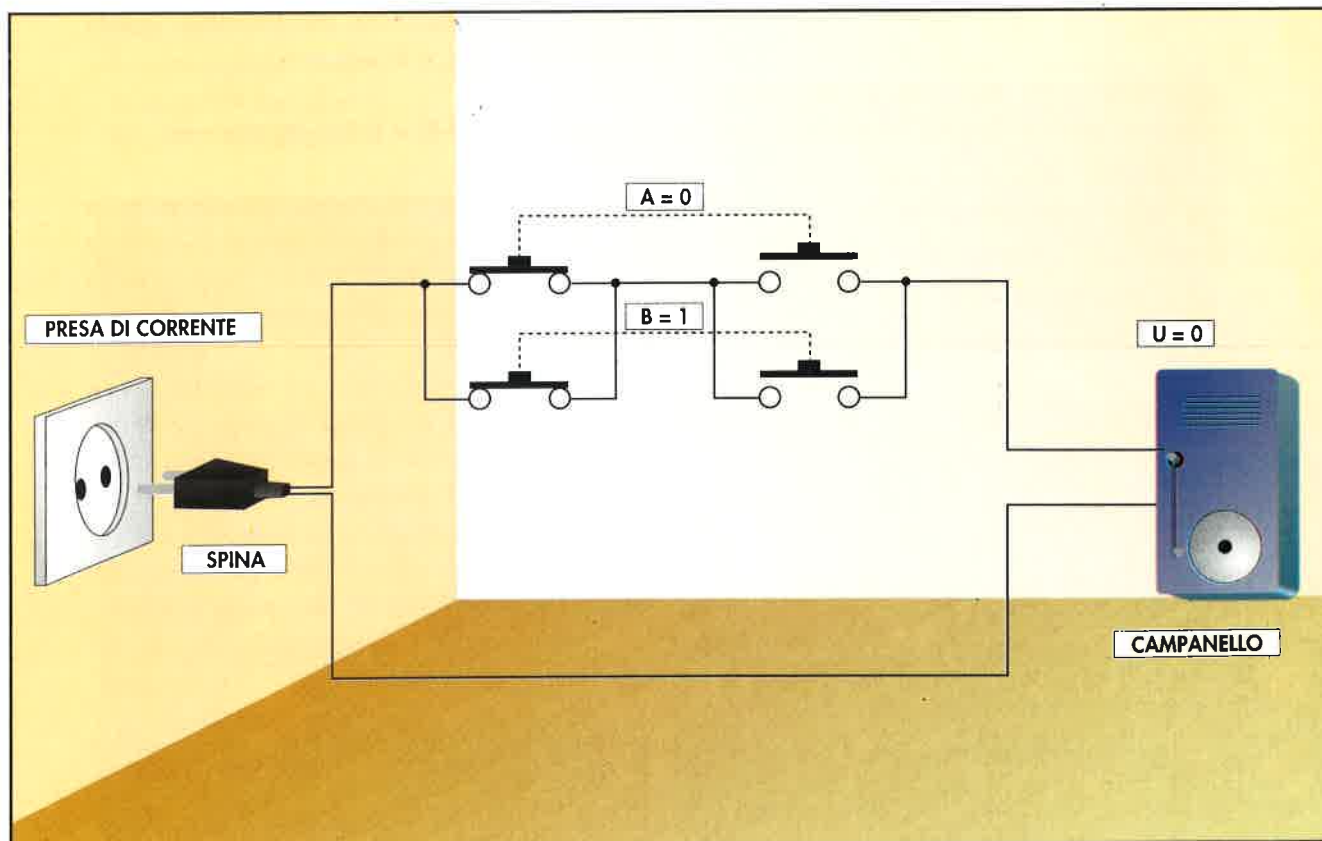
A	0	0	1	1
B	0	1	0	1
U	0	1	1	0

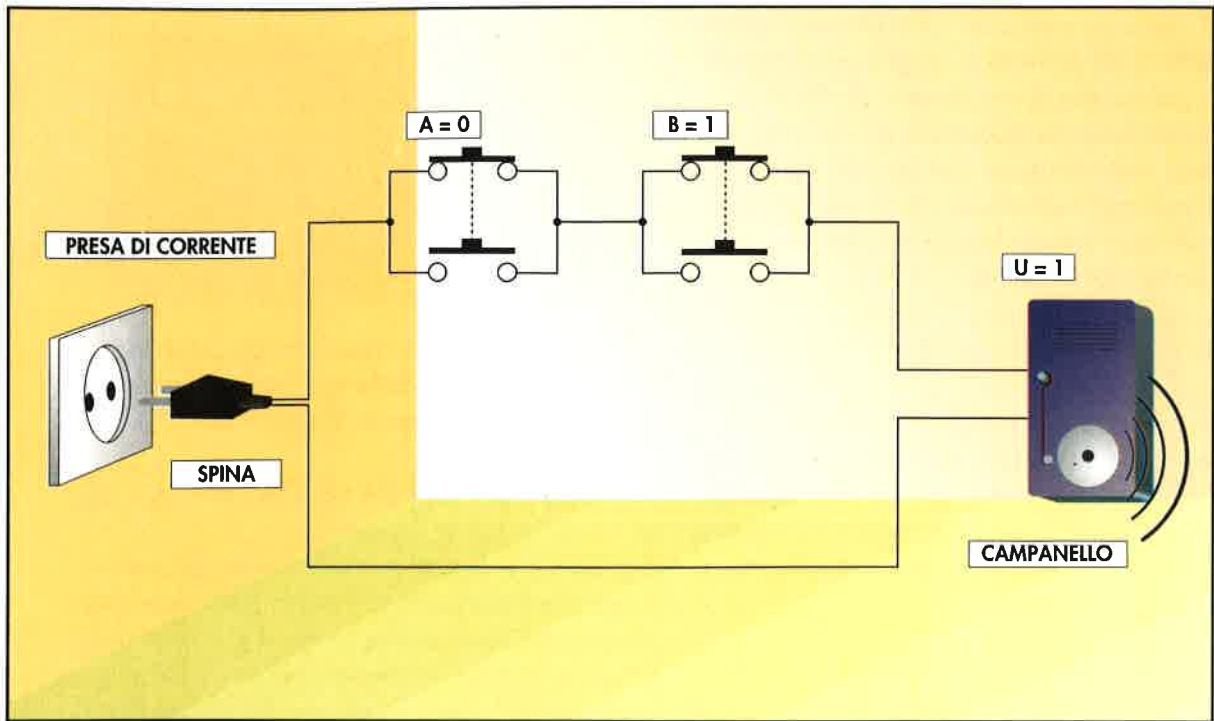
L'espressione booleana che definisce questa porta, come è evidenziata dalla sua tavola della verità, può essere scritta in modi diversi:

$$S = A @ B = (A * /B) + (/A * B) = (A + B) * (/A + /B)$$

Il circuito elettrico equivalente sfrutta dei pulsanti doppi particolari, che assumono contemporaneamente condizioni contrapposte, una normalmente chiusa e l'altra normalmente aperta (nel campo elettrico questi pulsanti vengono chiamati contattori a due posizioni). Il collegamento tra i due pulsanti A e B sarà di tipo parallelo, come mostrato nella corrispondente figura. Se vengono premuti, o rila-

*Per costruire il circuito elettrico equivalente si sfruttano dei pulsanti a due posizioni*





Il circuito equivalente sfrutta in questo caso i due pulsanti a due posizioni in serie

sciati, sia A che B, in modo che assumano entrambi il valore logico 1 o 0, in uscita sarà presente il valore logico 0 (S=0). Se invece assumono condizioni contrapposte, uno premuto e l'altro rilasciato, in uscita sarà presente il valore logico 1 (S=1).

**FUNZIONE NOR-ESCLUSIVO**

Questa è la funzione complementare dell'OR- Esclusivo, e nella relativa figura è rappresentata la sua tavola della verità.

L'espressione matematica che identifica questa tavola della verità è la seguente:

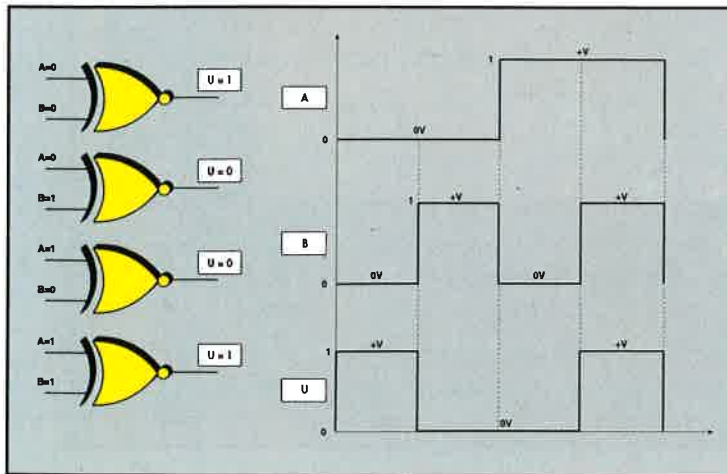
A	0	0	1	1
B	0	1	0	1
U	1	0	0	1

$$S = \neg(A \oplus B) = (\neg A * \neg B) + (A * B)$$

In questo modo, l'uscita assumerà il valore logico 1 solo quando le variabili di ingresso avranno lo stesso valore; per questo motivo viene in alcuni casi definita anche come funzione di equivalenza o corrispondenza.

Per realizzare il circuito elettrico equivalente vengono sfruttati i pulsanti doppi visti in precedenza, ma collegati questa volta in serie tra di loro, come mostrato nella relativa figura.

Ciascuna delle funzioni logiche descritte è caratterizzata da proprietà particolari, che verranno definite nei prossimi capitoli della presente opera.



Alla funzione NOR-Esclusivo viene talvolta dato il nome di funzione di equivalenza



# COMBINAZIONI DI PORTE LOGICHE

**Per fare in modo che i progetti risultino semplificati al massimo, con una conseguente riduzione del numero dei componenti e, ovviamente, del costo complessivo del dispositivo, è necessario conoscere alcuni principi matematici che consentono di diminuire la quantità dei circuiti integrati e delle porte logiche da utilizzare.**

**P**er ridurre il numero delle porte logiche necessarie in un circuito occorre fare affidamento sia alle proprietà matematiche dell'algebra di Boole che alle caratteristiche intrinseche di ciascuna porta logica.

## PROPRIETÀ DELL'ALGEBRA DI BOOLE

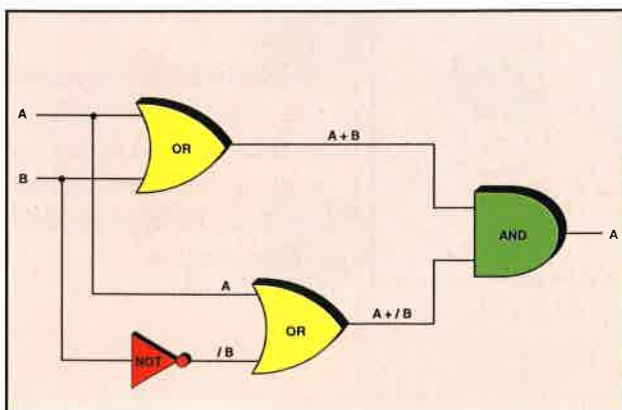
Comprendono una serie di teoremi e di leggi, che verranno descritti di seguito:

## 1ª legge dell'assorbimento

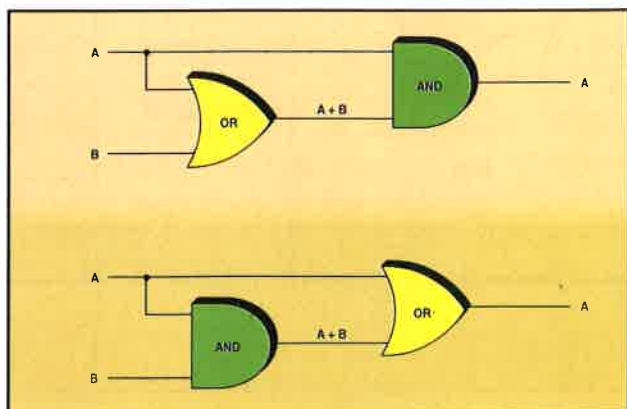
$$A + (A * B) = A$$

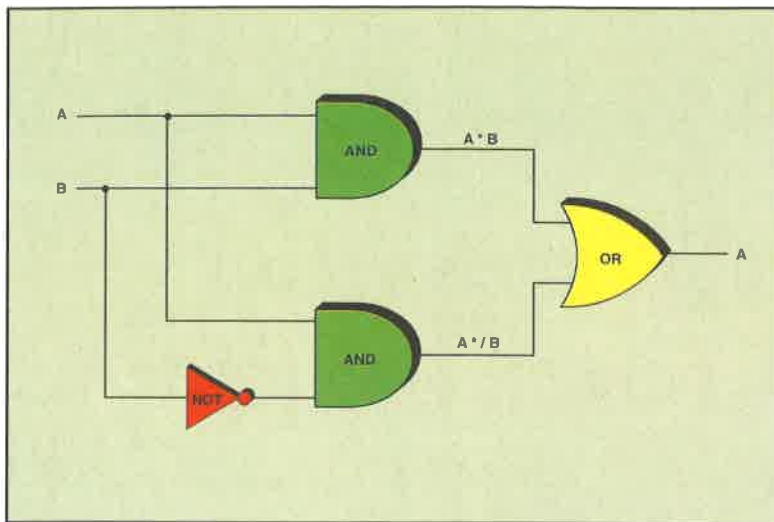
Osservando il disegno si può notare che sono rappresentate sia la porta OR di ingresso che la AND di uscita; per capire realmente perché il risultato di entrambe le operazioni corrisponde sempre al valore della prima variabile, viene analizzata passo passo la relativa tabella della verità:

*La legge di espansione consente di ridurre alcune espressioni complesse a una semplice variabile*



*Le leggi di assorbimento rappresentate tramite porte logiche*





La legge di espansione si può applicare anche quando si utilizzano porte AND

Porta AND			Porta OR		
A	B	A * B	A	A * B	U
0	0	0	0	0	0
0	1	0	0	0	0
1	0	0	1	0	1
1	1	1	1	1	1

Si parte dal presupposto che la variabile A abbia valore logico 1 e la B 0, vale a dire che l'ingresso A si trova a livello logico alto e il B a livello logico

basso, sempre considerando di operare in logica positiva (concetto che sarà analizzato più in dettaglio nelle pagine successive). La prima porta interessata è la AND, che fornisce in uscita uno 0 logico.

L'operazione successiva è la somma della porta OR, che ha come ingressi l'uscita della AND e la variabile A, in questo caso uno 0 e un 1 logico rispettivamente.

Utilizzando la tabella della verità di una porta OR si può verificare che in uscita viene fornito un 1 logico.

Osservando la tabella della verità di questo insieme logico invece, si può notare che l'uscita U assume sempre il valore della variabile A di ingresso.

### 2ª legge dell'assorbimento

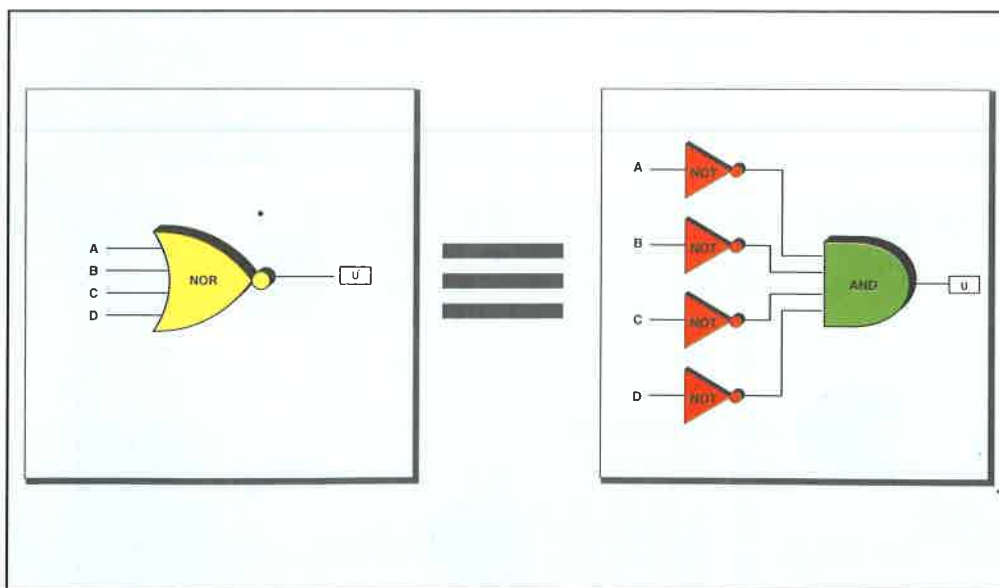
$$A * (A + B) = A$$

Analogamente a quando detto in precedenza, nella seconda legge dell'assorbimento la prima operazione viene eseguita da una porta OR, mentre la successiva da una porta AND i cui ingressi sono l'uscita della porta OR e la variabile A. Si riprenda in esame l'esempio precedente, in cui la variabile A era a livello logico 1 e la B a livello logico 0.

Quando queste variabili vengono applicate alla porta OR, la sua uscita si porta a livello logico alto (1).

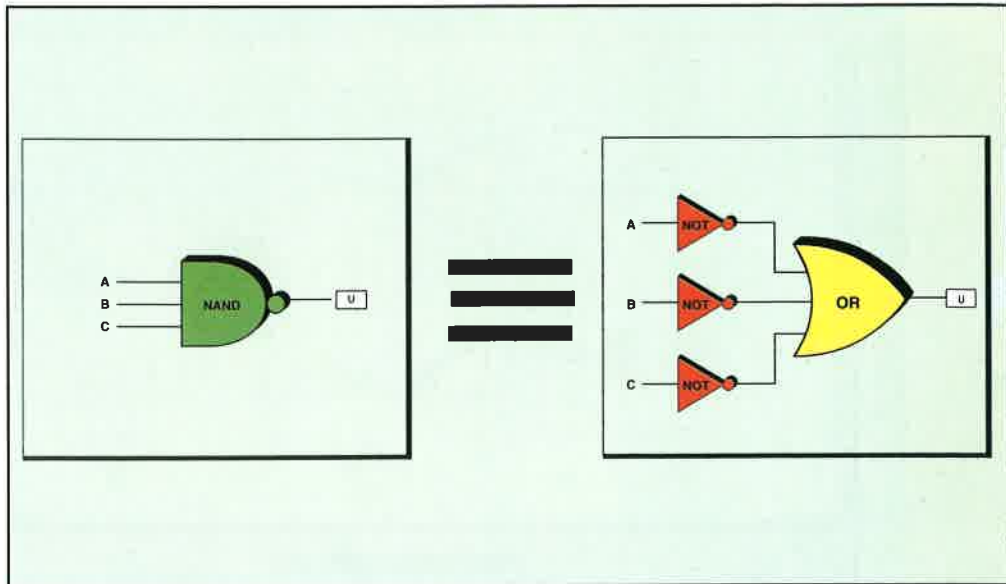
Se si invia questo segnale all'ingresso della porta AND, in combinazione con la variabile A, in uscita si ottiene un livello alto, e quindi lo stesso valore della variabile d'ingresso A.

Il primo teorema di De Morgan consente di ridurre alcune porte NOT e una AND ad una porta NOR con più ingressi



Come verifica di questa legge, viene riportata di seguito la tabella della verità corrispondente:

Porta OR			Porta AND		
A	B	A+B	A	A+B	U
0	0	0	0	0	0
0	1	1	0	1	0
1	0	1	1	1	1
1	1	1	1	1	1



**1<sup>A</sup> LEGGE DI ESPANSIONE**

$$(A + B) * (A + /B) = A$$

*Il secondo teorema di De Morgan può essere di grande utilità per l'espressione che si deve semplificare*

Se si osserva la figura corrispondente, si può notare che grazie a questa legge è possibile semplificare un'espressione che può apparire molto complessa, formata da due porte OR una NOT e una AND, in un'espressione con solamente una variabile di ingresso.

Per mezzo delle tabelle della verità è possibile vedere se effettivamente questa uguaglianza viene realizzata. Poiché questa espressione è piuttosto complessa vengono utilizzate più tabelle, in una delle quali viene fornita una variabile già negata per evitare di costruire una tabella semplice come quella della porta NOT. Le prime due

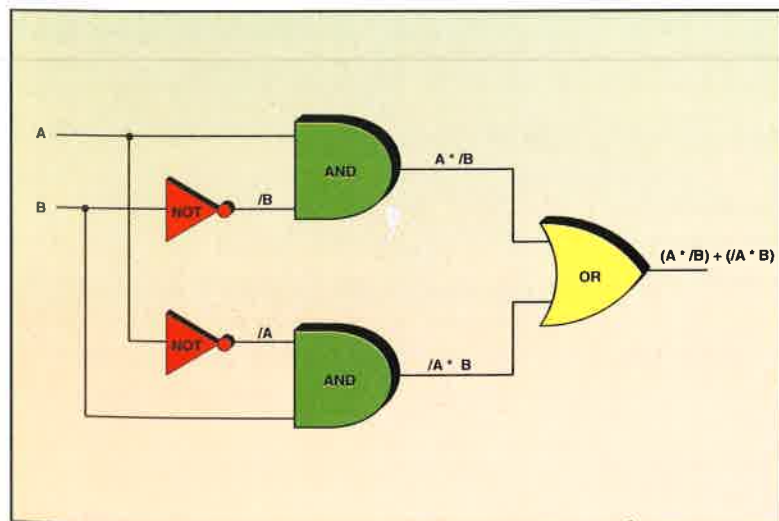
forniranno il risultato di entrambe le parentesi; ciò vuol dire che si utilizzeranno tabelle basate sulla porta OR:

Porta OR					
A	B	A+B	A	/B	A+/B
0	0	0	0	1	1
0	1	1	0	0	0
1	0	1	1	1	1
1	1	1	1	0	1

Facendo in modo che le uscite delle due porte OR siano inviate agli ingressi di una porta AND, si ottiene la tabella della verità finale:

A + B	A + /B	U
0	1	0
1	0	0
1	1	1
1	1	1

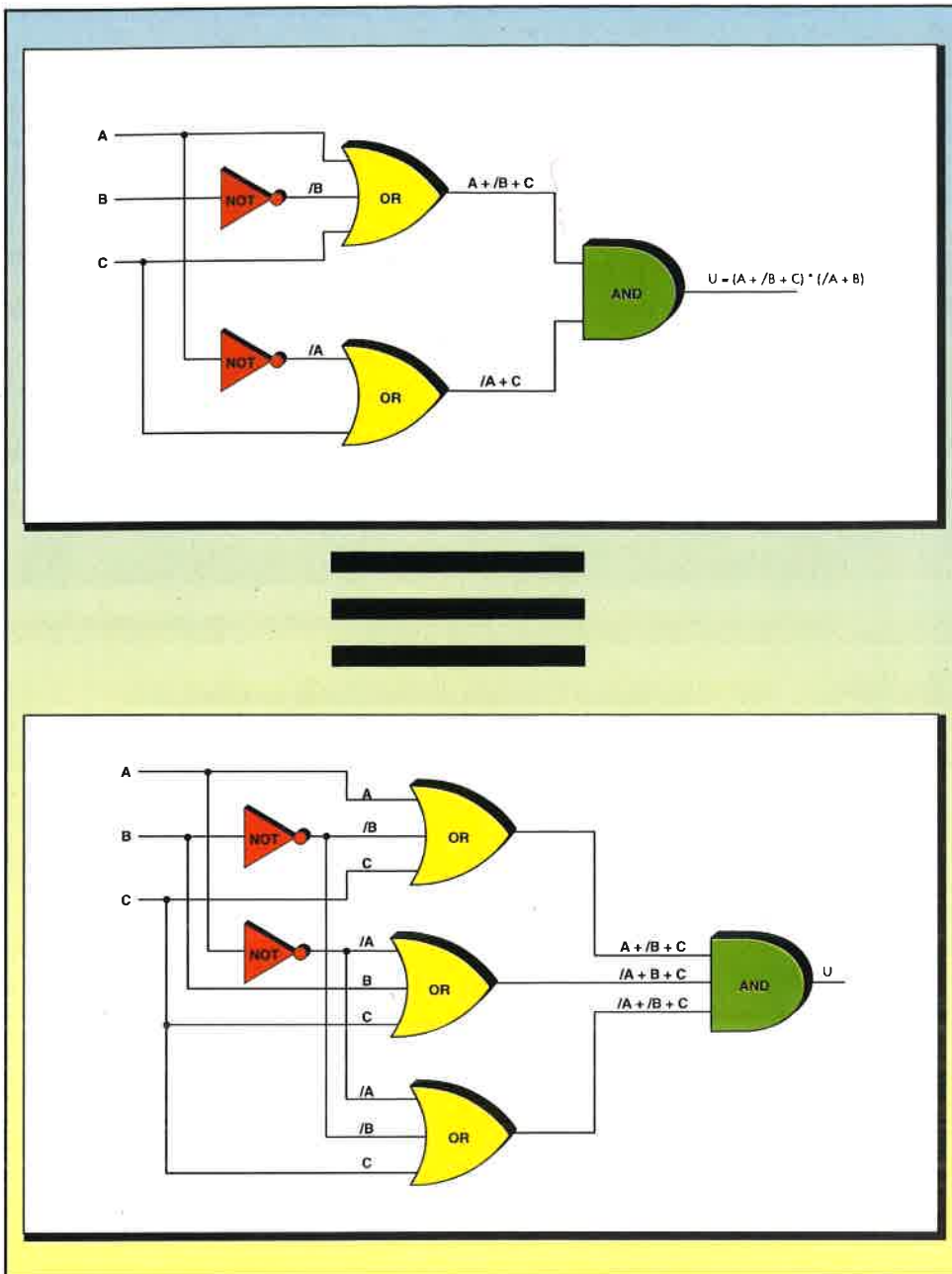
*In alcuni situazioni è opportuno, invece di semplificare, espandere un'espressione, come nel caso della funzione OR esclusivo*



Se si confrontano i risultati ottenuti sull'uscita U dell'ultima porta AND con quelli che assume la variabile A si può notare che coincidono, per cui la prima legge di espansione risulta vera.

**2<sup>A</sup> LEGGE DI ESPANSIONE**

$$(A * B) + (A * /B) = A$$



È sempre conveniente trasformare una espressione logica come prodotto di somme o somma di prodotti

In questo caso per realizzare l'espressione di base si dovrebbero utilizzare due porte AND, una NOT e una OR, la cui uscita assume sempre lo stesso valore della variabile A di ingresso. Per vedere se si verifica esattamente quanto detto,

$$/(A + B + C + D + E + \dots) = /A * /B * /C * /D * /E * \dots$$

$$/(A * B * C * D * E * \dots) = /A + /B + /C + /D + /E + \dots$$

Grazie a questi teoremi e a queste leggi si possono ridurre le espressioni complesse, sfruttando anche le proprietà intrinseche delle porte logiche.

occorre sviluppare le tabelle delle verità relative all'espressione indicata, lavoro che viene lasciato al lettore in modo che familiarizzi con questo genere di operazioni. Come successiva verifica viene proposto un esempio in cui si suppone che la variabile A assuma un livello logico basso (0), e che B assuma invece un livello logico alto (1). Sull'uscita della prima porta AND si otterrà un livello basso (0), così come sull'uscita della seconda. Sfruttando queste uscite come ingressi per la porta OR, si ricaverà in uscita uno 0 logico.

**TEOREMI DI DE MORGAN**

$$/(A + B) = /A * /B$$

$$/(A * B) = /A + /B$$

Questi ultimi teoremi vengono applicati nel caso sia presente un numero di variabili superiore al precedente, con una espressione finale simile a quella seguente:

# IL SISTEMA BINARIO

Come evidenziato nei capitoli precedenti della presente sezione, i sistemi digitali utilizzano di solito un modello numerico basato su due soli valori; di seguito verrà descritto sia questo che altri sistemi di numerazione, che nel prosieguo potranno risultare di grande utilità.

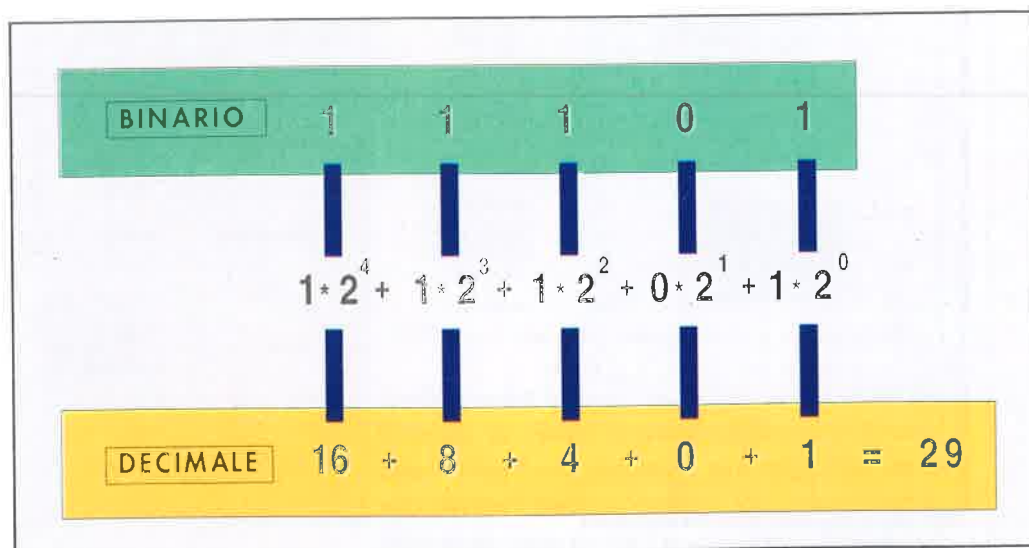
**P**er l'impiego delle porte logiche si sono sempre impiegati solamente due valori numerici, lo 0 e l'1; questi due numeri formano quello che viene comunemente chiamato sistema binario o sistema numerico in base due. Per poter comprendere meglio questa definizione vengono fornite di seguito alcune nozioni sui sistemi numerici. Il nostro sistema numerico principale è quello decimale o, detto in altro modo, in base 10. Qualsiasi numero che si desidera esprimere in base 10 può essere rappresentato mediante un

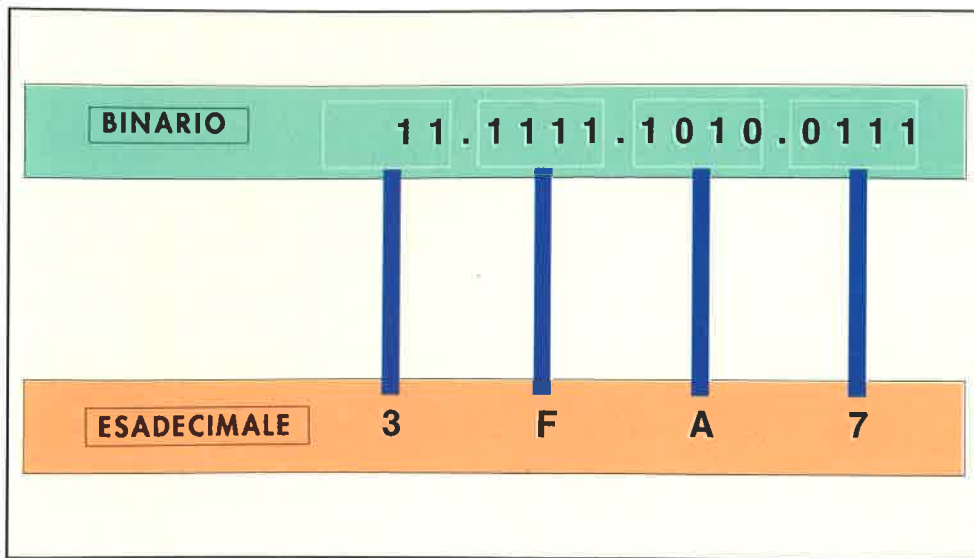
polinomio costituito dalla somma dei numeri di base ciascuno dei quali può assumere i valori compresi tra 0 e 9 propri di questo sistema, ed è moltiplicato per una potenza di 10. Ad esempio, il numero 325 in base 10 può essere espresso come:

$$325 = 3 * 10^2 + 2 * 10^1 + 5 * 10^0$$

Nel sistema binario vengono utilizzati solamente due numeri, e a ciascuno di questi, dal punto di vista elettronico, si dà il nome di bit o digit. Ad esempio, il numero binario 10111001 è formato

*Per trasformare un numero binario in un decimale è sufficiente applicare la definizione del sistema numerico in base 2. In questo caso il risultato della conversione è 29.*





Saper ottenere un numero esadecimale da un numero binario sarà molto utile nel momento in cui si tratteranno i microprocessori

da 8 bit: un numero composto da 8 bit viene chiamato byte. L'aspetto più importante però, è quello di conoscere le tecniche matematiche che permettono di trasformare i numeri binari in decimali e viceversa.

**TRASFORMAZIONE DA DECIMALE A BINARIO E VICEVERSA**

La tabella di equivalenza tra i numeri decimali e quelli binari può essere di aiuto per semplificare la trasformazione da decimale a binario:

Decimale	Binario	Decimale	Binario
0	00000000	9	00001001
1	00000001	10	00001010
2	00000010	11	00001011
3	00000011	12	00001100
4	00000100	13	00001101
5	00000101	14	00001110
6	00000110	15	00001111
7	00000111	16	00010000
8	00001000	128	10000000

Il sistema più semplice per passare ad un numero binario da uno decimale è quello di dividere quest'ultimo per due e considerare il primo resto come bit meno significativo; si ripete l'operazione con il risultato ottenuto, e il nuovo resto rappresenta il bit successivo a quello ricavato in preceden-

za, e così di seguito sino ad ottenere l'ultimo coefficiente che rappresenta il bit più significativo. È possibile osservare la forma grafica di questo procedimento nella figura relativa.

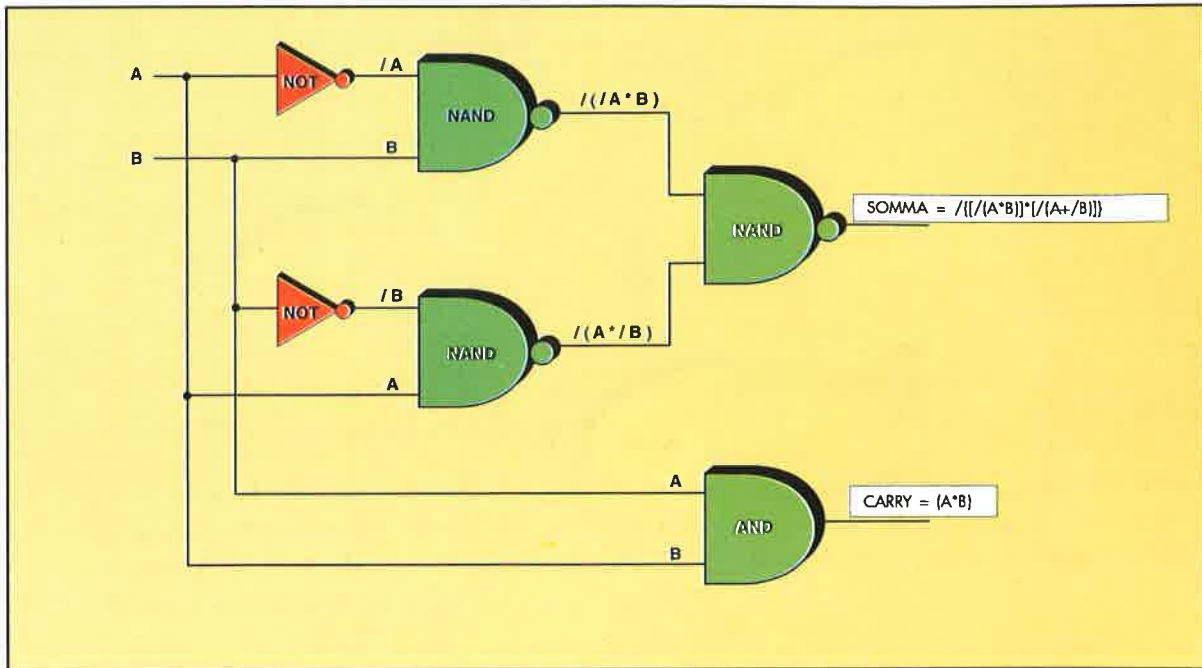
Se si desidera passare da un numero binario ad uno decimale è sufficiente applicare la definizione di sistema numerico in base due, vale a dire sfruttare le potenze decrescenti della base 2.

Con l'esempio che segue questo procedimento risulterà più chiaro:

$$1101 = 1 * 2^3 + 1 * 2^2 + 0 * 2^1 + 1 * 2^0 = 13$$

Anche se i numeri binari richiedono una maggiore sequenza di digit, rispetto al sistema decimale, per la rappresentazione di un numero qualsiasi, ciò non diventa un problema nei sistemi digitali, anzi si può dire il contrario. L'utilizzo di due soli stati differenziati comporta un tempo di risposta molto minore, semplificando le operazioni nelle porte logiche. Esistono altri sistemi di numerazione applicabili all'elettronica digitale, come il sistema ottale e quello esadecimale. Verrà analizzato in questa sede solamente il sistema esadecimale, poiché dovrà essere ripreso successivamente quando si parlerà dei microprocessori, i componenti fondamentali del computer. Di seguito perciò, verrà fornito solo un piccolo accenno relativo al passaggio da esadecimale a binario. Questa trasformazione è basata principalmente sulla tabella seguente:

Esadecimale	Binario	Esadecimale	Binario
0	00000000	8	00001000
1	00000001	9	00001001
2	00000010	A	00001010
3	00000011	B	00001011
4	00000100	C	00001100
5	00000101	D	00001101
6	00000110	E	00001110
7	00000111	F	00001111



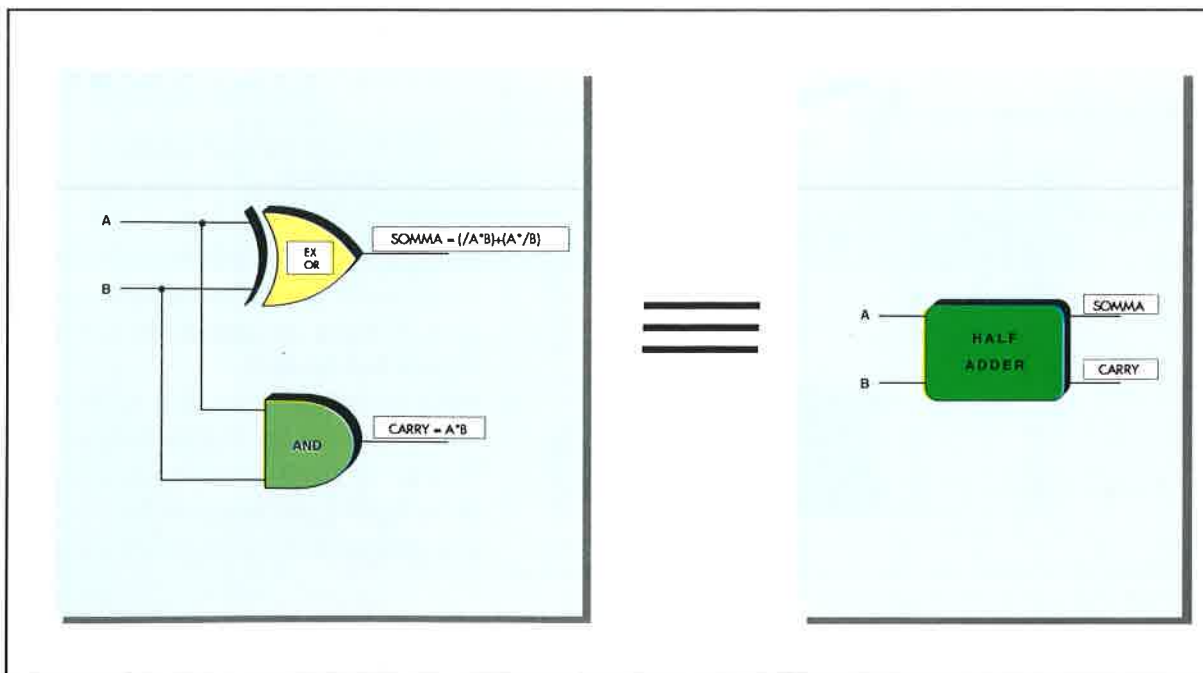
Esistono diverse possibilità per realizzare un semisommatore; in questo caso si utilizzano principalmente porte NAND

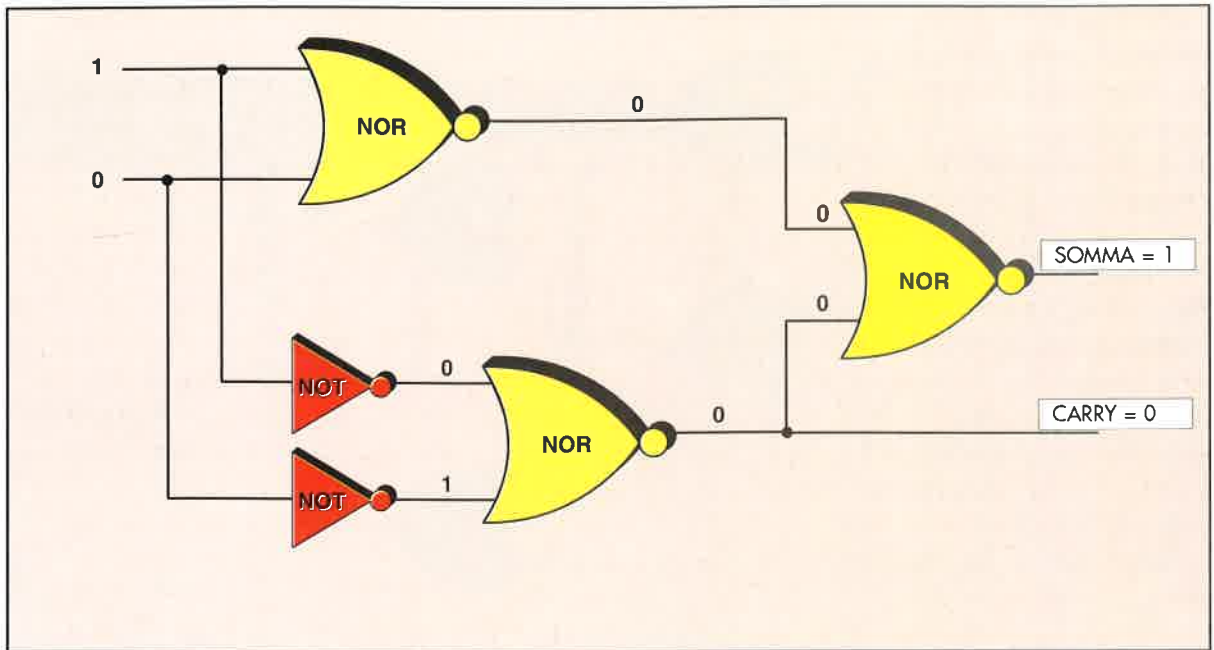
Per passare dal sistema binario a quello esadecimale si separano i numeri a gruppi di quattro, iniziando dal bit meno significativo (quello più a destra); come per altre occasioni vale più una illustrazione di mille parole, quindi si capirà molto meglio questa condizione osservando con cura la figura dimostrativa.

**OPERAZIONI CON LE PORTE LOGICHE**

Anche se questo argomento verrà trattato in modo estremamente esaustivo, vengono di seguito fornite alcune nozioni fondamentali che potranno risultare utili immediatamente. La prima di queste riguarda la definizione di somma dei numeri binari.

Rappresentazione semplificata di un semisommatore logico





Se per realizzare un semisommatore vengono utilizzate delle NOR è possibile ridurre il numero delle porte necessarie

Inizialmente verrà analizzata la somma di due numeri binari formati ciascuno da un solo bit. La tabella della verità che ne consegue sarà:

A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

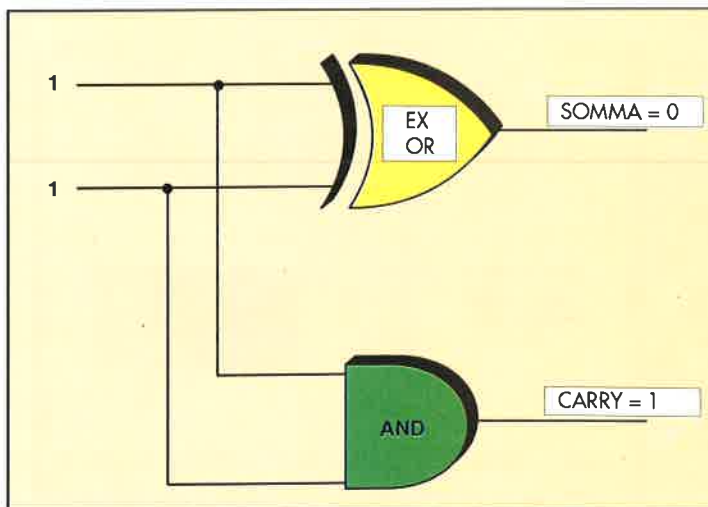
Pertanto, la somma aritmetica di due bit può essere identificata come una funzione logica con due variabili di ingresso e due funzioni di uscita, che rappresentano il risultato della somma stessa e quello che dal punto di vista elettronico viene chiamato *riporto* (in inglese carry); nel linguaggio corrente, il riporto corrisponde al modo di dire "avanzo di uno".

Applicando ciò che si era analizzato nel capitolo precedente, si può dedurre che l'espressione logica che fornisce la somma è:

$$U = (\neg A * B) + (A * \neg B) = A @ B$$

e cioè, la somma corrisponde a una porta OR esclusiva. D'altra parte, il riporto viene definito come  $C = A * B$ , e quindi una porta AND. Al circuito che rappresenta questa operazione viene dato il nome di *semisommatore* (in inglese half hadder).

Nelle varie figure è possibile osservare alcuni esempi che rappresentano le diverse, e possibili, combinazioni di porte logiche per mezzo delle quali si può sviluppare un semisommatore.



Se le due variabili di ingresso sono costituite entrambe da un numero binario di un solo bit con valore 1, la somma assume il valore 0 mentre il riporto il valore 1



# DIODI E TRANSISTOR

**All'atto pratico, i componenti principali utilizzati nei processi costruttivi dei circuiti integrati sono i diodi e i transistor, per mezzo dei quali vengono realizzate anche tutte le porte logiche esaminate nei capitoli precedenti.**

**I** diodi e i transistor sono dei semiconduttori che si comportano in un circuito elettronico come elementi attivi. Pur essendo fondamentalmente dei componenti analogici, possono funzionare anche nelle due situazioni estreme di conduzione e interdizione o, come viene anche comunemente detto, in condizioni on/off. Questi due tipi di componenti verranno di seguito analizzati separatamente nelle diverse condizioni elettriche che possono assumere, e contemporaneamente verranno descritti i parametri più importanti che li caratterizzano.

## **CARATTERISTICHE GENERALI DEI DIODI**

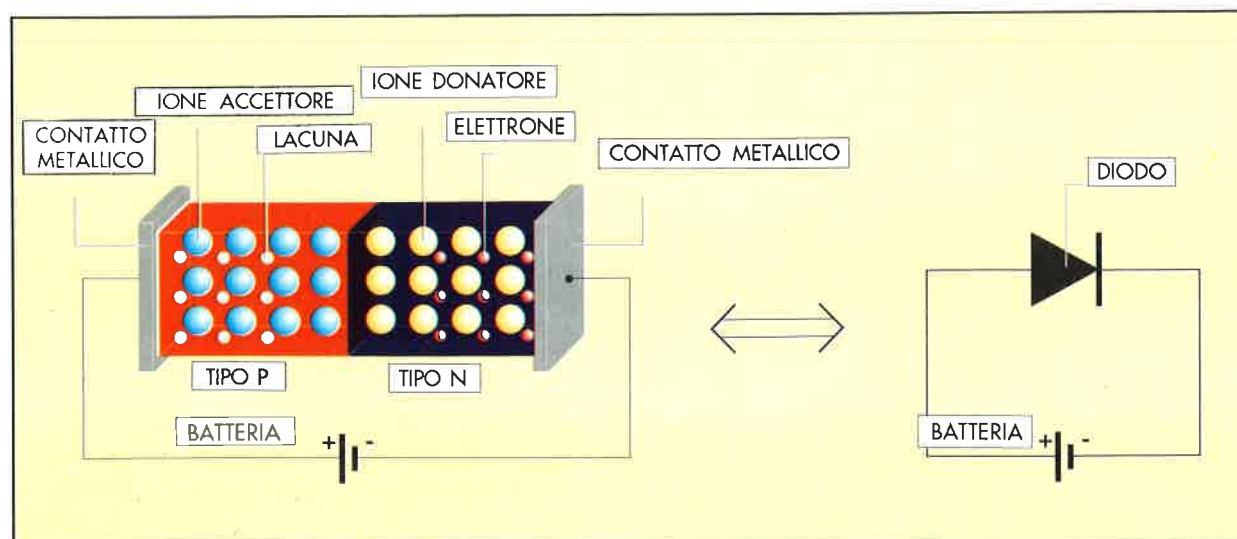
Un diodo è composto da una giunzione p-n, costituita dall'unione di due diversi semiconduttori, uno p e

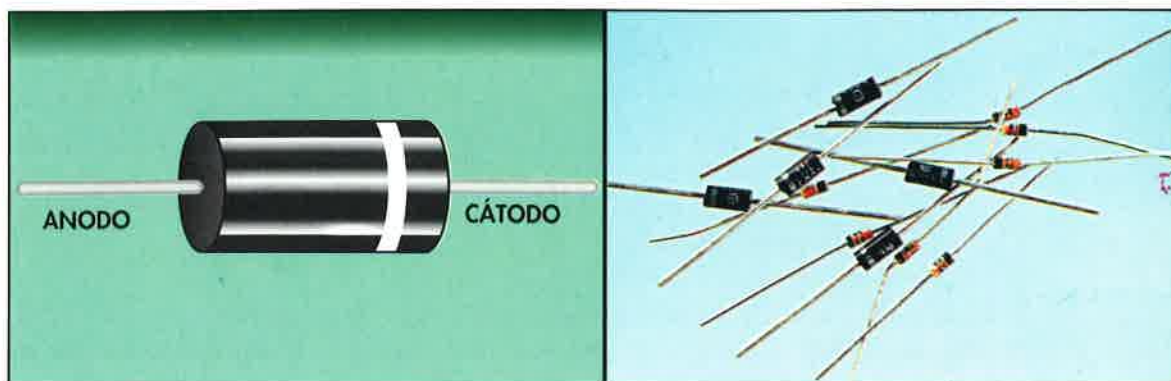
l'altro n. Nel primo tipo sono presenti ioni negativi e cariche positive definite paradossalmente lacune, mentre nel secondo abbondano ioni positivi e cariche negative, costituite dagli elettroni.

La formazione di queste particelle di carica opposta si ottiene con un processo definito di "drogaggio del semiconduttore", che prevede l'immissione nella struttura dello stesso di atomi di impurezze che si comportano come elementi donatori o accettori.

Il cristallo di materiale semiconduttore è inizialmente elettricamente neutro: questo significa che il numero di cariche positive, contenute nel nucleo dell'atomo stesso, è uguale al numero di cariche negative, costituite dagli elettroni che orbitano attorno a questo nucleo. Se in questa struttura vengono però introdotti da una parte degli atomi donatori e dall'altra degli atomi accettori, si vengono a formare due zone di

*La giunzione p-n, quando viene polarizzata direttamente, lascia passare corrente*



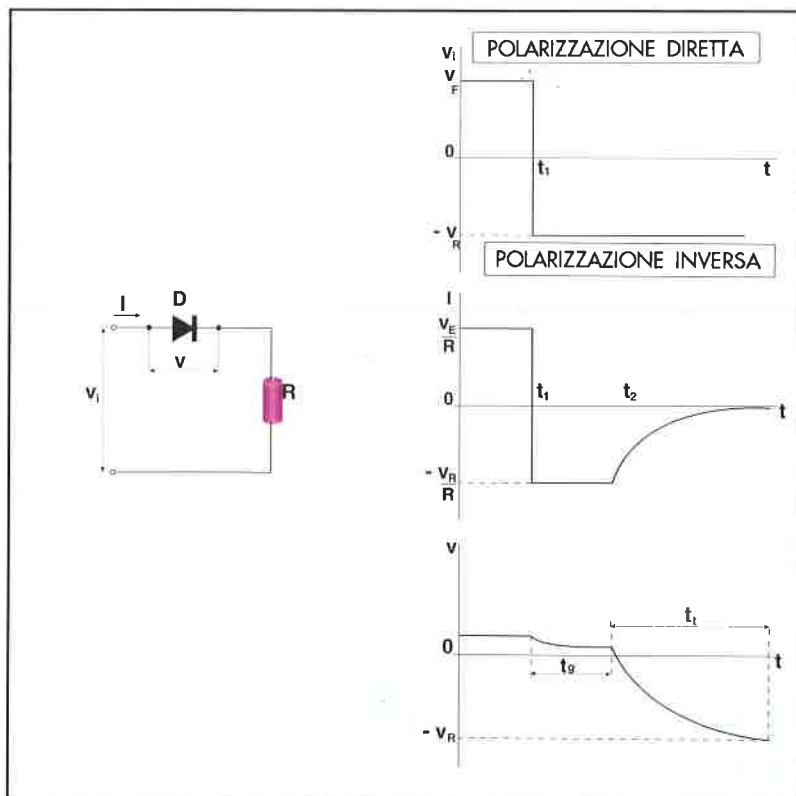


Nei diodi il catodo viene diversificato dall'anodo per mezzo di una striscia circolare che lo identifica

carica elettrica opposta separate da una zona di transizione di carica elettricamente neutra: questa condizione viene definita in campo elettronico *giunzione p-n*. Infatti, gli atomi donatori tendono a cedere i loro elettroni (di carica negativa) alla struttura cristallina del semiconduttore, che non riesce però ad assorbirli tutti, lasciandone alcuni allo stato libero: questi elettroni liberi sono detti di conduzione. Gli atomi donatori diventano ioni positivi. Viceversa, le impurezze accettrici strappano degli elettroni dagli atomi del materiale semiconduttore trasformandosi in ioni negativi e dando origine a lacune positive.

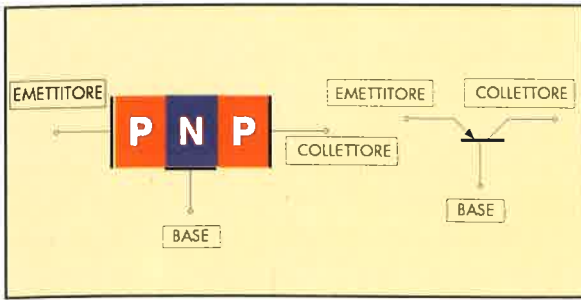
A causa della mobilità delle cariche in un materiale semiconduttore, e delle leggi che regolano l'attrazione elettrostatica, le lacune tenderanno a spostarsi verso la zona occupata dagli elettroni, mentre gli elettroni si muoveranno verso la zona occupata dalle lacune. Ad un certo punto però, lacune ed elettroni si incontreranno, e poiché sono di carica opposta tenderanno ad elidersi vicendevolmente riformando degli atomi elettricamente neutri. Di conseguenza si formerà una zona in cui non saranno presenti elementi carichi, che costituisce la *giunzione* propriamente detta, definita *zona di svuotamento* o, dalla terminologia anglosassone, "depletion layer". Se al materiale semiconduttore in questa condizione viene applicato un campo elettrico esterno con la polarità indicata in figura, tramite ad esempio una batteria, si verrà a formare un flusso ordinato di queste cariche libere che costituisce la corrente elettrica che scorre attraverso la giunzione e il diodo. Se invece la polarità della batteria viene invertita, nella zona di svuotamento si verrà a formare una vera e propria barriera, definita *barriera di potenziale*, che impedirà alle cariche libere di attraversare la giunzione: di conseguenza non ci sarà un flusso di corrente attraverso il diodo. Questo comportamento della giunzione p-n, definito *raddrizzamento*, è la caratteristica principale di un diodo, e consente un facile passaggio della corrente in una direzione mentre si oppone ad un flusso proveniente dalla direzione opposta.

Caratteristiche di conduzione e interdizione di un diodo

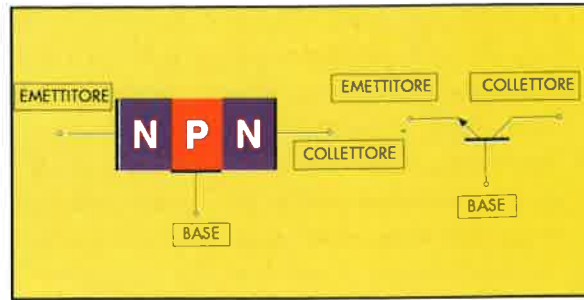


### CARATTERISTICHE STATICHE E DINAMICHE DI UN DIODO

In condizioni di riposo, vale a dire senza campo elettrico esterno applicato, l'attrazione elettrostatica



Rappresentazione di un transistor p-n-p



Esistono due categorie di transistor: quello in figura è di tipo n-p-n

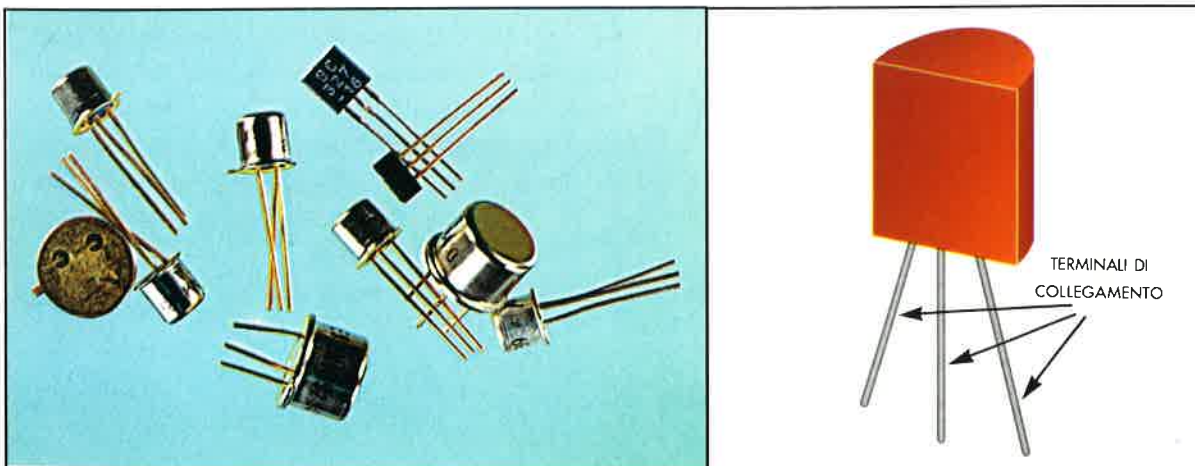
tra due cariche di segno opposto tende a spostare le cariche positive presenti nella zona p verso la zona n, e le cariche negative presenti nella zona n verso la zona p: si viene perciò a formare una corrente definita di *diffusione*. Questo movimento di cariche però, provoca la formazione di un campo elettrico interno che a sua volta tende a riportare le cariche positive verso la zona p e le cariche negative verso la zona n, generando una corrente opposta alla precedente che viene definita di *deriva*. In condizioni di equilibrio queste due correnti hanno ugual valore, e si elidono a vicenda. Con riferimento alla figura relativa, se si collega una batteria agli estremi di una giunzione p-n, con il polo negativo della stessa connesso alla zona p della giunzione e quello positivo alla zona n, si verrà a creare un campo elettrico esterno tale che le lacune (positive) saranno attratte dal polo negativo, mentre gli elettroni (negativi) verranno attirati dal polo positivo. Di conseguenza viene esaltata la corrente di deriva rispetto a quella di diffusione, che per sua natura tende ad annullarsi, per cui la corrente risultante avrà valore teoricamente nullo, e il diodo si comporta come un interruttore aperto.

Quando la giunzione viene invece polarizzata direttamente, la zona di tipo p risulta collegata al polo positivo, mentre quella di tipo n al polo negativo. Il campo elettrico esterno che si genera in questo caso tende ad esaltare la corrente di diffusione, provocata dalle cariche iniziali definite *portatori maggioritari*, che per sua natura tende all'infinito. Di conseguenza attraverso la giunzione, può scorrere una corrente elettrica il cui valore è definito dal circuito elettrico in cui è inserito il diodo stesso, che si comporta come un interruttore chiuso.

Tutte queste riflessioni teoriche portano alla conclusione che le caratteristiche funzionali dei diodi sono definite da alcuni parametri che ne condizionano il comportamento, e che devono essere tenuti in considerazione nel momento in cui si devono utilizzare questi componenti nel progetto dei circuiti integrati. I parametri più importanti sono:

- **Corrente inversa:** è la corrente che attraversa il diodo quando è polarizzato inversamente, e assume valori dell'ordine dei microampere. Viene definita per valori di tensione al di sotto di quello di rottura, ed è direttamente proporzionale all'area della giunzione, alla concentrazione di impurezze

Nel campo dell'elettronica digitale i transistor vengono generalmente impiegati come commutatori on/off



nelle zone drogate, e al tipo di impurezze utilizzate per il drogaggio. Dipende in minima parte dalla tensione inversa, e cresce inizialmente all'aumentare di quest'ultima per poi rimanere praticamente costante fino alla tensione di rottura: in quel momento aumenta enormemente anche se la tensione inversa rimane praticamente costante. La corrente inversa è sensibile alla variazione di temperatura, e aumenta con il crescere della stessa con un rapporto di tipo esponenziale.

- **Capacità:** generalmente la capacità di un diodo è formata dalla somma tra la capacità di giunzione, la capacità dei reofori e la capacità del contenitore. Viene definita ad una frequenza di 1 MHz, è inversamente proporzionale alla tensione applicata, ed assume valori con ordine di grandezza che va da 2 a 10 pF.

Queste due caratteristiche sono specificatamente riferite alla condizione di polarizzazione inversa, o interdizione; se il diodo è invece polarizzato direttamente, e perciò in conduzione, risultano importanti altri parametri, e più precisamente:

- **Tensione di soglia:** è il valore di tensione minimo che bisogna applicare al diodo polarizzato direttamente per fargli assumere la condizione di piena conduzione. Infatti, la corrente diretta rima-

ne praticamente nulla finché la tensione diretta non supera questo limite, che vale 0,7 V per i diodi al silicio e 0,3 V per i diodi al germanio. Questi valori variano però al variare della temperatura, con un fattore approssimato di 2,5 millivolt per grado centigrado.

- **Tempo di salita della corrente (rise time):** è il tempo impiegato dalla corrente diretta per passare da un valore del 10% al 90% della corrente finale. Generalmente vale circa 50 nanosecondi.

- **Tempo di recupero inverso (Reverse Recovery Time):** definisce l'intervallo di tempo che intercorre tra l'istante in cui la corrente cambia verso e quello in cui la stessa raggiunge uno specificato valore prossimo alla corrente totale. Impone anche il limite superiore della frequenza di lavoro del diodo.

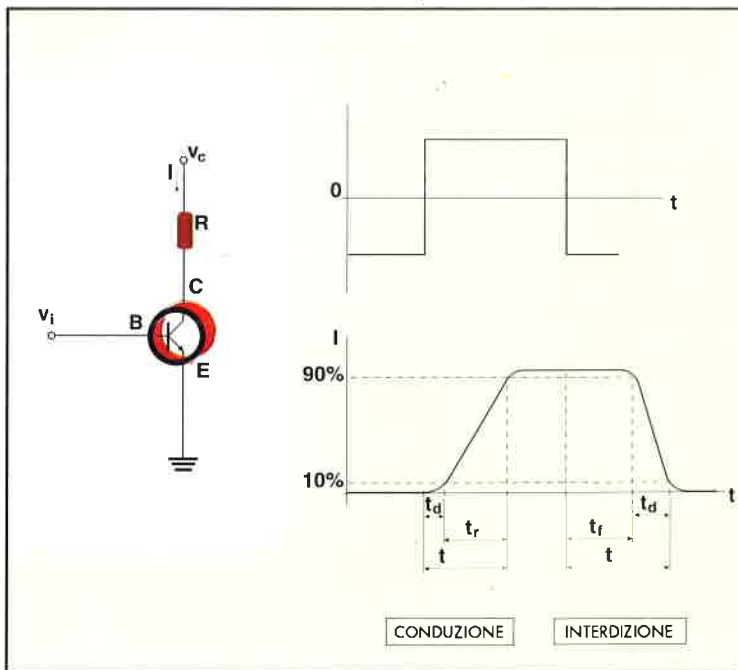
- **Tempo di recupero diretto (Forward Recovery Time):** definisce il tempo di commutazione dalla condizione di interdizione a quella di conduzione, ed assume valori poco significativi perché più bassi di quelli di recupero inverso.

#### CARATTERISTICHE STATICHE DEI TRANSISTOR

I transistor sono formati da una giunzione di tipo *p-n-p* o *n-p-n*, in funzione dell'impiego cui sono destinati. Di seguito vengono esaminate alcune loro caratteristiche:

- **Corrente di collettore:** i valori di questo parametro aumentano all'aumentare della  $V_{CE}$  (tensione collettore-emettitore) e, in condizione di interdizione, vengono definiti per specifici valori di tensione e di temperatura. Nei transistor al germanio la corrente di collettore raddoppia per ogni 10 °C di aumento della temperatura, mentre nei transistor al silicio ciò avviene per ogni aumento della temperatura di 6 °C.

- **Tensione di collettore:** la tensione collettore-emettitore  $V_{CE}$  aumenta all'aumentare della corrente di collettore e diminuisce all'aumentare della corrente di base. I valori tipici sono da 0,05 V a 0,3 V per transistor al germanio, e da 0,2 V a 0,5 V per quelli al silicio.



Le curve caratteristiche dei transistor indicano i loro tempi di risposta

# LE FAMIGLIE LOGICHE FONDAMENTALI

Finora è stato descritto il funzionamento delle diverse porte logiche, e sono state analizzate le loro principali proprietà e caratteristiche.

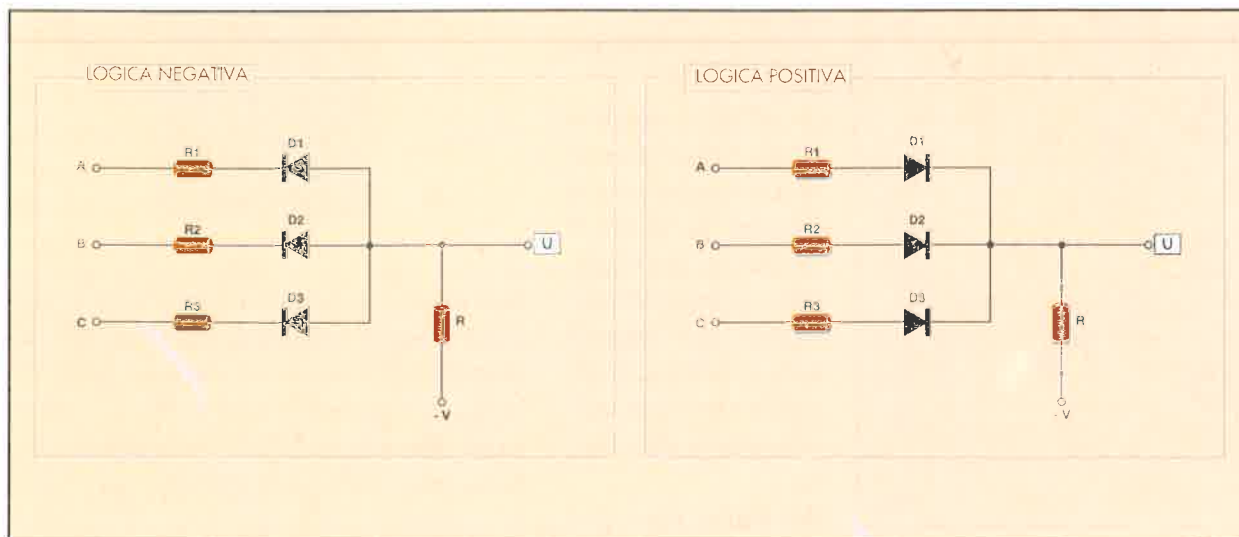
Da questo momento in poi si comincerà ad entrare in quella che realmente si può definire elettronica digitale. Infatti, verranno descritte le tecnologie costruttive di queste porte, partendo dalla definizione delle prime famiglie logiche che sono state alla base della loro realizzazione.

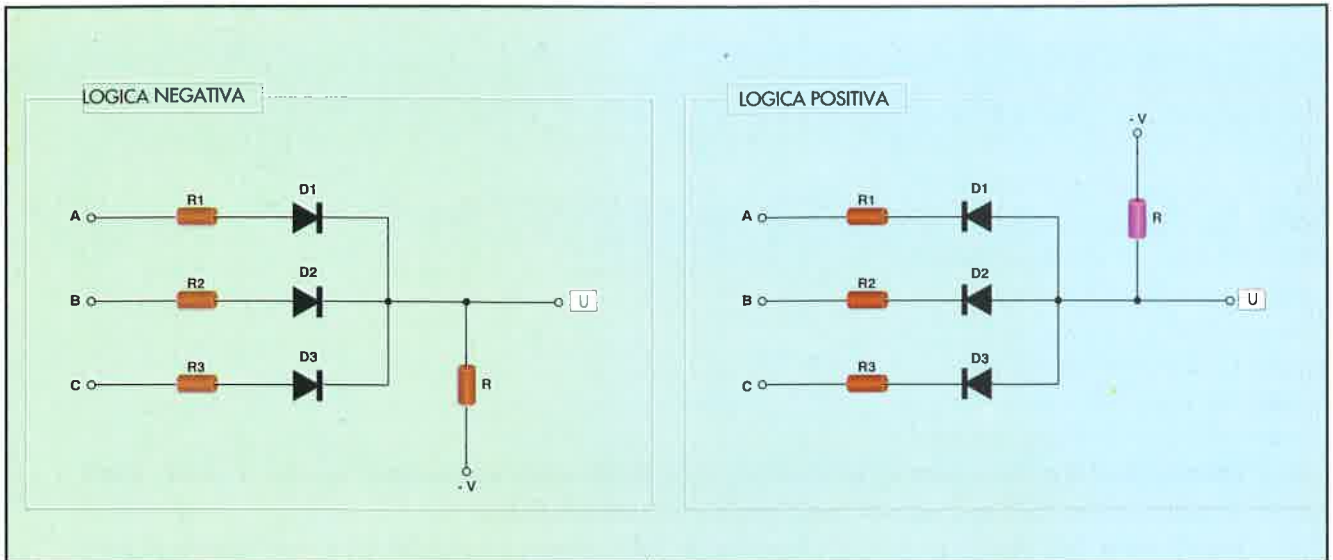
**P**rogramma prescelto.  
Prima di affrontare il progetto delle porte logiche occorre chiarire alcuni concetti che saranno utilizzati nelle pagine seguenti.

Da un punto di vista elettronico, in un sistema che opera in corrente continua o con livelli logici un bit è caratterizzato da uno dei due livelli di tensione disponibili; ciò vuol dire che le variabili saranno viste

come un valore di tensione, che può essere alto o basso. In questo modo è possibile definire i due livelli di tensione a cui corrisponderanno i livelli logici 1 e 0. Di conseguenza si potranno considerare due classi di logica: se la tensione più positiva corrisponde al livello logico 1 e la più negativa al livello logico 0, vuol dire che si sta operando in *logica positiva*. Se, viceversa, si assegna al livello logico 1 la tensione più negativa e al livello logico 0 quella più positiva

Porta logica OR strutturata in logica negativa e positiva



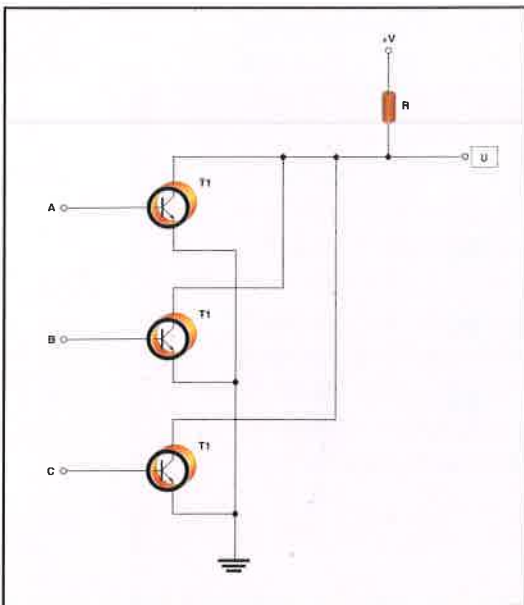


La porta AND in logica negativa utilizza lo stesso circuito della porta OR in logica positiva

si è in condizione di *logica negativa*. Occorre ricordare che i valori assoluti delle due tensioni non hanno significato in queste definizioni. Ad esempio, il livello 0 non corrisponde necessariamente a un valore di tensione pari a 0 V. I livelli logici digitali non vengono definiti con precisione, ma per ogni stato viene indicato un intervallo di valori di tensione che rappresenta il livello logico. Questa situazione è dovuta a diverse ragioni:

- 1 - i parametri di un dispositivo fisico, quale potrebbe essere un transistor, non sono gli stessi, anche se gli elementi appartengono alla stessa famiglia; inoltre, i valori di riferimento dei componenti variano con la temperatura.

Il funzionamento della logica DCTL si basa sulle proprietà di interdizione e saturazione dei transistor



- 2- sull'alimentazione o sul riferimento di terra possono essere presenti dei picchi di tensione o dei ripple, oppure possono intervenire dei segnali spurii provocando quello che viene definito rumore del circuito.

Per capire come può

modificarsi il comportamento di una porta al variare del tipo di logica, verrà esaminata di seguito una porta AND. Con L viene indicato il livello logico basso e con H il livello logico alto. Operando in logica positiva la tabella della verità risultante sarà:

A	B	U	A	B
L	L	0	0	0
L	H	0	1	0
H	L	0	1	0
H	H	1	1	1

Se si opera in logica negativa, si ottiene invece:

A	B	U	A	B
L	L	1	1	1
L	H	1	0	1
H	L	0	1	1
H	H	0	0	0

Se si osservano entrambe le tabelle della verità, si può notare che in logica positiva la tabella rappresenta il comportamento di una porta AND, mentre in logica negativa la tabella indica il comportamento di una porta OR. Di conseguenza, quando si utilizzano delle porte logiche in un progetto, si

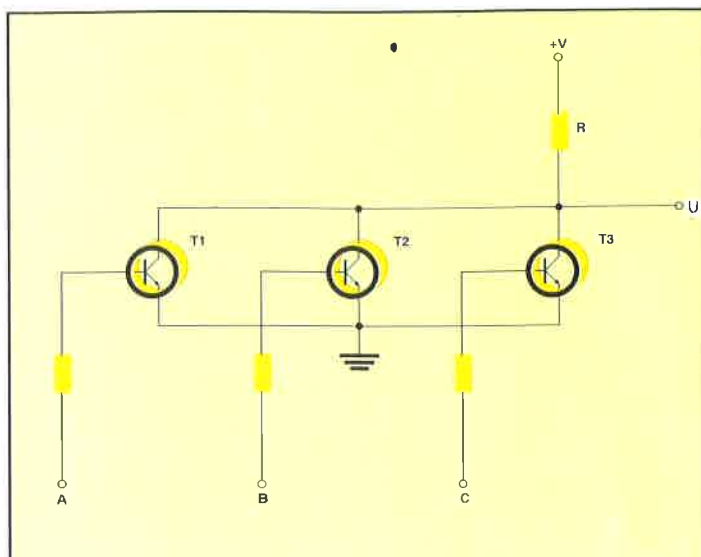
deve sempre tener presente con quale tipo di logica si va ad operare.

### LA FAMIGLIA LOGICA DEI DIODI

Questa rappresenta la condizione logica più semplice, ed è basata sullo stato di conduzione o meno dei diodi. Le porte logiche vengono costruite utilizzando principalmente dei diodi associati ad elementi passivi. Se si considera una porta OR che opera in logica negativa, si può notare che le resistenze che compaiono sul catodo dei diodi sono quelle interne al generatore di tensione.

Si consideri inizialmente il caso in cui la tensione presente sugli ingressi A, B e C abbia un valore pari al livello logico 0; in questa condizione i diodi risultano polarizzati inversamente, e poiché per ottenere lo stato di conduzione di un diodo è necessario che questo sia polarizzato direttamente, con una tensione di valore superiore alla sua tensione di soglia, nessuno dei diodi si trova in stato di conduzione. Di conseguenza la tensione presente in uscita sarà quella corrispondente al livello logico 0.

Se si portano l'ingresso A a livello 1, che in logica negativa significa un valore di tensione meno positivo rispetto allo stato 0, il diodo D1 entra in conduzione, e la tensione presente sull'uscita sarà quella dell'ingresso A più quella di soglia del

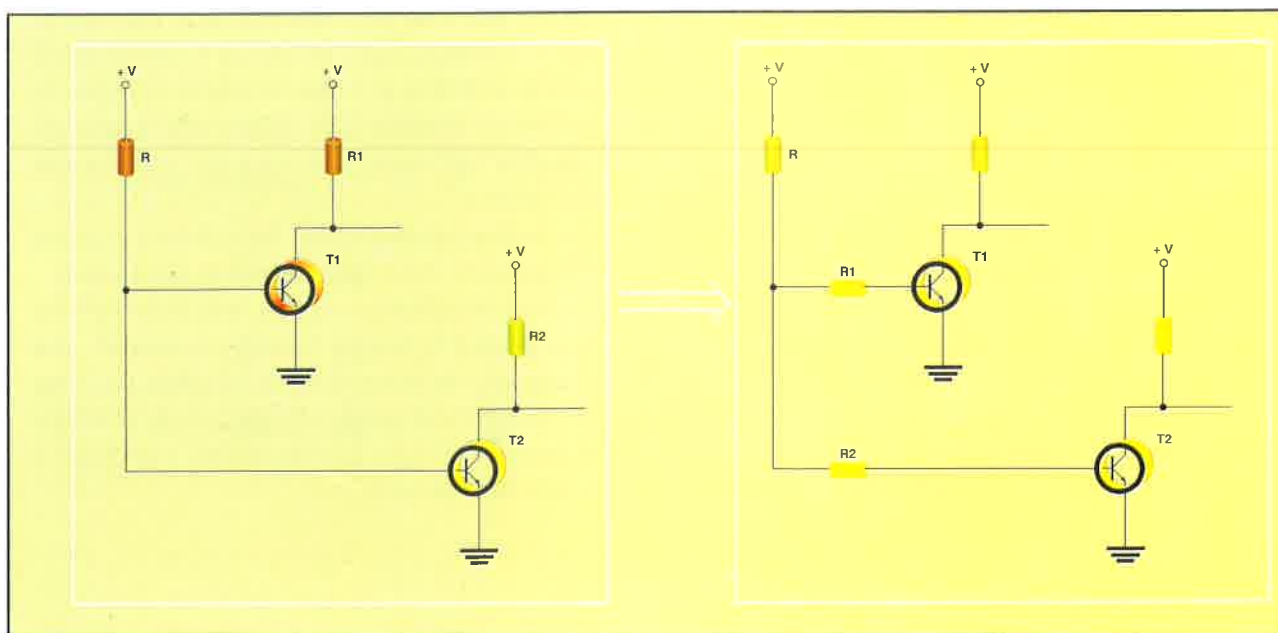


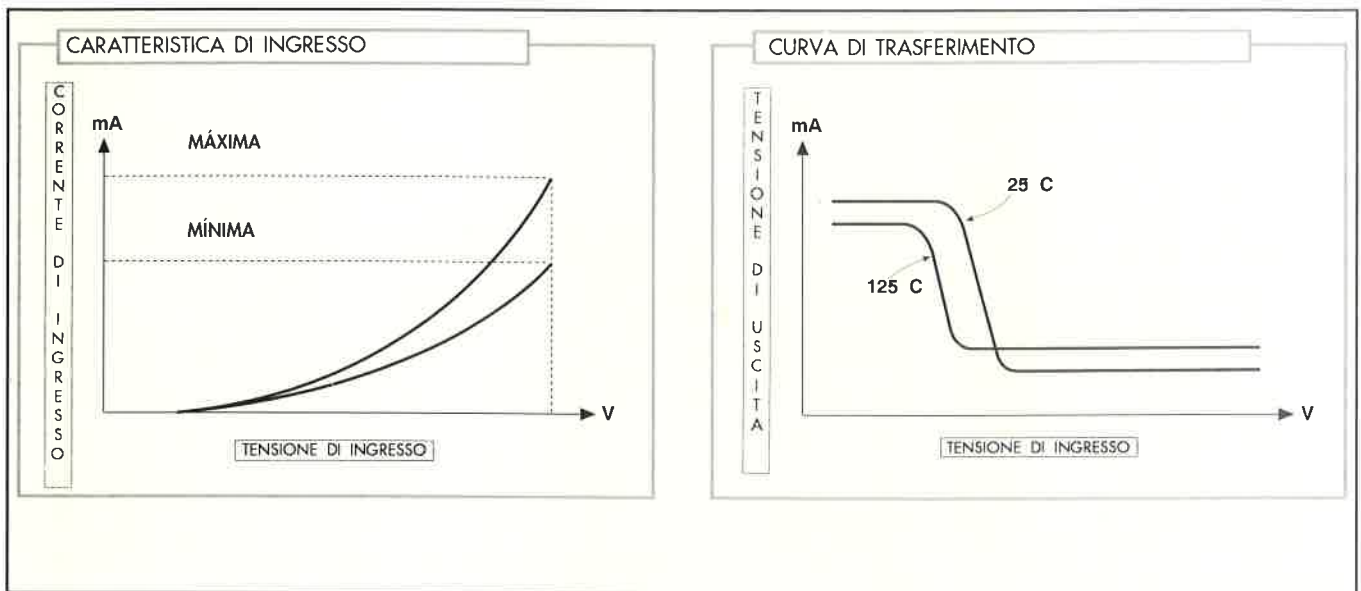
*Per evitare alcuni degli inconvenienti della famiglia logica DCFL sono state create le RTL aggiungendo una resistenza sulla base di ciascun transistor di ingresso*

diodo. In questo caso in uscita sarà presente un livello logico 1.

Se si considera il caso di una porta AND in logica negativa, si può facilmente notare che questa presenta lo stesso funzionamento di una porta OR che opera in logica positiva. Di fatto, confrontando le due figure, si può osservare che i circuiti di una AND in logica negativa e di una OR in logica positiva sono gli stessi.

*Trasformazione di una porta DCFL in una con tecnologia RTL*





Caratteristiche di ingresso e di trasferimento di una porta RTL

Lo svantaggio di questa famiglia logica è dovuto al fatto che se si collegano più porte a diodi consecutive si ha uno spostamento dei livelli di tensione a causa delle cadute di tensione che si generano sui diodi che si trovano in conduzione. Un altro inconveniente è che con questa famiglia non si può costruire la porta NOT.

### LA LOGICA DCTL E RTL

La logica a transistori accoppiati direttamente o DCTL (Direct Coupled Transistor Logic) si basa sugli stati di interdizione e saturazione di un transistor. A ciascuna delle porte si fa corrispondere un transistor, che consentirà o meno il passaggio della corrente verso l'uscita in funzione del livello logico applicato in ingresso.

Per spiegare come funziona questa logica verrà esaminata una porta NOR come quella riportata nella figura corrispondente. Inizialmente si suppone di operare in logica positiva e con tutti gli ingressi a livello logico 0.

In queste condizioni le basi dei transistor T1, T2 e T3, di tipo n-p-n, non verranno polarizzate per cui i dispositivi risulteranno in condizione di interdizione. L'uscita, mantenuta ad un livello di tensione

quasi pari a  $+V$  dalla resistenza R, sarà perciò a livello logico alto, come vuole la tabella della verità di una porta NOR.

Se invece anche solo uno dei tre ingressi A, B o C viene portato a livello logico alto, allora la giunzione base-emettitore del transistor corrispondente verrà polarizzata direttamente e il transistor si porterà in condizione di saturazione.

In queste condizioni il valore di tensione in uscita sarà pari a 0 V (che corrisponde alla tensione di massa) e il suo livello logico sarà basso.

Gli inconvenienti di questa famiglia logica sono:

- Le correnti inverse di saturazione di tutti i transistor si sommano nella resistenza R del circuito a collettore comune e, a determinate temperature, la caduta di tensione può essere così bassa da impedire agli stessi di passare in condizione di saturazione.

- Le diverse caratteristiche dei transistor possono influenzare il buon funzionamento della porta.

Per risolvere questo problema sono state realizzate le porte RTL (Logica Resistore-Transistor), che possiedono lo stesso schema circuitale con l'aggiunta di alcune resistenze sulle basi dei transistor di ingresso. Il loro funzionamento è analogo a quello delle porte DCTL.



# LE FAMIGLIE LOGICHE

**Proseguendo in ordine cronologico la descrizione delle famiglie logiche, verranno esaminati in questo capitolo i circuiti che possono essere definiti l'anticamera delle porte logiche più attuali.**

**n**elle pagine precedenti sono state descritte le famiglie logiche DCTL e RTL, che costituiscono gli elementi fondamentali per i dispositivi che verranno studiati di seguito. L'anello di congiunzione tra quelle porte logiche e le attuali è la logica chiamata RCTL, con tecnologia resistenza-condensatore-transistor. Queste porte sono simili alle RTL, ma con l'inserimento di condensatori in parallelo alle resistenze poste sulla base dei transistor, come si può osservare nella figura corrispondente. In questo modo si ottiene una maggior velocità di propagazione, grazie al fatto che le capacità base-emettitore dei transistor si caricano e si scaricano attraverso i condensatori C1, C2 e C3. Inoltre, con queste porte si ottiene una diminuzione della dissipazione di potenza poiché si possono utilizzare resistenze di valore più elevato. Il funzionamento è analogo a quello delle porte RTL, e pertanto ne conservano sia i vantaggi che gli inconvenienti:

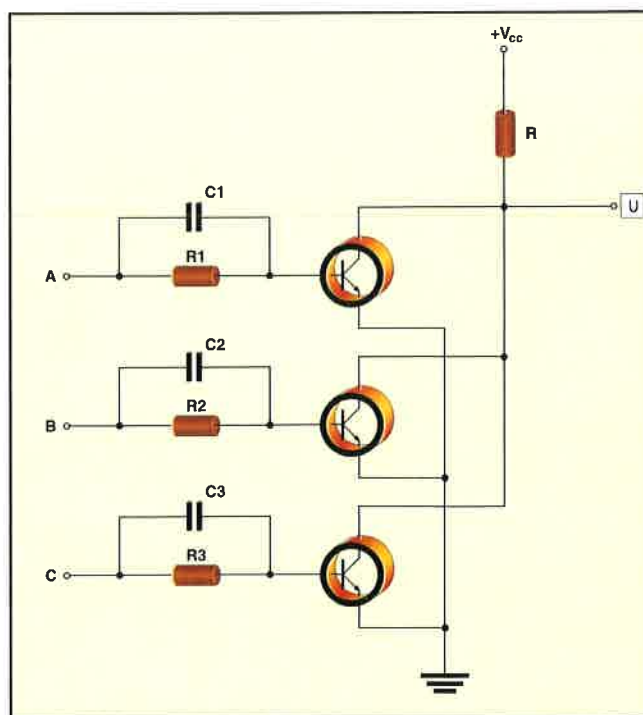
- bassa potenza di uscita o fan-out
- basso margine di rumore

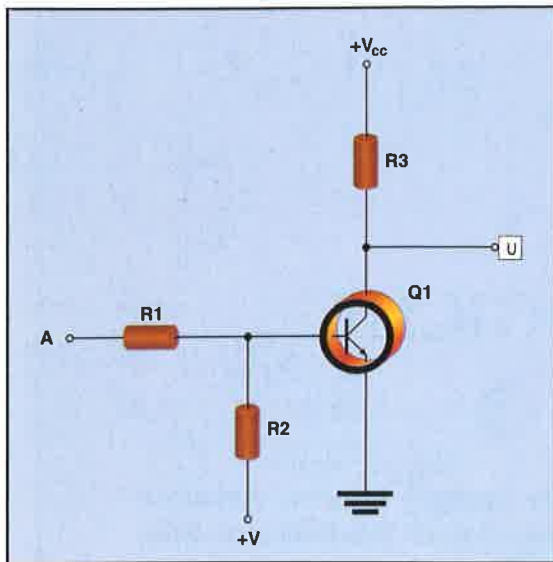
Migliora solamente la velocità di propagazione.

*Famiglia logica RCTL, simile alla RTL ma con l'inserimento di un condensatore in parallelo a ciascuna resistenza di ingresso*

## LA FAMIGLIA DTL

Con questo tipo di famiglia vengono costruite principalmente porte NAND e NOR. Si ricorda che entrambe si ottengono combinando una porta



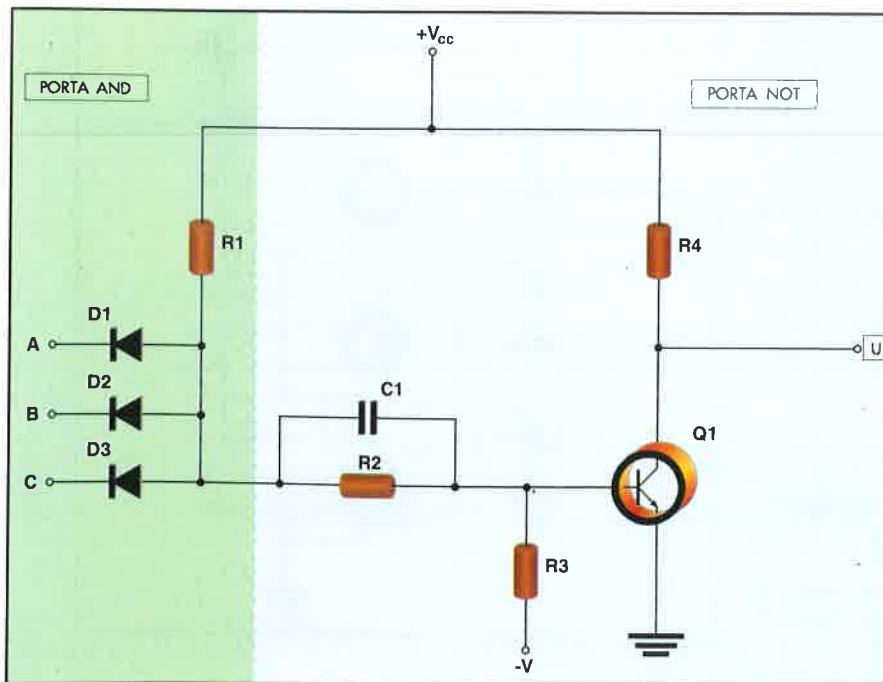


Porta invertente in tecnologia RTL, nella quale il transistor agisce come invertitore

NOT e una porta AND o OR. Come si può osservare nella figura corrispondente, la famiglia DTL (Diode Transistor Logic) viene realizzata con una porta a diodi e una RTL. Viene esaminato innanzi tutto il modo in cui viene formata una porta NOT o invertente. Il circuito a transistor della figura

presenta un invertitore a logica positiva, nel quale si considera il livello logico basso al valore di 0,2 V, corrispondente alla tensione collettore-emettitore del transistor utilizzato, e il livello logico alto pari alla tensione di alimentazione  $V_{cc}$ . Se sull'ingresso è presente uno 0 logico, vale a dire una tensione di 0,2 V, il transistor è interdetto e all'uscita sarà presente un livello logico 1. Se, al contrario, all'ingresso è presente un livello logico pari alla tensione  $V_{cc}$  (1 logico), il transistor andrà in saturazione e in uscita sarà presente uno 0 logico.

La famiglia logica DTL raggruppa quella a diodi e la RTL



Quando si progettano gli invertitori occorre tener presente alcune caratteristiche del transistor:

- *Tensione di polarizzazione inversa della giunzione di emettitore*: il suo valore non deve superare quello di rottura emettitore-base (normalmente indicato dal costruttore).

- *Guadagno di corrente in continua*: poiché questo valore diminuisce con la temperatura, il circuito deve essere progettato in modo che il transistor rimanga in saturazione anche alle temperature più basse che si possono raggiungere.

- *Corrente inversa di saturazione del collettore*: aumenta di circa il 7% per °C, per cui non è possibile trascurare l'effetto di questa corrente per temperature elevate.

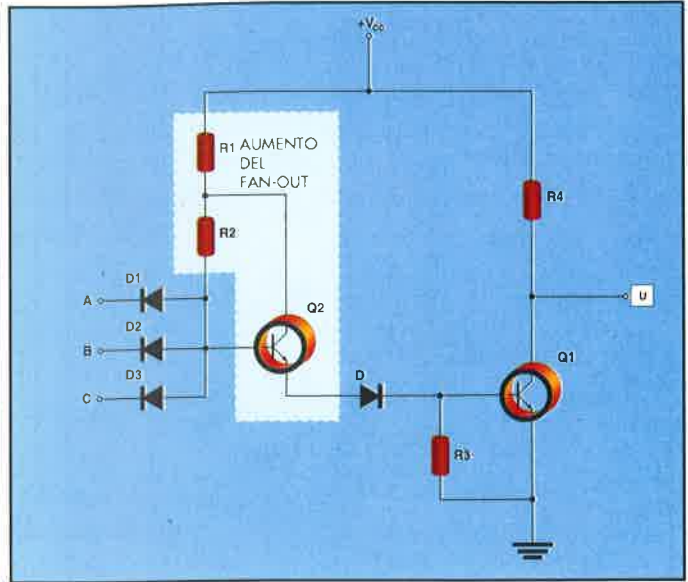
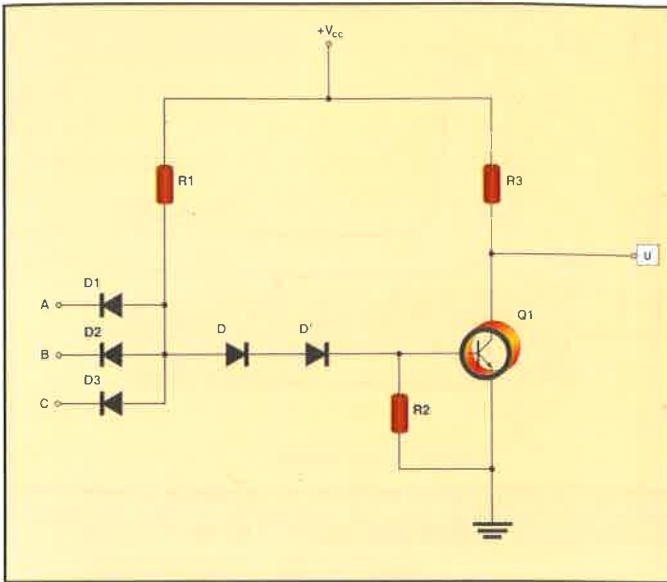
Si è già visto come funziona una porta AND in logica a diodi, per cui di seguito verrà esaminato il modo in cui agiscono congiuntamente le due tecnologie nella famiglia DTL.

Se uno qualsiasi degli ingressi si trova a livello basso, il diodo corrispondente (D1, D2 o D3) porterà a massa la corrente che attraversa la resistenza R1. In questo caso la tensione sull'anodo dei diodi è pari al valore del livello basso di ingresso più la caduta di tensione del diodo corrispondente.

Quando questa tensione è inferiore a tre volte la caduta di tensione del diodo il transistor di uscita va in interdizione.

Si osservi che per far scattare questo meccanismo è sufficiente che anche solo uno degli ingressi si trovi a livello basso. Se i rimanenti ingressi sono a livello alto, i diodi corrispondenti cesseranno comunque di condurre; questo perché la tensione sui loro anodi viene determinata dal diodo di ingresso in conduzione, la tensione sui catodi risulta superiore a quella sugli anodi, e i diodi risultano polarizzati inversamente.

Riassumendo si può dire che quando uno degli ingressi si trova a livello logico basso il transistor di uscita rimane interdetto, per cui la tensione presente sul suo collettore è a livello logico alto. Il transistor entra in conduzione solamente quando tutti gli ingressi sono a livello logico alto; in questo caso la tensione sul suo collettore è bassa, e di conseguenza l'uscita si porta a livello logico 0. Il condensatore C1 in parallelo a R2 serve



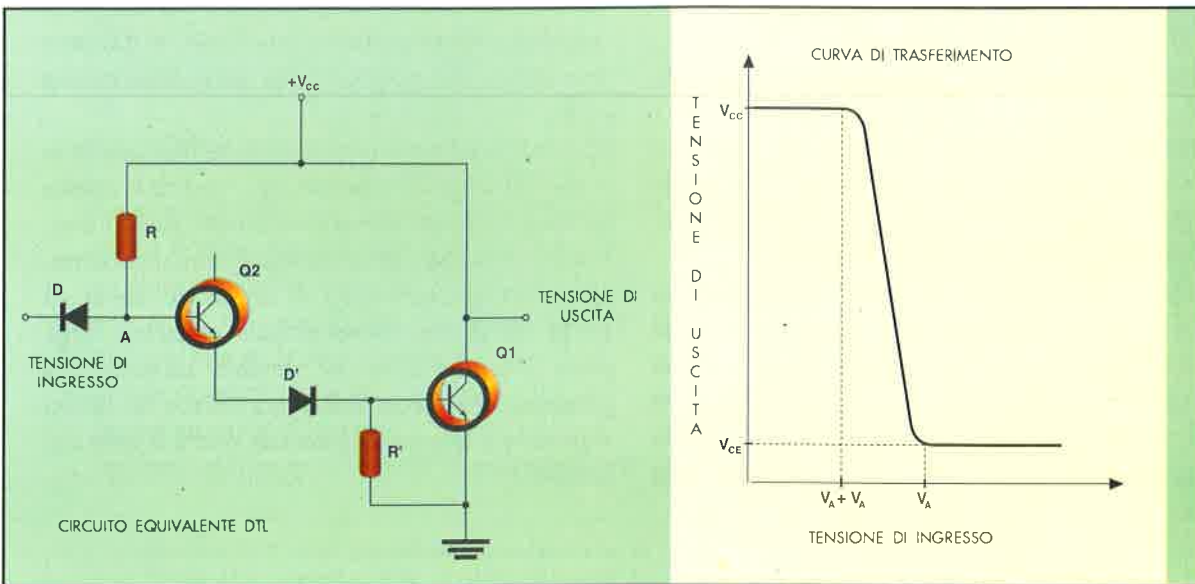
Per la costruzione dei circuiti integrati in tecnologia DTL, è necessario sostituire la resistenza e il condensatore in parallelo con due diodi in serie D e D'.

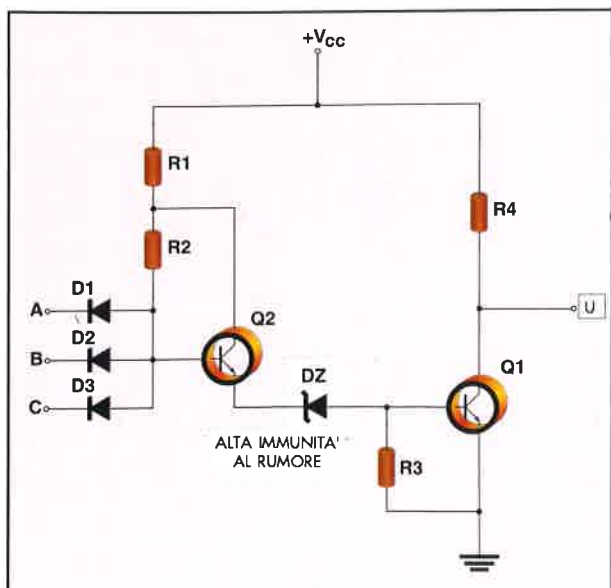
Per migliorare il fan-out delle porte DTL, si sostituisce uno dei diodi con un transistor.

per migliorare la risposta transitoria dell'invertitore. Questo condensatore favorisce l'eliminazione della carica immagazzinata sulla base quando il segnale passa bruscamente da uno stato logico all'altro. Si ricorda che un transistor non può uscire dalla condizione di saturazione sino a quando questa carica non abbandona la regione di base. Il tempo necessario per eliminare questa carica di saturazione viene denominato *tempo di immagazzinamento*.

Come quasi tutte le porte logiche, anche queste vengono realizzate con dei circuiti integrati; in alcuni casi però, gli elevati valori di resistenza e di capacità non consentono questo tipo di incapsulamento, per cui al loro posto vengono utilizzati transistor e diodi integrati, che hanno costi di produzione molto contenuti. La porta con condensatore e resistenza sulla base di Q1 appena descritta viene modificata sostituendo R2 e C1 con dei diodi. Il funzionamento rimane comunque

Per il calcolo della curva di trasferimento di una porta DTL si utilizza il suo circuito equivalente, con due diodi in opposizione e due giunzioni base-emettitore





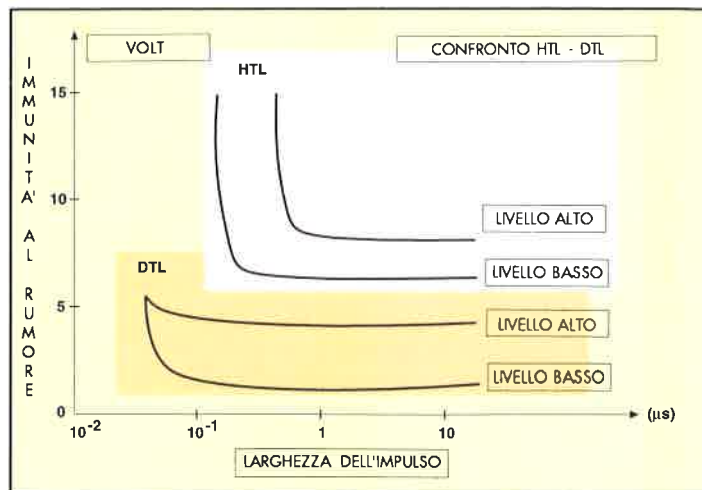
L'immunità al rumore è migliore nella famiglia HTL rispetto alla DTL

analogo a quello descritto in precedenza. Un ulteriore miglioramento si può ottenere sostituendo il diodo D con il transistor Q2, come illustrato nella figura corrispondente. Quando Q2 è in conduzione si trova nella sua regione attiva e non in saturazione. A questa conclusione si arriva partendo dal fatto che nella resistenza R2 la corrente circola nel senso della polarizzazione inversa della giunzione di collettore del transistor Q2. Poiché la corrente di emettitore di questo transistor alimenta la base di Q1, quest'ultimo viene eccitato da una corrente di base molto maggiore rispetto al transistor del circuito a diodi visto in precedenza.

### CARATTERISTICHE DELLA FAMIGLIA DTL

Per stabilire quali inconvenienti o vantaggi può fornire un certo tipo di famiglia logica utilizzata in un circuito, si devono esaminare le sue caratteristiche tipiche di funzionamento.

La prima di queste è la *velocità di commutazione*, che nel caso esaminato viene determinata dalle costanti di tempo dei circuiti e dalla velocità dei dispositivi che compongono la porta. Nelle porte DTL si osserva che l'impedenza di uscita a livello alto è tre volte maggiore di quella riscontrata nelle



In questa curva di confronto è possibile osservare la differenza tra i livelli di immunità al rumore nelle porte DTL e HTL

porte RTL. Supponendo che l'uscita di una porta DTL vada ad eccitare una serie di porte della sua stessa famiglia, e che ciascuna di queste presenti una capacità parassita verso massa, allora si può osservare che queste risultano tra di loro in parallelo; la costante di tempo avrà perciò un valore pari al prodotto tra il numero delle porte, la capacità parassita equivalente e la resistenza di uscita della porta che sopporta il carico. Come effetto principale risulterà quindi una diminuzione notevole della velocità di commutazione durante la transizione da un livello logico all'altro. Un altro aspetto che si deve considerare è l'immunità al rumore provocato dalle interferenze generate dall'ambiente esterno al circuito e dall'alta impedenza che generalmente presentano queste porte.

Per eliminare questo problema sono state create le porte HTL (High Threshold Logic, Logica a Soglia Elevata), di funzionamento analogo alle DTL che, come si può osservare nella figura corrispondente, prevedono l'inserimento di un diodo zener al posto del diodo convenzionale utilizzato dalle porte DTL sulla base del transistor di uscita. La presenza del diodo zener garantisce un livello superiore di immunità al rumore, come si vede dal grafico.

# LE FAMIGLIE LOGICHE TTL

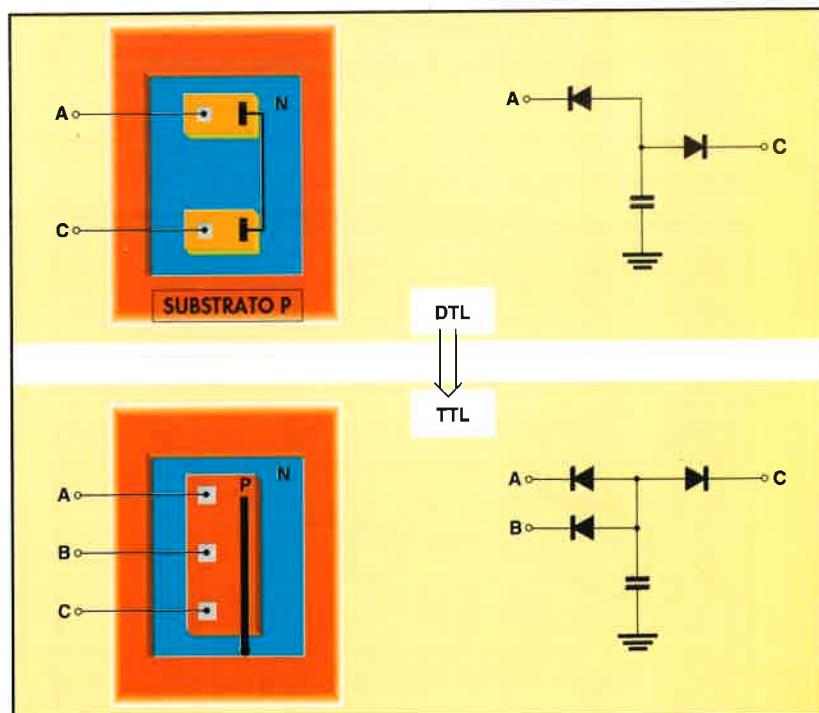
**Le famiglie logiche che sono state descritte sino a questo momento rappresentano solo il preludio alle porte attualmente più utilizzate nei progetti logici e, in particolare, nelle diverse schede del PC.**

**I**l circuito logico con saturazione più rapida è quello della porta in tecnologia transistor-transistor, o TTL, illustrata nella figura corrispondente. Come si vedrà in seguito, questa famiglia ha rapidamente sostituito le porte DTL poiché, rispetto a queste, presenta una migliore immunità al rumore, un minor ritardo di propagazione, e consente più funzioni. Le due logiche sono però tra loro compatibili nello stesso sistema elettronico digitale.

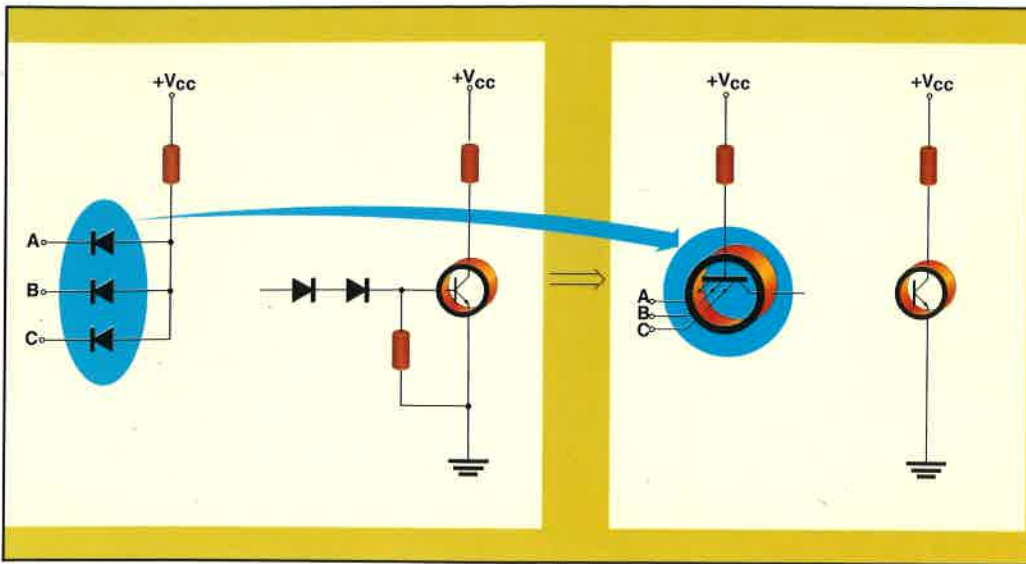
Per cercare di ridurre la capacità parassita nei TTL, già presente nei sistemi DTL, sono state tentate diverse modifiche nella configurazione dei semiconduttori che compongono la famiglia. Una prima diminuzione delle capacità parassite generate dall'insieme dei diodi di ingresso si ottiene con la struttura che si può osservare nella figura corrispondente. In effetti, la capacità della giunzione N-P polarizzata inversamente risulta minore quanto minore è l'area della giunzione.

La differenza principale tra la logica TTL e quella DTL consiste nella sostituzione del gruppo dei diodi di ingresso con un transi-

stor multiemettitore. Questo consente anche una più rapida estrazione delle cariche di base del transistor di uscita durante la saturazione.



*Trasformazione dell'ingresso di una famiglia DTL in un ingresso TTL*



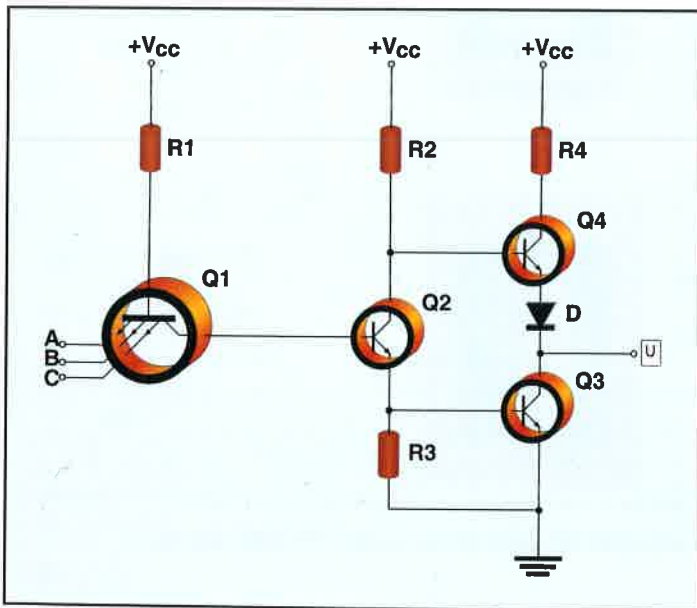
I diodi di ingresso di una porta DTL vengono sostituiti in una TTL con un transistor multiemettitore

Vista l'importanza di questa famiglia, verranno esaminati di seguito con maggior dettaglio i parametri che caratterizzano questi circuiti logici, e le diverse varianti che si possono ottenere nella struttura delle porte.

**PORTE TTL FONDAMENTALI**

In figura è rappresentata una porta TTL standard, con tensione di alimentazione tipica di 5 V. Il

Circuito convenzionale di una porta NAND in tecnologia TTL

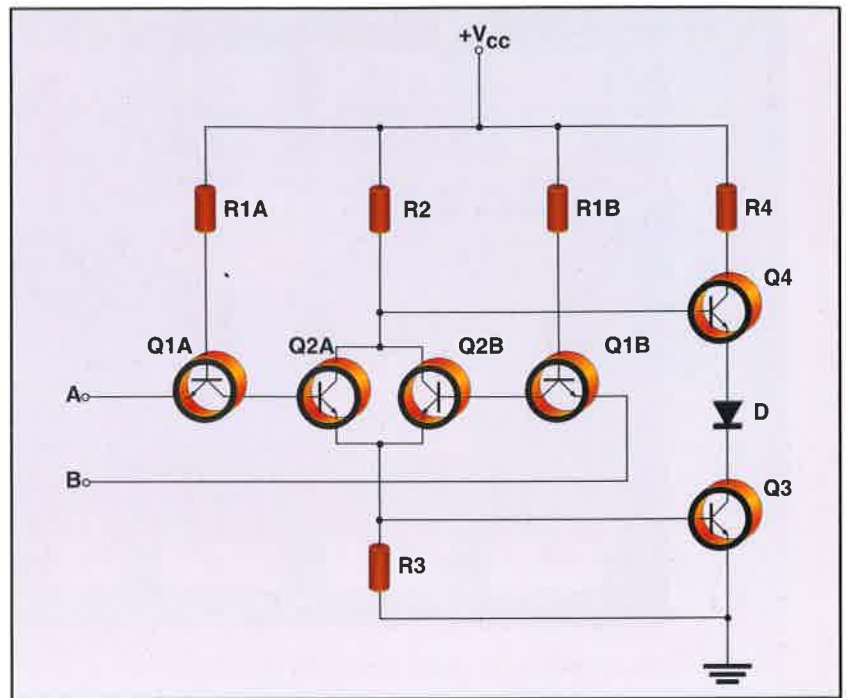


transistor Q1 è il multiemettitore che risponde alle variazioni dei livelli logici sugli ingressi, operando come un commutatore che in certi casi eroga corrente alla base di Q2, mentre in altri recupera la carica immagazzinata presente sulla base di Q2 e la capacità presente tra il collettore di Q1 e il substrato. Si osservi che la tensione sulla base di Q1 non supera i 2,1 V, poiché il collegamento tra la base di

Q1 e massa è formato da tre giunzioni: base-collettore di Q1, base-emettitore di Q2 e base-emettitore di Q3. Se le tensioni applicate sugli emettitori di Q1 sono a livello alto, il transistor Q4 risulta in interdizione poiché la tensione di collettore del transistor Q2 è insufficiente per far condurre la giunzione base-emettitore di Q4 in serie a D. Il transistor Q3 invece è in saturazione, poiché è funzione del carico applicato alla porta. In questa situazione Q1 sta operando in modo inverso: la giunzione base-collettore è polarizzata direttamente, mentre quella base-emettitore lo è inversamente.

Uno dei vantaggi delle porte TTL è la loro velocità. Si osservi quale influenza può avere su questo parametro il transistor multiemettitore. Nella situazione precedente Q2 era in saturazione, ed aveva perciò delle cariche immagazzinate nella sua base. D'altra parte, la capacità parassita che si forma tra il collettore di Q1 ed il substrato risulta caricata ad un certo potenziale. Si supponga di provocare una transizione dal livello logico alto a uno basso sugli emettitori di Q1, che corrisponde ad un valore di tensione basso; in questo caso la giunzione base-emettitore di Q1 risulta polarizzata direttamente, e ciò provoca la formazione di una considerevole corrente di collettore in Q1 che scarica rapidamente la capacità parassita e recupera le cariche immagazzinate nella base di Q2, portandolo in interdizione in breve tempo. Una volta stabilita questa condizione, attraverso

il collettore di Q1 continua a passare una piccola corrente. Se gli ingressi sono tutti a livello basso, il transistor Q2 funziona come amplificatore saturabile, fornendo due tensioni in opposizione di fase sul collettore e sull'emettitore. Il suo compito è quello di erogare alternativamente corrente alle basi di Q3 e Q4. Il transistor Q2 commuta rapidamente e contribuisce appena al ritardo totale della porta. Q3 è il transistor di uscita, progettato per poter scaricare a massa la corrente che gli arriva dagli ingressi di altre porte TTL ai quali viene applicato uno 0 logico quando Q3 si trova in saturazione; la resistenza R3 ha il compito di recuperare la carica immagazzinata nella base di Q3 quando questo passa dalla condizione di saturazione all'interdizione. Lo stadio di uscita composto da Q4, D e Q3, in configurazione definita *totem-pole*, presenta i seguenti vantaggi. Quando Q4 funziona come inseguitore di emettitore l'impedenza che presenta l'uscita della porta è sufficientemente bassa, e ciò consente al circuito TTL di funzionare con cariche capacitive a velocità elevate. Il diodo D evita che Q4 entri in conduzione quando Q3 è in saturazione, poiché costituisce una situazione di alta impedenza di carico sul collettore. Durante le transizioni da uno stato all'altro esiste un intervallo di tempo di diversi nanosecondi nel quale sia Q3 che Q4 conduco-



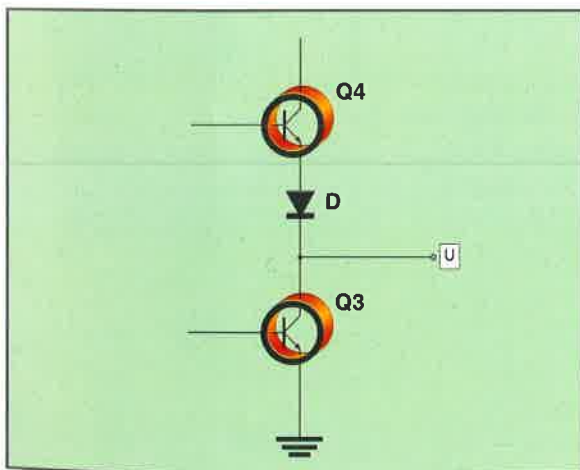
*Pur avendo un funzionamento analogo alle NAND, le porte NOR hanno uno schema circuitale diverso*

no, generando un percorso a bassa impedenza per la tensione di alimentazione  $V_{cc}$ ; ciò accade specialmente quando Q3 passa dalla condizione di saturazione all'interdizione, poiché questo è un processo più lento di quello di entrata in conduzione di Q4. Si può perciò considerare la presenza di D come un sistema che serve per ridurre l'assorbimento di potenza.

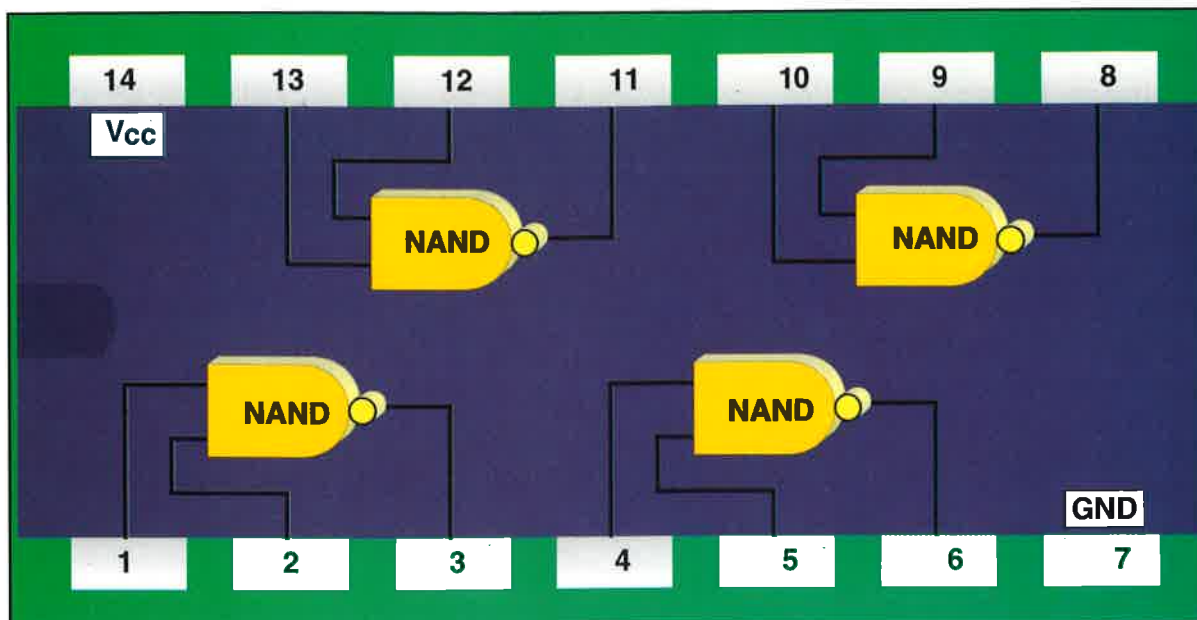
### OTTIMIZZAZIONE DEL PROGETTO

Continuando l'analisi del progetto di una porta TTL, è necessario valutare quali sono i valori più opportuni per le resistenze che accompagnano i transistor.

La resistenza R1 viene scelta in modo che la dissipazione di potenza risulti bassa senza influenzare eccessivamente la velocità di commutazione. Più si diminuisce il valore di R1 più le correnti che escono dagli emettitori di Q1 saranno maggiori, per cui si avrà una maggior dissipazione di potenza che renderà più basso il fan-out della porta TTL. Tuttavia, se R1 viene prevista di valore troppo elevato, la corrente di base di Q2 diminuisce, e la costante di tempo con



*Il "totem-pole", o coppia attiva, consente la carica attraverso un transistor che funziona in zona attiva e la scarica tramite un transistor in saturazione*



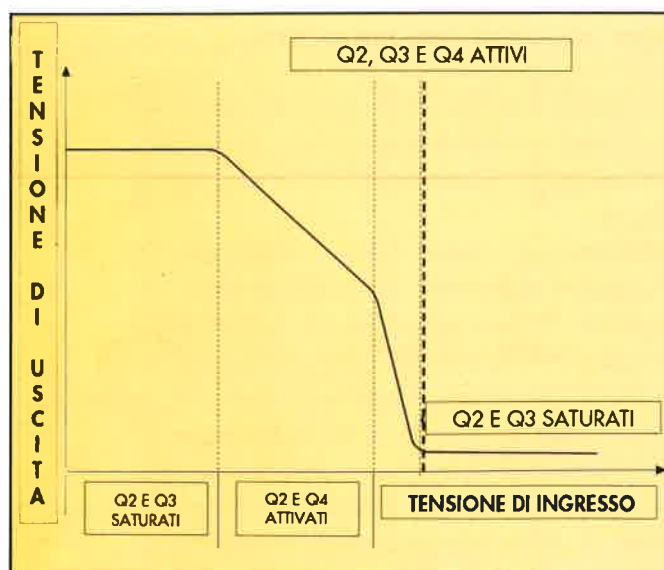
Circuito integrato con diverse porte NAND in tecnologia TTL

la quale si carica la capacità di collettore di Q1 risulta maggiore, per cui diventa minore la velocità di commutazione.

La resistenza R2 determina la corrente di base di Q3 quando questo si trova in saturazione.

R4 serve, come il diodo D, a limitare la dissipazione di potenza durante le transizioni, e per evitare la formazione di una corrente troppo elevata in caso di cortocircuito sull'uscita quando questa si

Curva di trasferimento di una porta TTL



trova a livello alto. Può capitare che uno o più emettitori di Q1 si trovino a livello alto, e i rimanenti a livello basso. Per quanto riguarda la funzione logica sviluppata dalla porta, questa situazione è identica alla condizione in cui tutti gli emettitori si trovano a livello basso; è sufficiente infatti che uno solo degli ingressi si trovi a livello basso per far sì che i transistor Q2 e Q3 risultino in interdizione, lasciando l'uscita a livello alto.

Come è facile constatare, la porta esaminata è una NAND. In una porta NOR, come quella riportata nella figura corrispondente, il principio di funzionamento è analogo a quello appena spiegato. Senza ripetere l'analisi elettrica del circuito, si può dire semplicemente che quando uno degli ingressi si trova a livello logico alto conducono i transistor Q2A o Q2B, Q3 è in saturazione, e Q4 risulta interdetto; questa condizione genera un livello logico 0 in uscita.

Se i due ingressi sono entrambi a livello logico 0, Q2A, Q2B e Q3 sono in interdizione, mentre Q4 conduce; in uscita sarà presente un livello logico 1.

Esistono diversi tipi di porte TTL, in funzione dell'impiego cui sono destinate nei diversi circuiti digitali; queste diversificazioni saranno oggetto dei prossimi capitoli.



# LE SOTTOFAMIGLIE TTL

La famiglia logica TTL è formata da diverse varianti che prevedono semplicemente delle particolari modifiche rispetto al circuito di base; queste varianti consentono di ottenere delle prestazioni migliori, esaltando alcune caratteristiche rispetto ad altre, e vengono normalmente utilizzate per costruire i diversi circuiti digitali che sono attualmente presenti in commercio.

**f**

ra le diverse sottofamiglie della logica TTL si segnalano le seguenti:

- TTL ad alta velocità o TTL/H
- TTL a bassa dissipazione o TTL/LP
- TTL Schottky o TTL/S
- TTL Schottky a bassa dissipazione o TTL/LS
- TTL Schottky avanzate o TTL/ALS

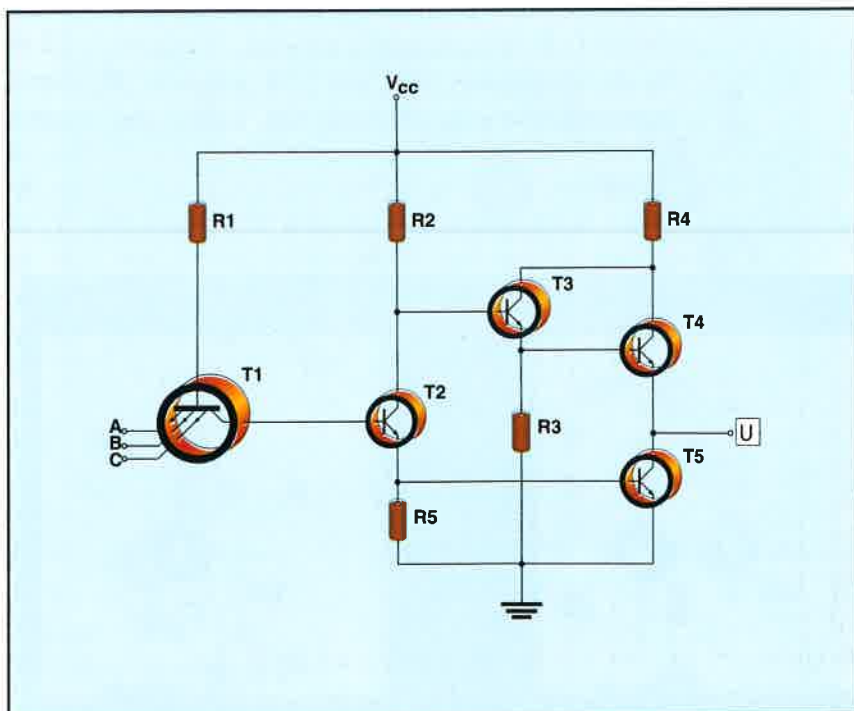
ricorso a un procedimento tecnologico innovativo: la diffusione di oro detta anche *tecnica gold killing*. L'oro introduce due livelli di energia, uno accettore e l'altro donatore, situati entrambi tra la banda di valenza e quella di conduzione. Questi livelli favoriscono la ricombinazione delle cariche, poiché agiscono come centri di cattura

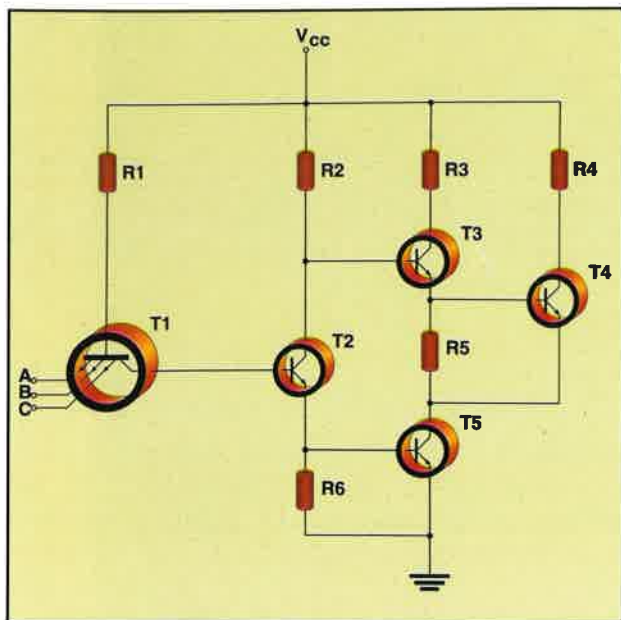
## LA FAMIGLIA TTL/H

Alcune variazioni sul circuito di base consentono di ottenere velocità di commutazione più elevate. La velocità di commutazione è funzione principalmente del tempo di immagazzinamento delle cariche nei componenti attivi e delle costanti di tempo, ed è quindi possibile aumentarla diminuendo gli effetti dovuti a questi due fattori.

Per ridurre il tempo di immagazzinamento delle cariche, definite anche portatori, nei componenti attivi si fa

*Famiglia TTL ad alta velocità, nella quale è visibile l'uscita Darlington*





La bassa dissipazione delle porte TTL standard ha portato allo sviluppo della famiglia TTL/1P

sti centri, e perciò ricombinati, è molto più alta rispetto alla probabilità che queste cariche hanno di "saltare" direttamente da una banda all'altra. L'effetto risultante di questa operazione è la notevole diminuzione del tempo di vita dei portatori minoritari e, pertanto, del tempo di immagazzinamento.

Per diminuire le costanti di tempo invece, si dovrà cercare di ridurre il valore delle resistenze; come conseguenza si avranno correnti più elevate, e perciò una dissipazione maggiore. Il circuito tipico di queste porte ad alta velocità di commutazione è riportato nella figura corrispon-

(trapping center) posti approssimativamente al centro della banda proibita.

Come conseguenza, la probabilità che gli elettroni e le lacune provenienti dalla banda di conduzione e da quella di valenza hanno di venire catturati da que-

dente. In questo circuito è stato sostituito il diodo, presente nel circuito standard esaminato nel capitolo precedente, con un transistor che, in combinazione con T3, forma un Darlington. Il transistor equivalente presenta un guadagno molto più alto e, pertanto, l'impedenza di uscita a livello alto diminuisce proporzionalmente all'aumento del guadagno.

Come si può osservare, il transistor di uscita del Darlington non può saturarsi, poiché la tensione collettore-emettitore minima è determinata dalla tensione di saturazione del transistor di ingresso più la tensione della sua giunzione base-emettitore. D'altra parte, le cariche immagazzinate nella base di T3 vengono rapidamente assorbite da T2 quando questo entra in conduzione. Di conseguenza la commutazione del Darlington in saturazione è immediata.

Un'altra importante modifica nei circuiti ad alta velocità è la sostituzione della resistenza R5 in parallelo alla giunzione base-emettitore di T5 con un'altro transistor.

### LA FAMIGLIA TTL/LP

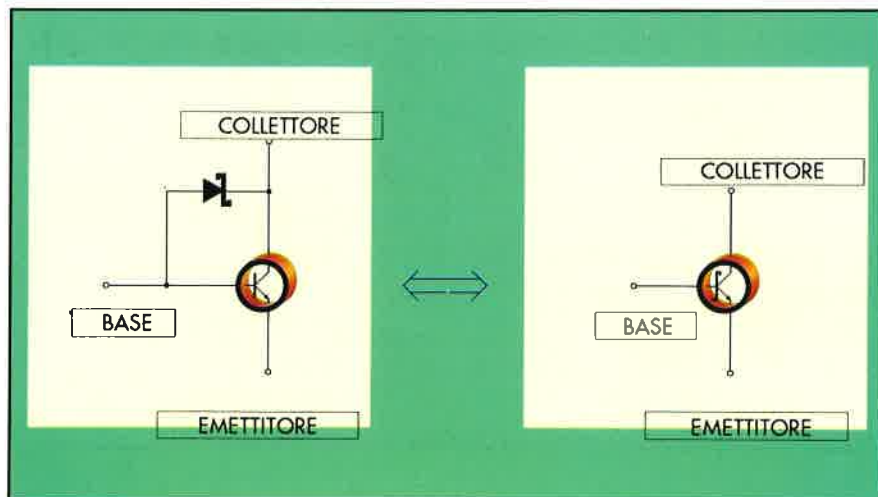
Queste porte sono praticamente uguali alle TTL standard; l'unica variazione consiste nella diversità dei valori delle resistenze, in questo caso maggiori, che consente di ottenere una minor dissipazione di potenza. In questa famiglia logica i valori tipici per le resistenze sono:  $R1 = 40 \text{ k}\Omega$ ,  $R2 = 20 \text{ k}\Omega$ ,  $R4 = 0,5 \text{ k}\Omega$  e  $R5 = 12 \text{ k}\Omega$ .

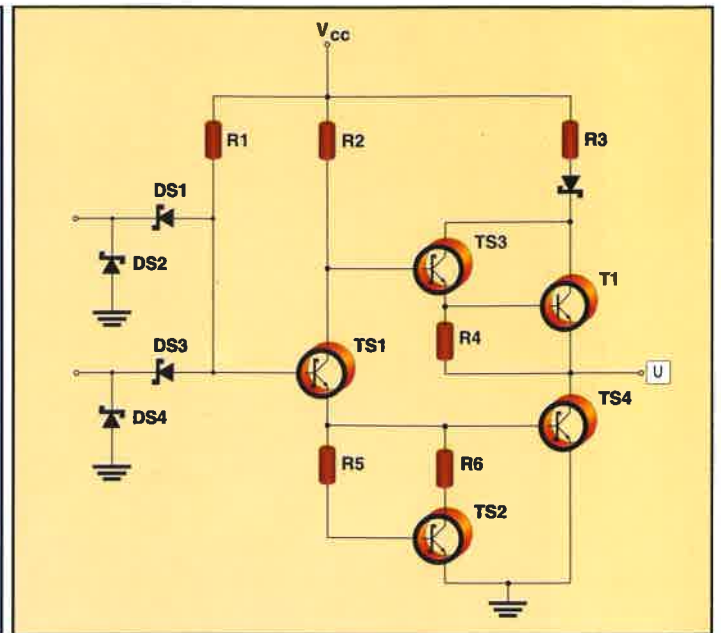
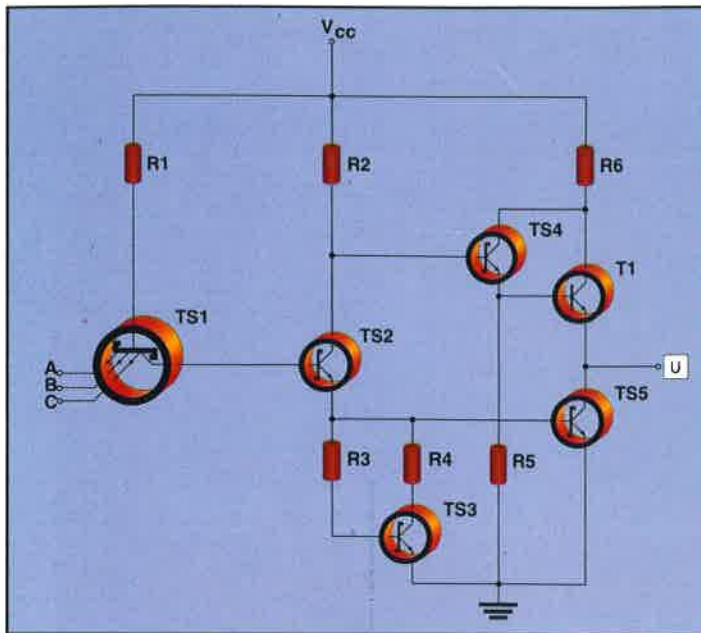
Sono utilizzate in circuiti dove il basso assorbimento è il fattore limitativo principale, e presentano un buon compromesso tra velocità e dissipazione. Nella figura corrispondente si può osservare il circuito fondamentale relativo a questa famiglia. Lo stadio di uscita permette che la tensione corrispondente al livello alto in uscita sia uguale alla tensione di alimentazione meno la caduta di tensione base-emettitore con correnti quasi nulle.

### LA FAMIGLIA TTL/S

Un altro metodo per ottenere alte velocità è quello di evitare la saturazione completa dei transistor. Il sistema più semplice per evitare che i transistor si saturino è quello di impedire la polarizzazione diretta della

I diodi Schottky danno origine a una famiglia molto particolare: la TTL Schottky o TTL/S



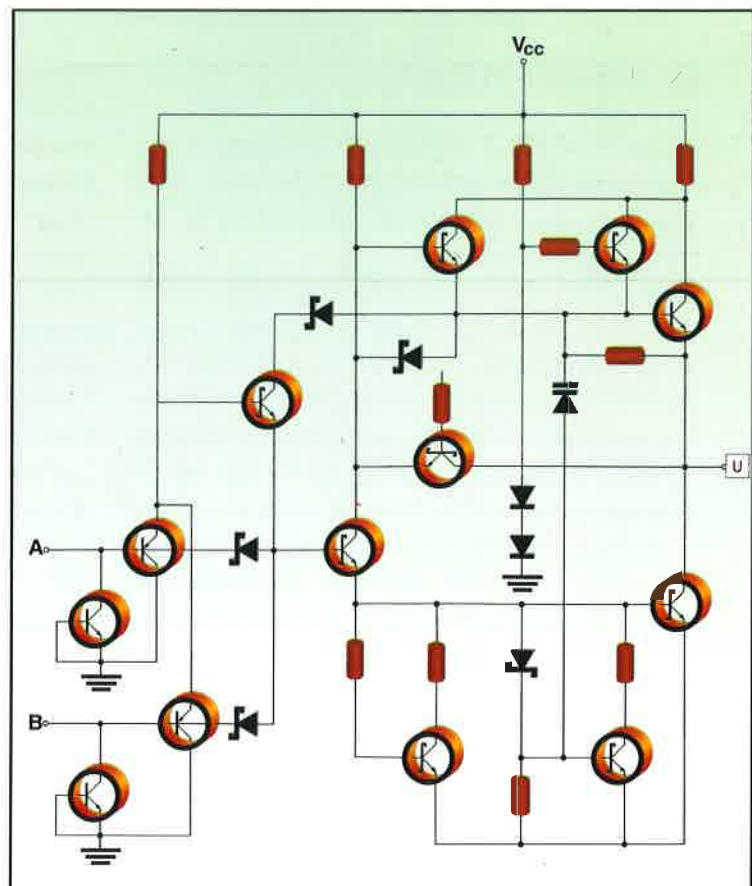


I transistor Schottky sono predominanti nelle porte TTL/S

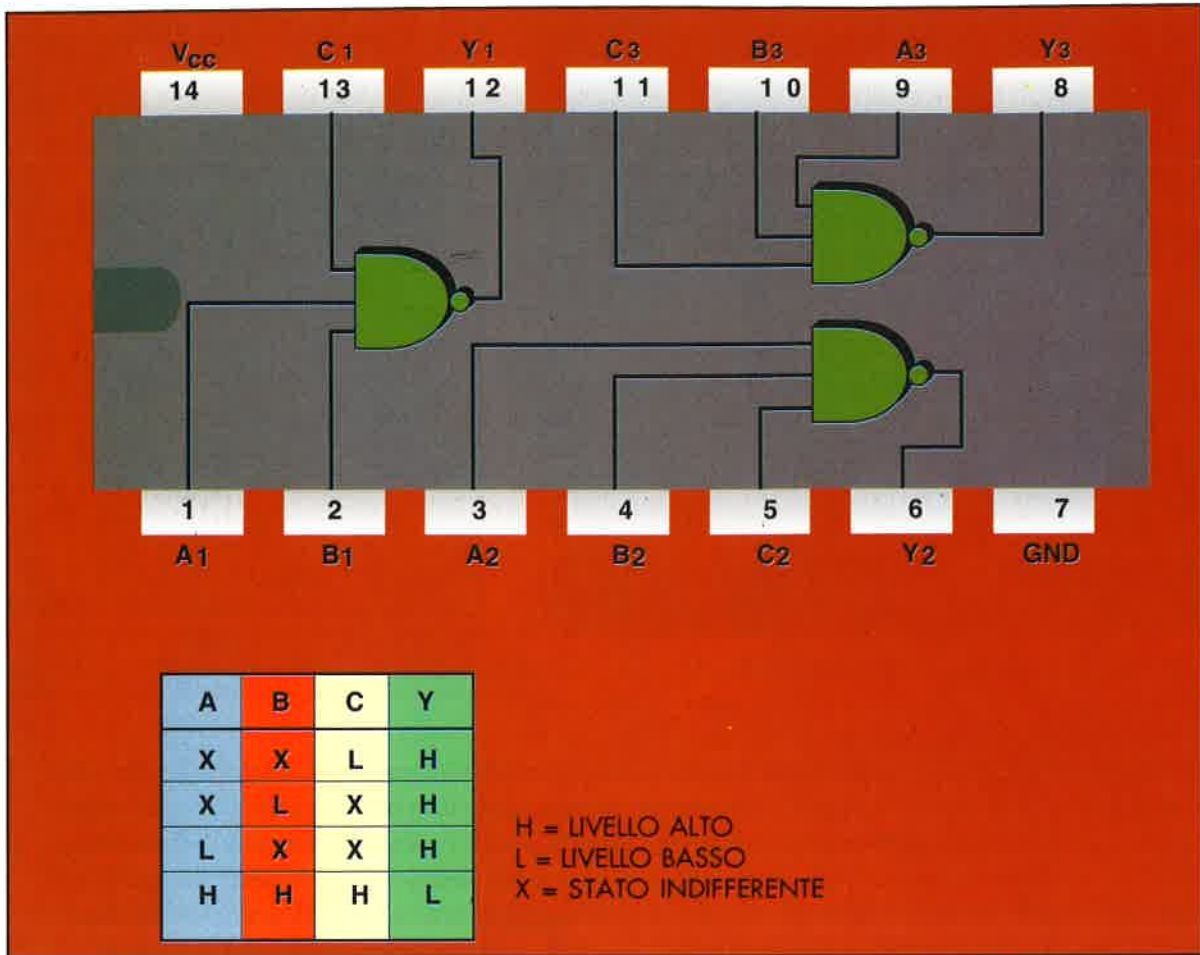
Nella famiglia TTL Schottky a bassa dissipazione il transistor multiemittitore di ingresso viene sostituito con dei diodi Schottky in opposizione

giunzione collettore-base; ciò si ottiene inserendo in parallelo a quest'ultima un diodo al germanio o un diodo Schottky che, quando è in conduzione, limita la tensione collettore-base a un valore inferiore a quello corrispondente alla saturazione. Il diodo Schottky è molto rapido, poiché non immagazzina cariche; anche il processo tecnologico che sta alla base della sua fabbricazione è relativamente semplice. Poiché l'alluminio è un elemento accettore, quando viene depositato sul silicio di tipo N tende a creare una giunzione metallo-semiconduttore invece del normale contatto ohmico. Per costruire direttamente il diodo in parallelo tra la base e il collettore del transistor è perciò sufficiente non diffondere i portatori di tipo N nella zona di collettore, ma depositare direttamente l'alluminio sul contatto dello stesso in modo da favorire la formazione di un diodo metallo-semiconduttore; risulta perciò costruttivamente semplice ottenere la struttura riportata nella figura corrispondente. Una variante a questa sottofamiglia logica è costituita dalle porte TTL-Schottky ad alta velocità, o TTL/F, caratterizzata dal fatto che tutti i transistor, che normalmente si saturano nella TTL standard, sono dotati di

una *clamp-Schottky*. Si può osservare che su T1 non è necessario il diodo in quanto il circuito formato da TS3 e TS5 è del tipo descritto in precedenza. I principali inconvenienti di questa famiglia sono la maggior dissipazione e l'aumento della tensione di uscita a livello basso, che comporta una maggiore immunità al rumore.



Le porte TTL/AL sono un miglioramento delle TTL/LS; con queste è possibile ottenere una diminuzione dell'assorbimento di potenza del cinquanta per cento



Il numero di porte logiche contenute in un circuito integrato commerciale dipende dal numero degli ingressi di ciascuna porta

### LA FAMIGLIA TTL/LS

Questa famiglia è destinata a diventare la più importante delle sottofamiglie TTL. La figura corrispondente può dare un'idea di quale sia la sua configurazione circuitale.

Come si può facilmente osservare, queste porte non utilizzano come circuito di ingresso il transistor multiemettitore, al quale si deve il nome TTL, ma una configurazione di tipo DTL, che permette una maggior rapidità e un aumento della tensione di rottura sino a valori prossimi ai 15 V. Su ciascun ingresso è presente un diodo Schottky che limita l'ampiezza di eventuali picchi negativi e minimizza il "ringing" nelle interconnessioni. La capacità di un ingresso di questa porta TTL/LS è di circa 3,3 pF.

Anche il circuito di uscita presenta delle differenze rispetto a quello TTL convenzionale. La base del transistor T1, che forma la connessione Darlington,

viene collegata all'uscita attraverso la resistenza R4, riducendo in questo modo la dissipazione di potenza e consentendo che, per correnti di uscita basse, la tensione di uscita a livello alto differisca dalla tensione di alimentazione della sola caduta di tensione base-emettitore.

Sulla base dell'altro transistor di uscita TS4 è presente un circuito simile a quello descritto in precedenza per la famiglia TTL/H, che prevede l'inserimento di un transistor in parallelo tra la base stessa e la massa.

Una variante particolare si ottiene impiegando un diodo Schottky in serie al collettore di T1. Questo diodo consente di avere sull'uscita tensioni superiori a quella di alimentazione.

Esiste una famiglia di recente sviluppo, chiamata TTL/ALS, che ha un assorbimento di potenza inferiore del 50% rispetto alla TTL/LS; il suo schema fondamentale è illustrato nella figura corrispondente.

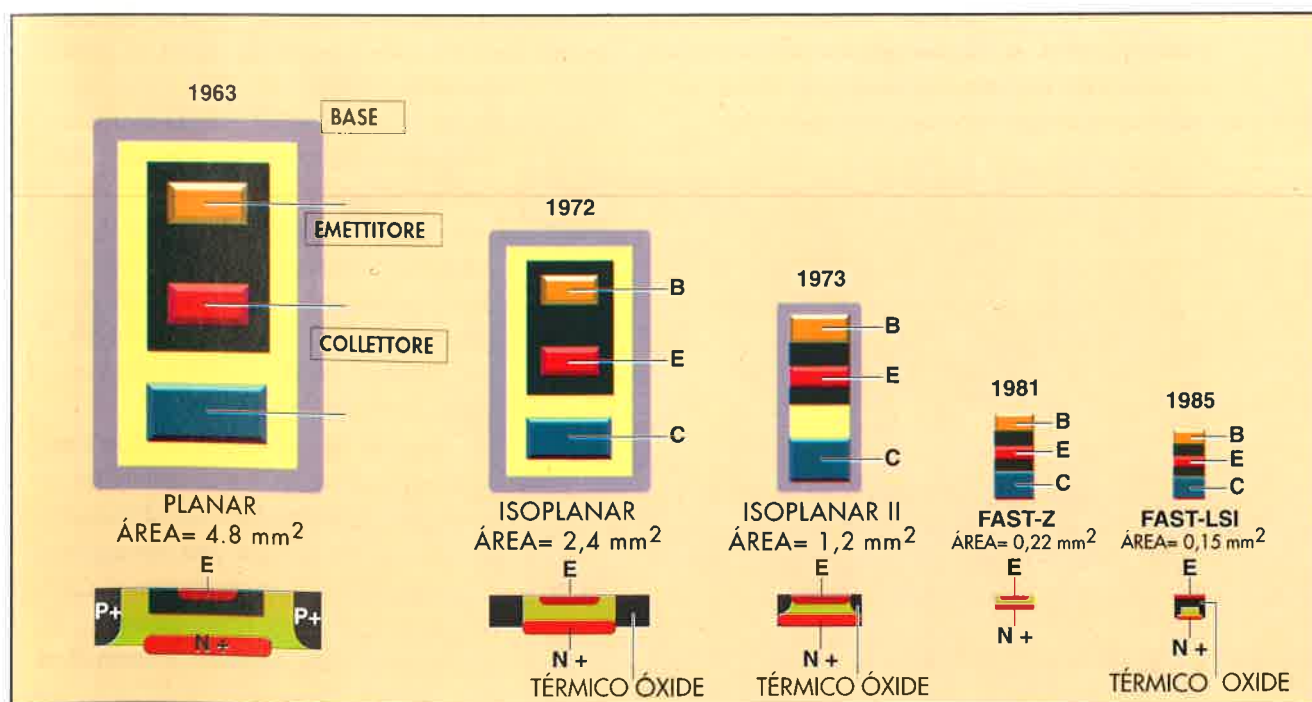
# LA FAMIGLIA LOGICA ECL

Attualmente sul mercato sono disponibili due categorie di circuiti integrati digitali non saturabili e ad alta velocità. La prima di queste, corrispondente alla famiglia TTL Schottky, è stata esaminata nel capitolo precedente. Di seguito verrà descritta la seconda categoria, costituita dalla famiglia ECL o logica a emittori accoppiati.

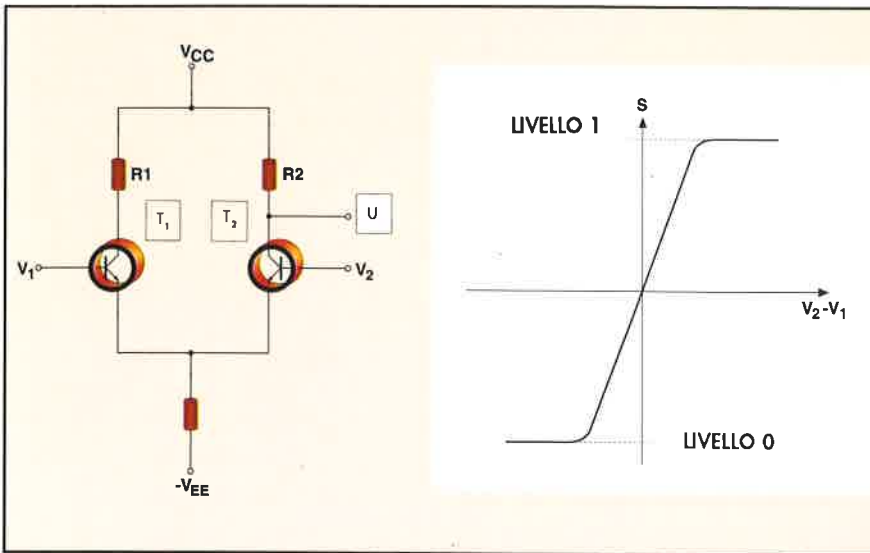
**i** progettisti di sistemi digitali hanno realizzato una famiglia con caratteristiche migliori rispetto alle altre, relativamente alla velocità di commutazione dei livelli, ai ritardi di trasmissione, ecc. Questa famiglia è la ECL (Emitter Coupled Logic), o logica a emittori accoppiati.

## IL PROCESSO TECNOLOGICO DI FABBRICAZIONE DELLE ECL

L'evoluzione della struttura di un transistor è andata migliorando nel corso degli anni. All'inizio degli anni '80 i circuiti integrati appartenenti alla famiglia ECL venivano fabbricati sfruttando una



*Evoluzione della struttura di un transistor bipolare*



Circuito di un amplificatore operazionale e sua caratteristica di trasferimento

tecnologia isoplanare avanzata chiamata FAST-Z. Questo processo costruttivo ha permesso di raggiungere valori di ritardo logico inferiore al nanosecondo ed un elevato controllo sulla commutazione dei livelli alto e basso e viceversa. Nella figura corrispondente si può osservare l'evoluzione tecnologica a partire dalla struttura planare convenzionale sino all'attuale FAST-LSI. Come in tutte le tecnologie di tipo isoplanare, il processo FAST-Z prevede l'accrescimento di un sottile strato di ossido per l'isolamento delle regioni attive, al posto della regione P+ propria dei processi planari. La presenza dell'ossido non richiede alcun tipo di separazione tra le regioni base-collettore, e ciò consente una sostanziale

riduzione della dimensione dei chip. Questo tipo di struttura permette di ridurre l'area di un transistor al silicio di circa il 400 % rispetto all'area occupata da un transistor fabbricato con tecnologia planare. Di conseguenza, se con questa tecnologia il substrato del collettore si riduce del 400 %, l'area base-collettore diminuisce del 540 %. Il processo FAST-LSI è analogo al FAST-Z, pur presentando alcuni sviluppi migliorativi. L'allineamento delle metallizzazioni è stato reso più preciso, e ciò ha permesso di accorciare la distanza tra i contatti base-emettitore. Anche la struttura della metallizzazione è stata migliorata, utilizzando una combinazione di platino e silicio per i

contatti ohmici di tipo N+ e P+.

**CONFIGURAZIONE DI UNA ECL**

Nella figura corrispondente si può osservare che il circuito equivalente è quello di un amplificatore differenziale, così chiamato perché la sua uscita è proporzionale alla differenza tra le due tensioni di ingresso V1 e V2.

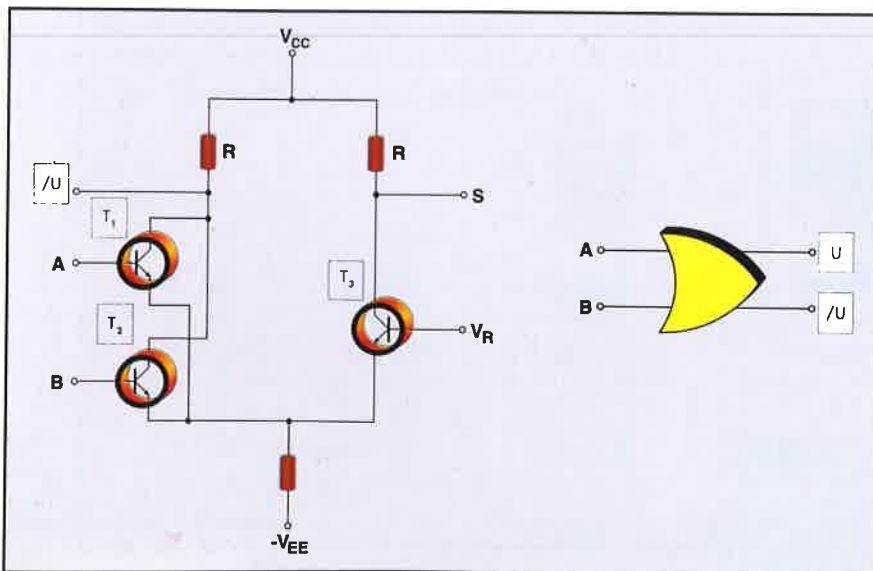
Questo circuito viene generalmente utilizzato nei sistemi analogici, ma presenta anche proprietà digitali; infatti, costituisce l'elemento fondamentale per la realizzazione della logica a emettitore accoppiato o ECL (in alcuni casi questa logica può essere indicata con il nome di logica di modo corrente o CML).

Se V1 è uguale a V2, per la simmetria del circuito le correnti dei transistor risultano uguali.

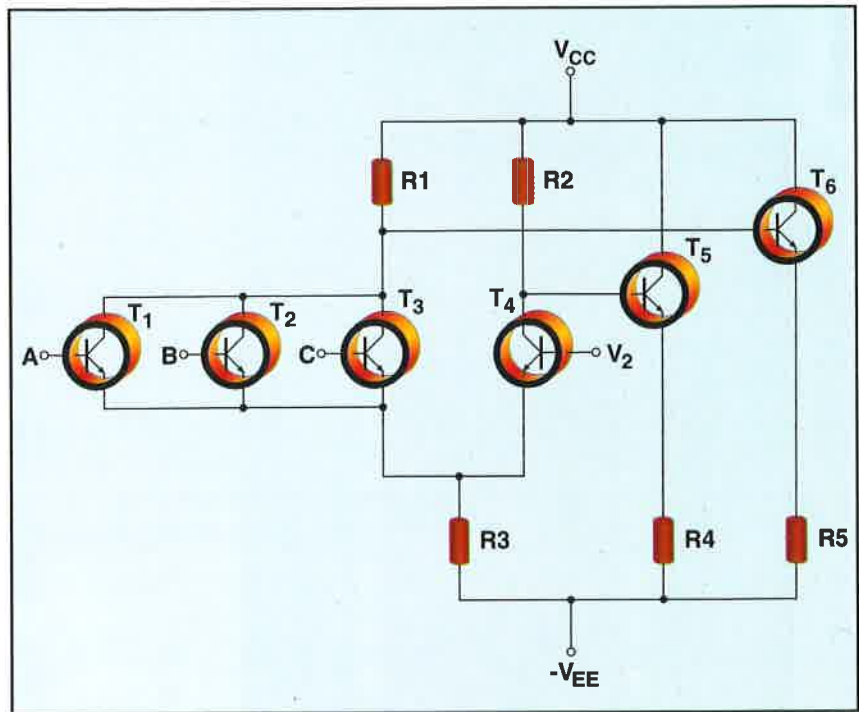
Tuttavia, se V1 supera V2 di circa 0,1 V, il transistor corrispondente T1 inizia a condurre mentre T2 è in interdizione; viceversa se V1 è inferiore rispetto a V2 di 0,1 V sarà il transistor T2 a condurre, mentre T1 va in interdizione.

La corrente di emettitore si mantiene praticamente costante e si trasferisce, o commuta, dal transistor T1 a T2 quando la tensione V1 subisce una variazione rispetto alla tensione di riferimento V2 che va da 0,1 V al di sopra fino a 0,1 V al di sotto di detta tensione. Tranne che

Porta OR/NOR a due ingressi della famiglia ECL e suo circuito equivalente



in un margine molto ristretto di variazione della tensione di ingresso  $V_1$ , sull'uscita  $U$  è sempre presente uno dei due possibili valori, per cui il sistema agisce come un circuito digitale. I due livelli logici di riferimento sono facilmente ricavabili. Se  $T_2$  è interdetto la tensione di uscita è uguale a quella di alimentazione, e il livello logico corrispondente vale 1. Quando  $T_2$  è in conduzione le resistenze, i cui valori devono essere definiti opportunamente, fanno lavorare il transistor nella sua regione attiva; ciò vuol dire che  $T_2$  si trova nella sua regione attiva quando la giunzione collettore-base viene polarizzata inversamente. In questo caso la tensione di uscita corrisponde a quella di alimentazione meno la caduta di tensione sulla resistenza di collettore, e ciò implica che l'uscita assuma lo stato logico 0. Poiché nell'amplificatore differenziale nessun transistor può arrivare alla saturazione, il tempo di immagazzinamento diventa praticamente nullo; per questo motivo la ECL risulta essere la famiglia logica più rapida. Si possono ottenere ritardi di propagazione inferiori a 0,5 ns per porta. Se si osserva la portà OR/NOR a due ingressi riportata nella figura corrispondente, si può notare che questo circuito è composto



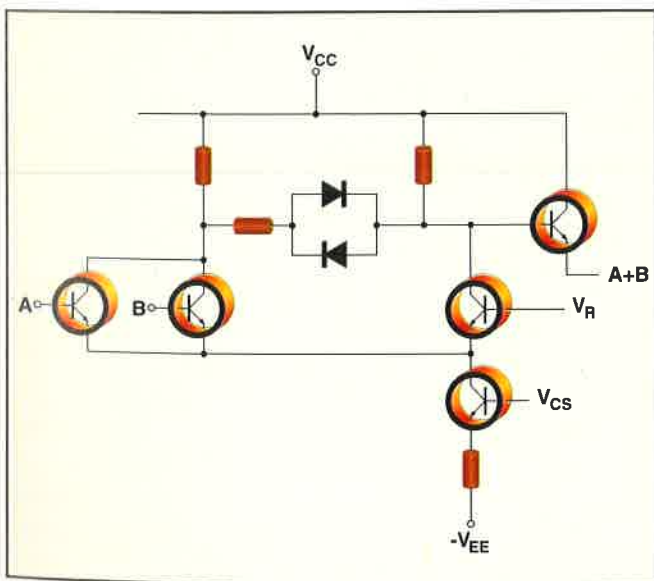
Aumentando il numero degli ingressi è necessario inserire due inseguitori di emettitore per compensare i livelli di tensione di ingresso e di uscita

principalmente da un amplificatore differenziale dotato di due transistor in parallelo sull'ingresso. Supponendo di operare in logica positiva, se A e B sono a livello basso entrambi i transistor  $T_1$  e  $T_2$  sono interdetti, mentre  $T_3$  si trova nella regione attiva. In queste condizioni l'uscita  $U$  è a livello basso, e la sua complementare  $\bar{U}$  a livello alto. Se A o B (indifferentemente) passano a livello alto, la tensione di emettitore del transistor di ingresso la cui base si trova a livello alto diventa superiore alla tensione

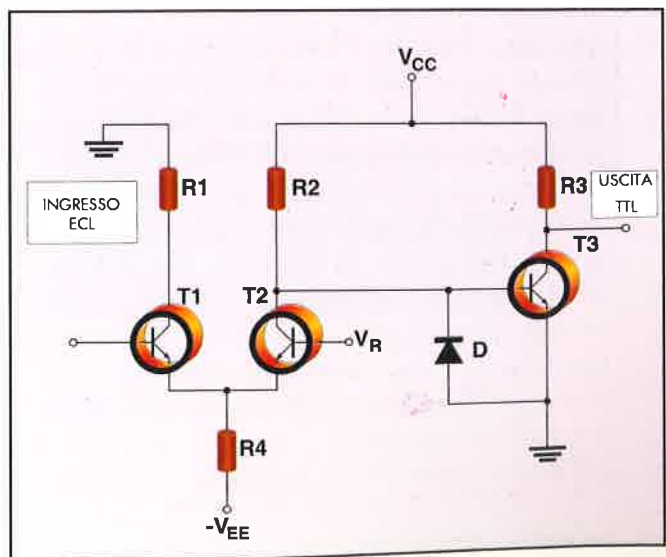
principalmente da un amplificatore differenziale dotato di due transistor in parallelo sull'ingresso. Supponendo di operare in logica positiva, se A e B sono a livello basso entrambi i transistor  $T_1$  e  $T_2$  sono interdetti, mentre  $T_3$  si trova nella regione attiva. In queste condizioni l'uscita  $U$  è a livello basso, e la sua complementare  $\bar{U}$  a livello alto. Se A o B (indifferentemente) passano a livello alto, la tensione di emettitore del transistor di ingresso la cui base si trova a livello alto diventa superiore alla tensione

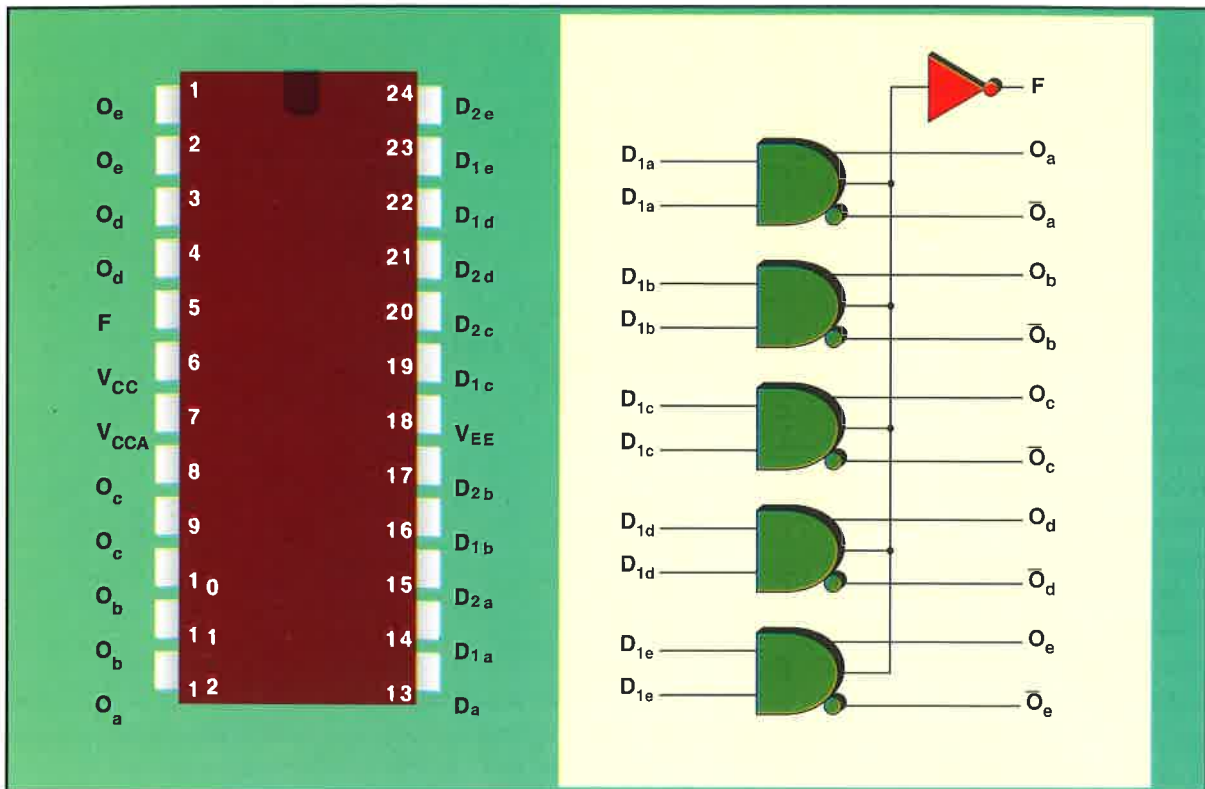
Se A o B (indifferentemente) passano a livello alto, la tensione di emettitore del transistor di ingresso la cui base si trova a livello alto diventa superiore alla tensione

Accoppiamento dei livelli tra una porta ECL e una TTL



Circuito di compensazione della temperatura per la determinazione della tensione di riferimento





Circuito integrato di una porta AND/NAND in tecnologia ECL

della giunzione base-emettitore di T3, per cui questo transistor commuta in interdizione, e la variazione di tensione sulla resistenza di collettore di T3, dovuta al passaggio dello stesso dalla conduzione all'interdizione, viene trasferita all'uscita U, che si porta così a livello logico 1. Le variazioni di caduta sui collettori di T1 e/o T2 vengono invece trasferite all'uscita /U, che si porta a livello logico 0. La disponibilità di uscite complementari costituisce un ovvio vantaggio nel progetto dei circuiti logici, poiché evita la necessità di utilizzare porte che realizzino l'inversione. Una delle difficoltà della logica ECL è dovuta al fatto che i livelli alti e bassi presenti sulle uscite differiscono da quelli presenti sugli ingressi; per questo motivo, come si può osservare nella rappresentazione della porta OR/NOR a tre ingressi, in uscita vengono utilizzati gli inseguitori di emettitore T5 e T6 che erogano il livello appropriato di tensione continua. La tensione di riferimento si ottiene normalmente partendo da una rete compensata in temperatura, come quella indicata in figura. La resistenza di ingresso di questa famiglia può essere considerata infinita se tutti gli ingressi si trovano a livello basso, poiché tutti i transistor di ingresso si trovano in condizione di interdizione.

Se uno degli ingressi si trova a livello alto T4 risulta interdetto, e la resistenza di ingresso diventa quella di un transistor con una resistenza di emettitore di circa 1,2 k $\Omega$ , da cui risulta una resistenza di ingresso di circa 100 k $\Omega$ . La resistenza di uscita è quella di un inseguitore di emettitore, il cui valore approssimativo è di circa 15  $\Omega$ ; poiché la resistenza di ingresso è molto alta, e quella di uscita molto bassa, si ha un *fan-out*, o capacità di uscita, elevato a bassa frequenza. Il *fan-out* è facilmente determinabile poiché la carica capacitiva ritarda l'attivazione della porta. Se C è la capacità di ingresso per porta, e N è il *fan-out*, la capacità complessiva in parallelo all'inseguitore di emettitore T5 vale  $N * C$ . Questa capacità si carica rapidamente attraverso la bassa resistenza di uscita quando T5 è in stato di conduzione. Tuttavia, si consideri la condizione in cui la tensione di uscita è a livello alto e l'ingresso dell'inseguitore di emettitore si abbassa bruscamente. Poiché la tensione tra le armature di un condensatore non può variare istantaneamente, T5 commuta in interdizione. Di conseguenza, l'uscita scende al valore  $-V_{EE}$  con una costante di tempo di 1,5 millesimi di  $N * C$ , e N viene definito in funzione del tempo massimo di transizione disponibile tra due stati.



# LA FAMIGLIA MOS

Attualmente in commercio sono disponibili altri tipi di porte logiche, che utilizzano elementi analogici diversi da quelli presi in considerazione sinora, quali i diodi e i transistor. Di seguito verranno esaminati questi altri componenti, conosciuti con il nome di transistor MOSFET.

## **i** TRANSISTOR MOSFET

I transistor ad effetto di campo sono dispositivi semiconduttori nei quali il controllo della conduzione viene ottenuto grazie al campo elettrico applicato. Questi transistor possono essere suddivisi in due grandi famiglie:

- JFET: transistor a giunzione ad effetto di campo.
- MOSFET: transistor metallo-ossido-semiconduttore ad effetto di campo.

Per la trattazione relativa ai sistemi digitali verranno presi in considerazione esclusivamente i transistor MOSFET.

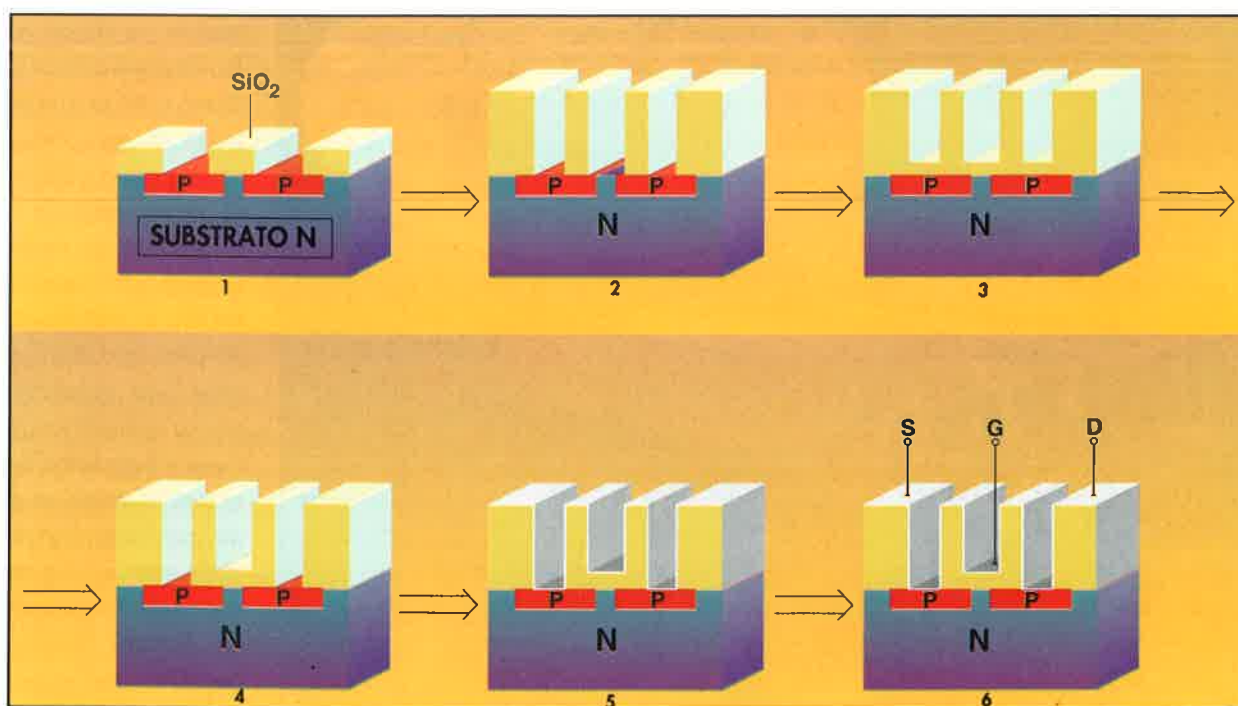
Le principali differenze tra i transistor a giunzione bipolare e quelli ad effetto di campo sono:

**1** - il funzionamento dei transistor ad effetto di campo dipende solamente dal flusso dei portatori maggioritari; ciò vuol dire che sono dei dispositivi unipolari

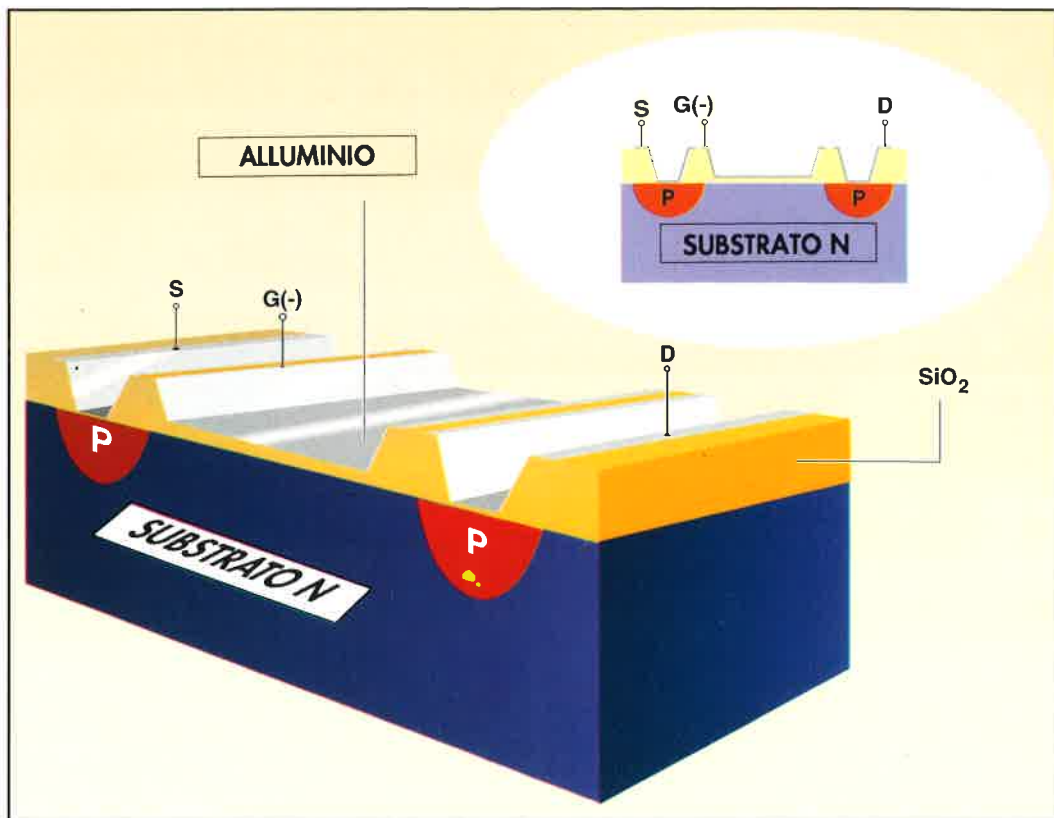
**2** - i MOSFET sono di fabbricazione più semplice e occupano meno spazio per la loro integrazione, il che significa che in uno stesso circuito integrato possono coesistere molti più transistor MOSFET di quelli a giunzione bipolare

**3** - i transistor a effetto di campo possono essere utilizzati come resistenze di carico e, di conseguenza, è possibile trovare sistemi digitali realizzati esclusivamente con transistor MOSFET

**4** - presentano un fan-out maggiore, grazie alla loro elevata resistenza di ingresso

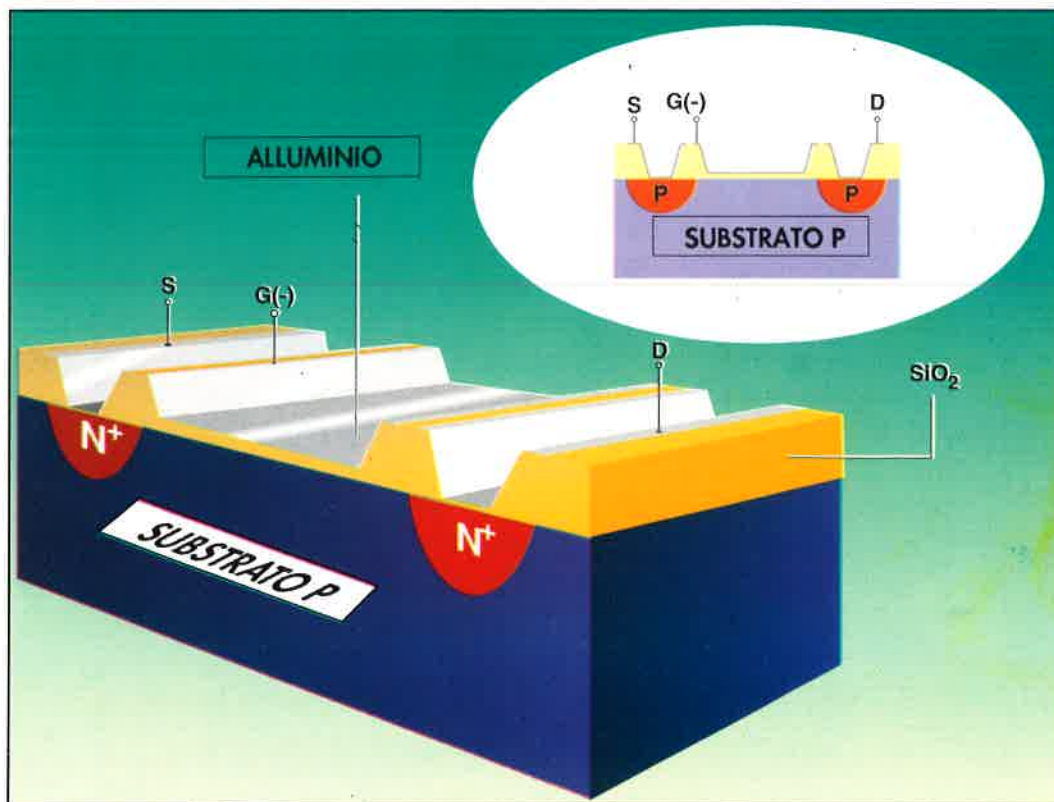


Fast costruttive di un transistor MOSFET



MOSFET ad arricchimento con canale di tipo P

Struttura di un MOSFET a svuotamento a canale N



**5** - possono funzionare come memorie, grazie all'accumolo di cariche in piccole capacità

**6** - i MOSFET presentano un minor rumore rispetto ai transistor bipolari, anche se rispetto a questi ultimi lavorano con velocità inferiori; le loro principali applicazioni si hanno nei dispositivi integrati a grande scala di integrazione LSI, quali memorie, registri di scorrimento e microprocessori (componenti che saranno esaminati nei successivi capitoli).

Per ricavare un transistor a effetto di campo metallo-ossido-semiconduttore è necessario, partendo da un transistor a giunzione ad effetto di campo, applicare al suo canale un campo elettrico tramite un diodo p-n. Per ottenere questa funzione si utilizza un elettrodo di gate metallico, separato dal canale semiconduttore da uno strato di ossido. Questa disposizione MOS, o metallo-ossido-semiconduttore, genera una condizione per la quale il canale viene influenzato da un campo elettrico se viene applicata una tensione esterna tra gate e substrato. Esistono due tipi di MOS:

MOSFET *depletion*, o a svuotamento,

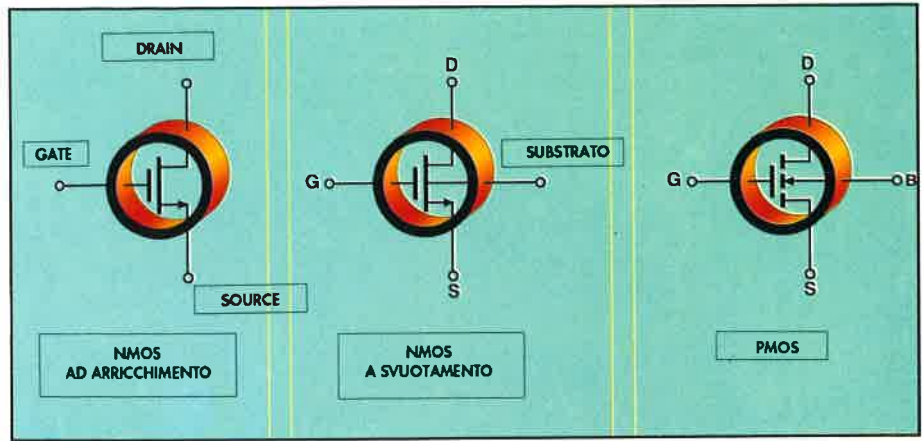
*MOSFET enhancement, o ad arricchimento.*

I primi hanno un funzionamento analogo ai FET: non applicando tensione al gate, e con una tensione di drain ben definita, la corrente che circola tra drain e source raggiunge il suo valore massimo. Applicando una tensione di gate invece, il campo elettrico che si forma tra gate e substrato restringe il canale di conduzione, e la corrente tra drain e source diminuisce proporzionalmente al crescere di questo. Nei MOSFET ad arricchimento la corrente tra drain e source è nulla quando al gate non viene applicata tensione, mentre cresce proporzionalmente all'aumentare della tensione applicata a quest'ultimo.

### MOSFET AD ARRICCHIMENTO

Sulla superficie di un substrato di tipo N viene depositato un sottile strato di biossido. Utilizzando la tecnica fotolitografica, che permette un attacco chimico selettivo dello strato di biossido grazie all'apertura di finestre ben definite, vengono diffuse nel semiconduttore delle impurità droganti di tipo P. In questo modo si ottiene una struttura costruttiva simile a quella rappresentata dal primo disegno della figura corrispondente. Le due regioni P costituiscono il source e il drain. Sfruttando sempre la tecnica fotolitografica di mascheratura e attacco chimico selettivo, le diverse fasi costruttive comprendono: l'accrescimento di uno strato di biossido su tutta la superficie, l'apertura di una finestra in corrispondenza del gate (dis. 2), l'accrescimento di un sottile strato di biossido su tutta la superficie (dis. 3), l'attacco acido delle zone corrispondenti al source e al drain (dis. 4), la metallizzazione di tutta la superficie con alluminio vaporizzato (dis. 5), l'asportazione con attacco acido dell'alluminio non necessario, in modo da isolare elettricamente tra di loro le metallizzazioni di source, gate e drain (dis. 6).

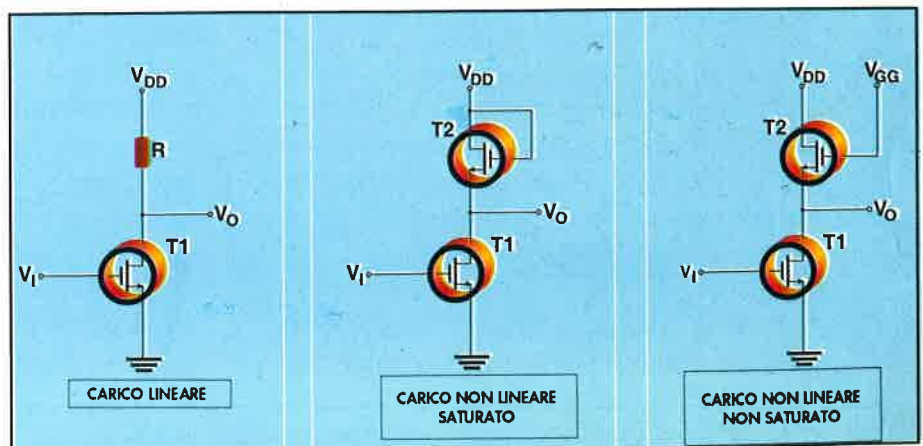
Per analizzare il funzionamento di questo tipo di transistor, si supponga di applicare una tensione di gate in modo che questi risulti negativo rispetto al drain e al source. Inoltre, si consideri il

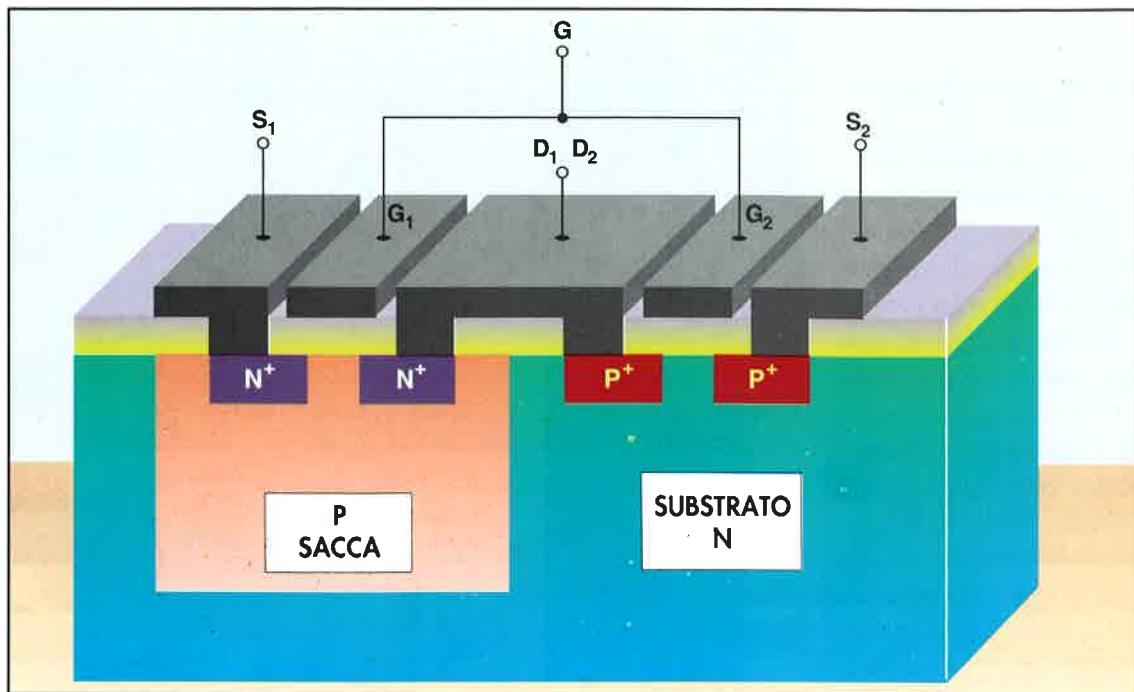


Simboli dei diversi transistor MOSFET esistenti in commercio

source collegato elettricamente al substrato di tipo N. In queste condizioni, nella regione di gate si viene a creare un campo elettrico perpendicolare all'ossido che tende ad attrarre le cariche positive verso questa zona superficiale. Poiché nel substrato N sono presenti pochissime cariche positive, queste vengono richiamate dalle regioni di drain e di source di tipo P, che ne sono invece molto ricche. Queste cariche positive, che inizialmente si comportano da portatori minoritari nel substrato, si ricombinano con le cariche negative del substrato stesso; quando il numero di cariche positive provenienti dal drain e dal source supera il numero di cariche negative presenti in quella zona del substrato avviene l'inversione di polarità della zona stessa. Questa condizione si verifica nel momento in cui viene applicato al gate un certo valore di tensione definito *tensione di soglia*. Aumentando la tensione negativa di gate oltre il valore della tensione di soglia, cresce anche il numero di cariche positive presenti nella zona di substrato sottostante: questa regione diventa perciò un *canale conduttivo di tipo P*, la cui conduttività

Circuiti invertenti con MOSFET. Si possono notare i diversi tipi di carico di collettore utilizzati nei circuiti digitali





Sezione trasversale di un MOSFET complementare

aumenta all'aumentare della tensione negativa applicata al gate. L'aumento della conduttività provoca un aumento proporzionale della corrente che scorre attraverso il canale formatosi tra source e drain, e per questo motivo questi dispositivi vengono definiti MOSFET *ad arricchimento*.

### **MOSFET A SVUOTAMENTO**

Se nella struttura di un transistor MOSFET viene diffuso un canale tra source e drain con lo stesso tipo di impurità utilizzate per la diffusione del source e del drain, si ottiene un MOSFET *a svuotamento* (o depletion). Con riferimento alla struttura a canale N riportata nella figura corrispondente, se non viene applicata alcuna tensione al gate, e la tensione tra source e drain è positiva, circolerà una corrente apprezzabile nel canale di conduzione preconstituito tra source e drain. Se si applica invece una tensione tra gate e source in modo che il source risulti positivo rispetto al gate, il campo elettrico che si viene a creare nella regione sottostante tende a diminuire la concentrazione delle cariche negative presenti nel canale. Poiché in un transistor ad effetto di campo la corrente è dovuta ai portatori maggioritari (elettroni in un semiconduttore di tipo N), le cariche positive indotte dal campo elettrico generato dal gate rendono il canale meno conduttivo,

e perciò la corrente che scorre tra source e drain diminuisce all'aumentare del valore della tensione negativa applicata tra gate e source. La redistribuzione delle cariche nel canale provoca una diminuzione effettiva dei portatori maggioritari, da cui il nome di MOSFET *a svuotamento*.

### **PARTICOLARITÀ DEI MOSFET**

Questi dispositivi vengono utilizzati in campo digitale per la costruzione di famiglie logiche, di memorie o di registri a scorrimento. A causa delle capacità parassite presenti tra gate e drain, tra gate e source, e nel substrato, i circuiti MOSFET sono più lenti dei corrispondenti circuiti bipolari. Tuttavia, la loro minor dissipazione di potenza e la loro maggior densità di integrazione li fanno preferire in diverse applicazioni.

Se si osservano i simboli utilizzati dalla maggior parte dei costruttori, si può notare che quando la connessione del substrato viene riportata all'esterno si è in presenza di un dispositivo a quattro terminali. Spesso il terminale del substrato viene omesso, come si può osservare nel primo dei simboli rappresentati nella figura corrispondente; ciò significa che in questo caso è internamente collegato al source. Nel simbolo del MOSFET ad arricchimento si utilizza una linea tratteggiata per rappresentare il canale.

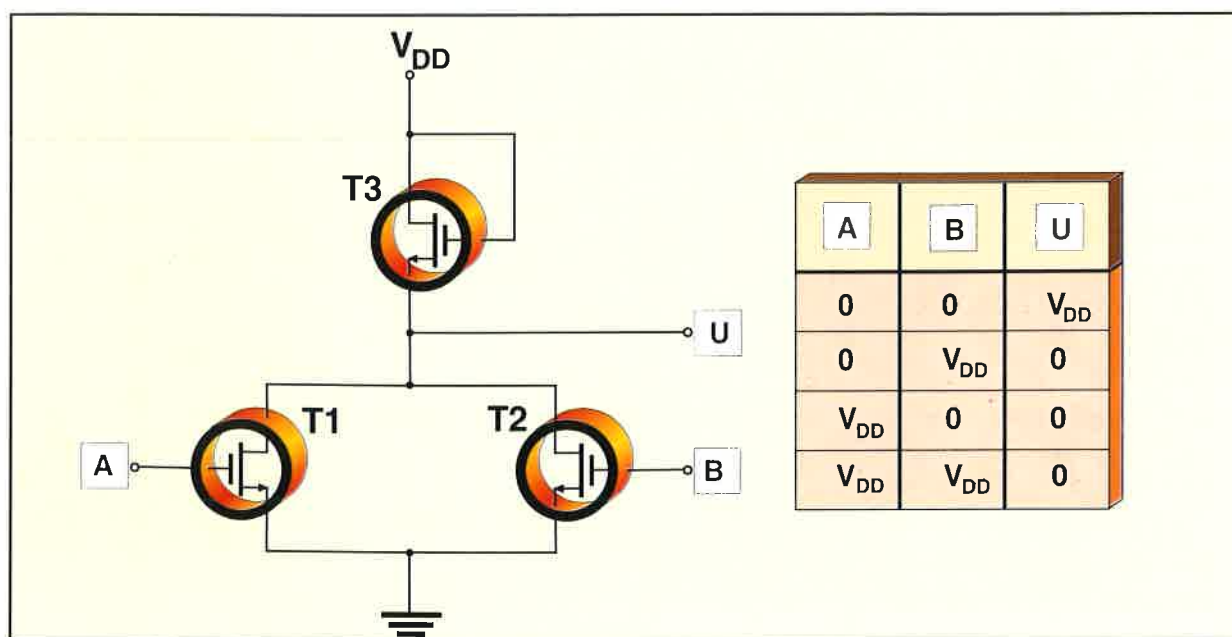
# LE PORTE LOGICHE MOS

Nel capitolo precedente è stato descritto il funzionamento dei transistor MOSFET. Di seguito saranno esaminate le loro applicazioni nelle porte logiche.

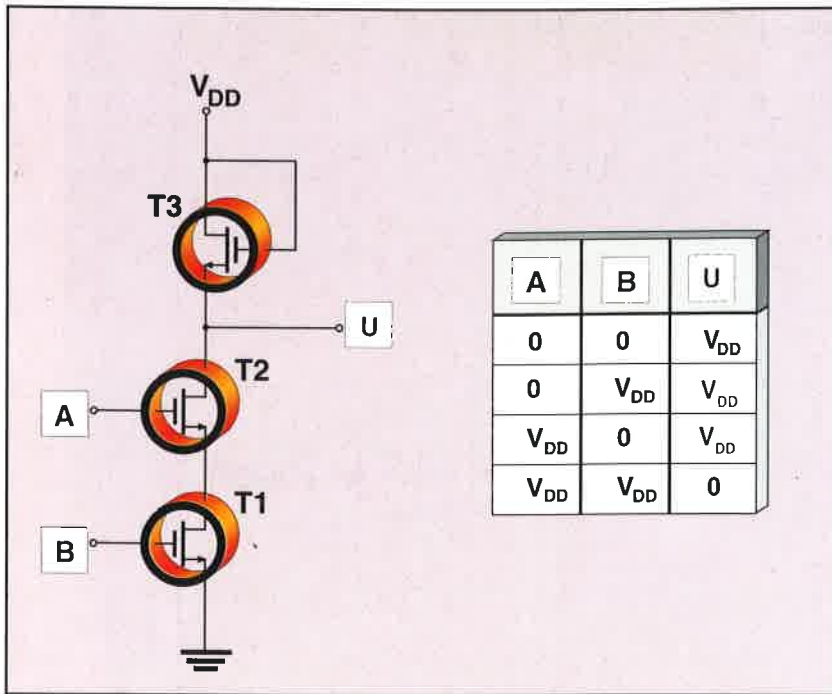
## LE PORTE MOSFET

La costruzione delle porte logiche si basa principalmente sugli invertitori con carico non lineare già accennati nel capitolo precedente. Di seguito verranno esaminati in maniera più esaustiva questi circuiti. Se si prende in esame l'invertitore ad arricchimento riportato nella corrispondente figura del capitolo precedente, il transistor T1 costituisce il MOSFET

pilota mentre T2, che agisce come resistenza di carico, è definito MOSFET di carico. La caratteristica non lineare del carico è evidente: poiché il gate è collegato al drain, la tensione gate-source è uguale a quella drain-source, per cui la caratteristica di drain è costituita da una curva la cui pendenza esprime la conduttanza incrementale di T2. Inoltre, T2 è sempre in conduzione, indipendentemente dal fatto che T1 si trovi in conduzione o in interdizione.



Porta NOR con MOSFET depletion o NMOS, e corrispondente tabella della verità



A	B	U
0	0	V <sub>DD</sub>
0	V <sub>DD</sub>	V <sub>DD</sub>
V <sub>DD</sub>	0	V <sub>DD</sub>
V <sub>DD</sub>	V <sub>DD</sub>	0

La tabella della verità indica che il circuito rappresentato corrisponde a una porta NAND in tecnologia NMOS

### PORTA NOR

Tramite i dispositivi NMOS si ottengono sistemi a logica positiva con i seguenti livelli logici:

- livello basso = 0 V
- livello alto = V<sub>DD</sub>

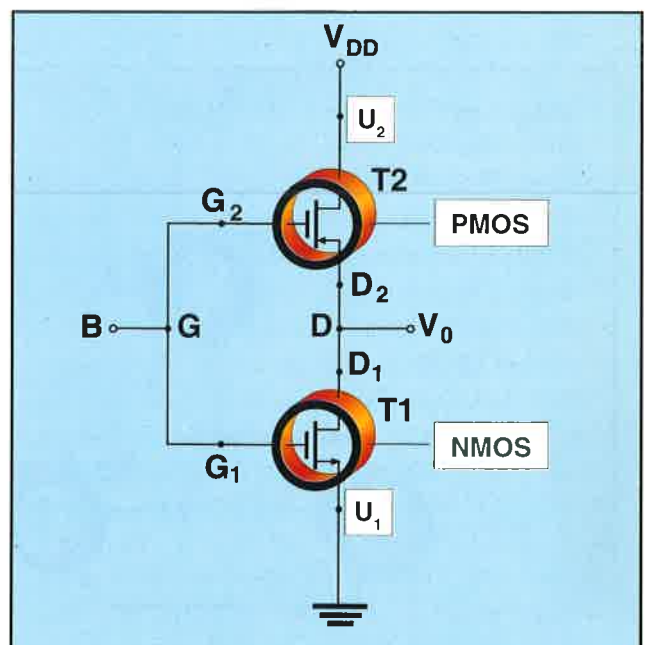
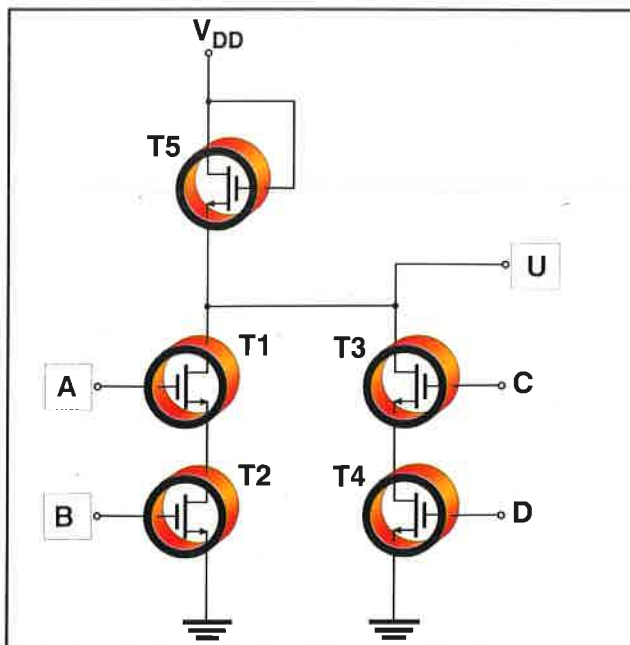
Con riferimento alla porta NOR della figura corrispondente, se i due ingressi sono a 0 V entrambi i transistor T1 e T2 sono in interdizione, e la corrente di drain è nulla; la caduta sul carico è anch'essa nulla, per cui l'uscita è pari V<sub>DD</sub>, che corrisponde allo stato logico 1. Quando uno qualsiasi degli ingressi, o entrambi, assumono il valore V<sub>DD</sub>, il MOSFET commuta in conduzione e l'uscita passa a livello basso, corrispondente a 0 V. Se si sviluppa la tabella della verità inserendo questi valori, si ottiene l'equazione logica  $U = \overline{A + B}$ , che corrisponde a una porta NOR.

### PORTA NAND

Dopo questa necessaria premessa si ritorna alla descrizione delle porte MOSFET. Ogni invertitore descritto in precedenza può essere convertito in porte NOR o NAND utilizzando driver multipli in parallelo o in serie.

Se ad uno qualsiasi degli ingressi del circuito riportato nella figura si applica uno stato logico 0, corrispondente ad una tensione di 0 V, il MOSFET relativo si trova in interdizione e la corrente è nulla. Di conseguenza, la caduta di tensione sul

Esistono combinazioni di porte logiche che possono essere realizzate in tecnologia MOSFET, come nel caso di questo invertitore Y-O



Invertitore in tecnologia CMOS, o MOSFET complementari

transistor di carico T3 è anch'essa nulla, per cui l'uscita è pari a  $V_{DD}$  o allo stato logico 1. Se, al contrario, gli ingressi passano a livello alto,  $A = B = V_{DD}$ , T1 e T2 vanno in conduzione e l'uscita passa a livello basso, corrispondente a 0 V. Inserendo questi valori nella tabella della verità, si può verificare che l'equazione logica risultante vale  $U = \overline{(A*B)}$ , che corrisponde ad una porta NAND.

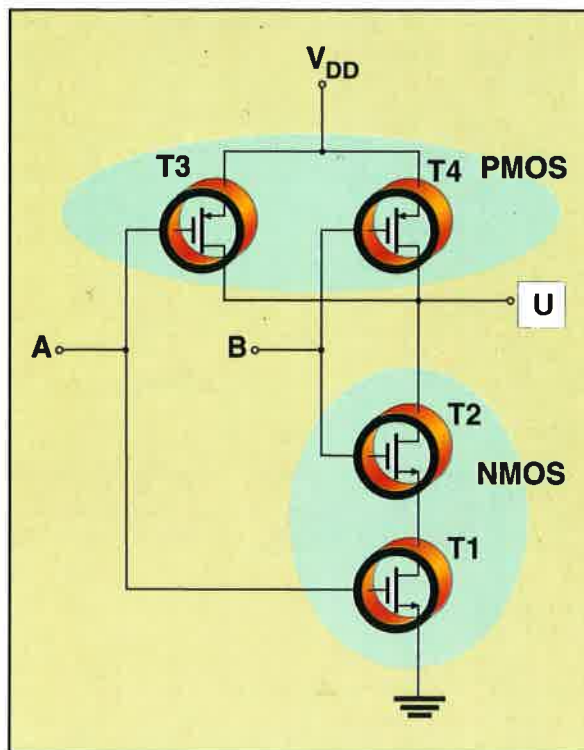
È interessante osservare che nella porta NAND solo una delle quattro possibili condizioni di ingresso produce un assorbimento di potenza dalla tensione di alimentazione; viceversa, nella porta NOR si può notare che l'assorbimento di potenza si verifica in tre condizioni di funzionamento. A causa dell'elevata densità di elementi MOSFET costruiti all'interno di uno stesso circuito integrato, è decisamente utile ridurre l'assorbimento di potenza nei sistemi integrati a larga scala. Per questo motivo vengono utilizzate principalmente le porte NAND, anche se le porte NOR non vengono completamente scartate.

Se invece di utilizzare circuiti di tipo NMOS vengono utilizzati dei PMOS, la porta NOR descritta diventa una porta NAND negata, mentre la porta NAND si trasforma in una NOR negata; sostituendo  $V_{DD}$  con  $-V_{DD}$  si ottiene che il livello basso corrisponde ad un valore di tensione pari a 0 V e il livello alto corrisponde a  $-V_{DD}$ .

### MOSFET COMPLEMENTARI

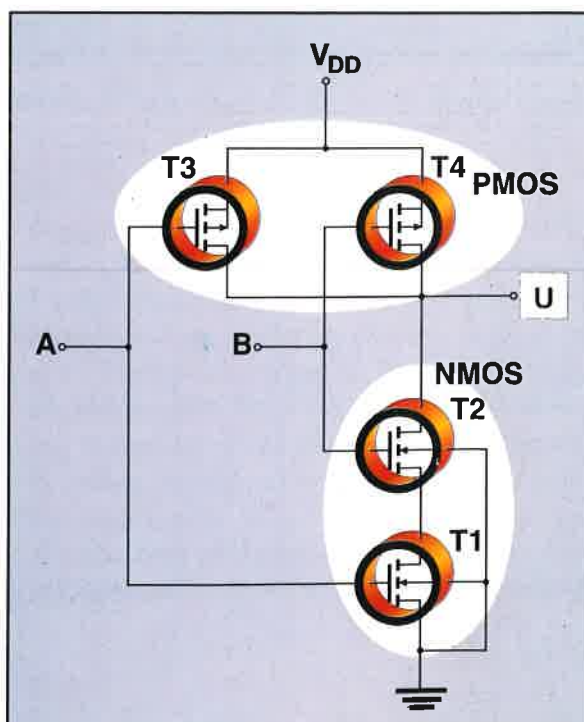
Quando su di uno stesso circuito integrato vengono costruiti un MOSFET a canale P e uno a canale N, si è in presenza di dispositivi chiamati MOSFET complementari o CMOS.

Il processo di fabbricazione parte da un substrato di tipo N nel quale viene diffusa una sacca di tipo P. Il transistor NMOS viene realizzato in questa regione di tipo P, mentre il transistor PMOS viene costruito in quella di tipo N. Il circuito rappresentativo di questa famiglia è l'invertitore CMOS, rappresentato nella figura. Il transistor pilota è quello a canale N, T1, mentre quello di carico è il MOSFET T2 a canale P. I due MOSFET sono collegati in serie tramite i drain, e l'uscita viene prelevata nel punto D. Anche i due gate sono collegati tra di loro, e l'ingresso viene applicato al punto comune G. La tensione di ingresso può variare tra 0 V e  $V_{DD}$ : quando viene applicato il

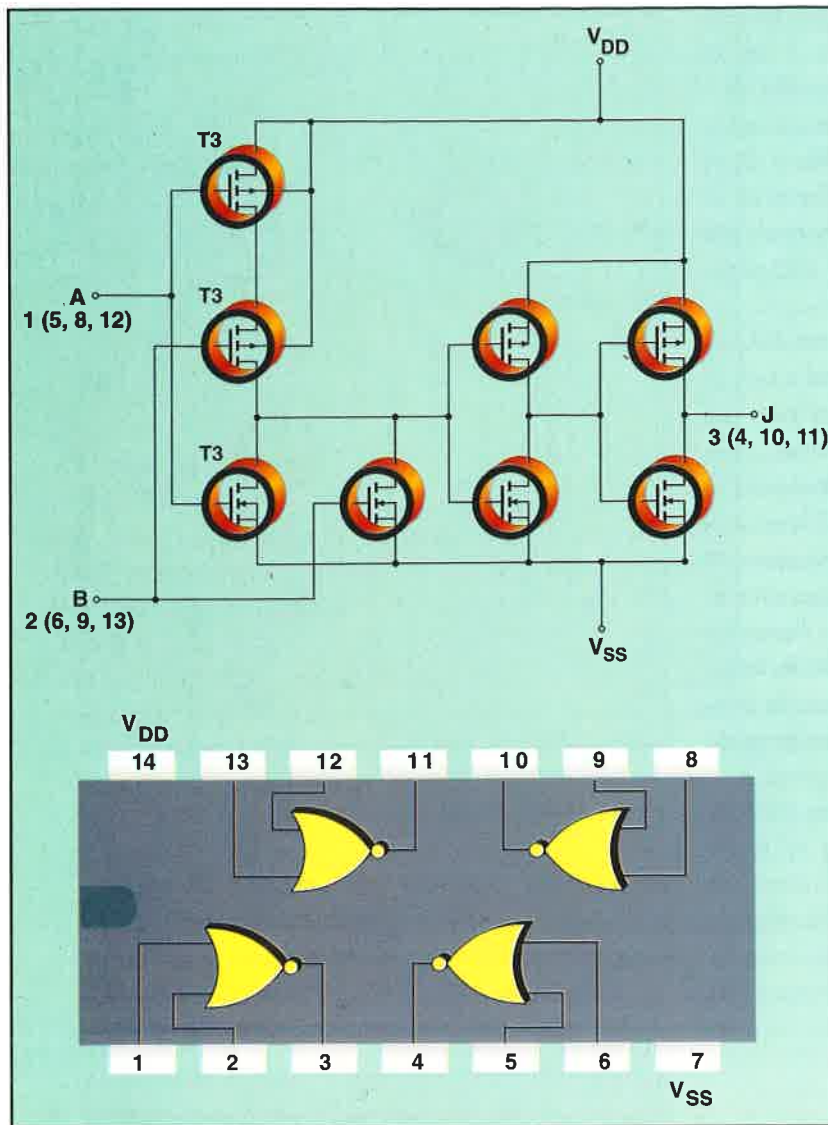


Porta NAND CMOS, nella quale si può osservare la combinazione di elementi MOS, PMOS e NMOS

valore di 0 V la tensione gate-source di T1 vale 0, per cui è in interdizione, mentre la tensione gate-source di T2 vale  $-V_{DD}$ , e di conseguenza si trova in conduzione. Ciò significa che attraverso quest'ultimo transistor circola una corrente che porta



Rappresentazione della porta NAND CMOS, nella quale sono indicati i collegamenti del substrato per i PMOS e gli NMOS



Circuito elettrico e schema topologico di una porta NOR CMOS, molto diffusa in commercio

il punto D, e di conseguenza l'uscita, ad avere una tensione pari a quella di alimentazione  $V_{DD}$ . Questa condizione corrisponde ad uno stato logico 1 in uscita. Quando invece la tensione di ingresso è uguale a quella di alimentazione, allora T1 è in conduzione e T2 in interdizione. Ciò vuol dire che attraverso i due transistor non può circolare corrente, per cui non si verifica alcuna caduta di tensione sul transistor T1 e in uscita si avrà una tensione di 0 V corrispondente allo stato logico 0. Riassumendo, si può dire che in uno qualsiasi dei

due casi la tensione di uscita assume una condizione contraria a quella di ingresso, da cui risulta un circuito logico equivalente a una porta invertente.

Come nel caso dei MOSFET a svuotamento e ad arricchimento, anche con i CMOS si possono costruire porte NOR e NAND. Nel caso di una porta NAND i driver NMOS sono in serie, mentre i corrispondenti carichi PMOS sono in parallelo, come si può verificare nella figura corrispondente. Di seguito si vedrà che si tratta effettivamente di una porta NAND.

Se l'ingresso A assume il valore 0, T1 è in interdizione e T3 in conduzione. Poiché la corrente che attraversa T1 e T3 è nulla, la caduta su T3 vale zero, e la tensione di uscita corrisponde a  $V_{DD}$ .

Se l'ingresso B assume il valore 0, analogamente alla situazione precedente T2 è in interdizione e T4 in conduzione, per cui anche in questo caso l'uscita corrisponde a  $V_{DD}$ . Infine, se gli ingressi assumono contemporaneamente il valore  $V_{DD}$ , sia T1 che T2 conducono, mentre T3 e T4 sono in interdizione. Di conseguenza la tensione su T1 e T2 è nulla, e l'uscita si porta allo stato logico 0.

Se si osserva l'altra rappresentazione della porta NAND, nella quale sono riportate le connessioni del substrato, si può notare che il substrato N di ciascun PMOS è collegato alla tensione di alimentazione  $V_{DD}$ , mentre i canali di tipo P dei transistor NMOS sono collegati a massa. Queste connessioni garantiscono la polarizzazione inversa di tutte le giunzioni, in modo da rendere inutili le zone di isolamento, definite anche *anelli di guardia*. Per ottenere una porta NOR con questa tecnologia è sufficiente collegare in parallelo i driver NMOS e in serie i carichi PMOS.



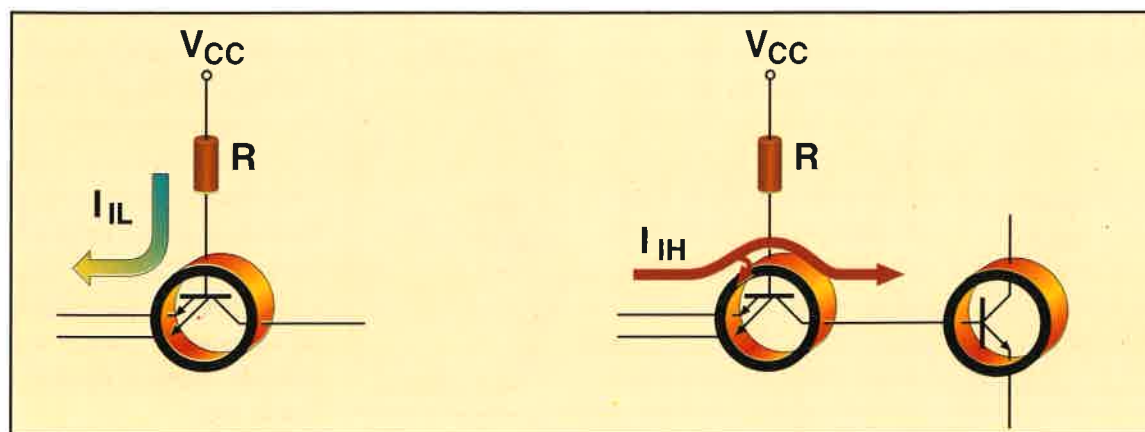
# CARATTERISTICHE DELLE PORTE LOGICHE

**Dopo aver analizzato nei capitoli precedenti il modo in cui vengono progettati i circuiti logici, è necessario fare un piccolo riassunto delle principali caratteristiche dei circuiti integrati.**

**Q**uando si desidera realizzare il progetto di un circuito logico, è necessario definire quali sono le sue caratteristiche più importanti. Le condizioni di funzionamento sono imposte dalle particolarità intrinseche dei componenti che vengono utilizzati, e principalmente da quelle dei circuiti integrati. Di conseguenza, il progetto dei circuiti logici si riduce all'accoppiamento di blocchi funzionali, poiché non è necessario partire dai componenti discreti. Il progetto del circuito funzionale consiste nella scelta dell'integrato che meglio soddisfa i requisiti richiesti dalle specifiche, per

cui è necessario conoscere le caratteristiche funzionali di ciascuno dei componenti integrati che lo compongono. Di seguito vengono elencate le caratteristiche principali che definiscono una porta logica o un circuito integrato, che successivamente verranno analizzate in dettaglio:

- caratteristiche di trasferimento
- caratteristiche di ingresso
- caratteristiche di uscita
- caratteristiche in regime transitorio
- capacità di carico

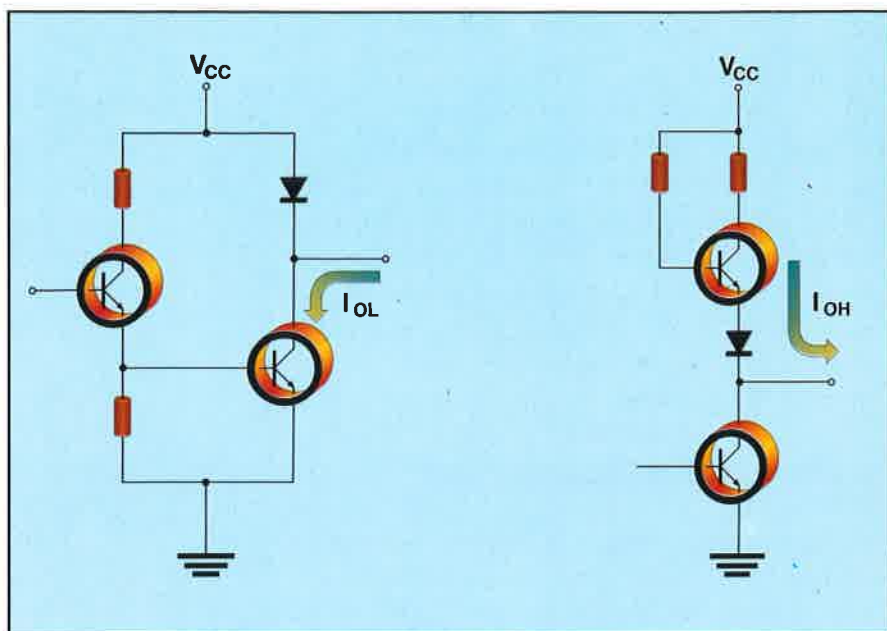


*Correnti con ingresso a livello basso  $I_{IL}$  e a livello alto  $I_{IH}$*

### CARATTERISTICA DI TRASFERIMENTO

Stabilite la tensione di alimentazione, la temperatura, e il numero di porte collegate all'uscita della porta sperimentale, la caratteristica che mette in relazione la tensione di ingresso a quella di uscita è ben definita, se non si considerano le tolleranze dei componenti che la generano. In questa curva si possono evidenziare una serie di valori molto importanti in sede di progetto:

- $V_{IL}$ : tensione richiesta per ottenere un livello logico basso all'ingresso della porta, corrispondente al valore massimo di tensione consentito per lo 0 logico (si presuppone sempre di operare in logica positiva),
- $V_{IH}$ : tensione necessaria per ottenere il livello alto sull'ingresso della porta. Al contrario del valore precedente, questa sarà la tensione minima ammissibile per ottenere un 1 logico,



Correnti con uscita a livello alto e basso; secondo la convenzione dei segni la prima è positiva mentre la seconda negativa

- $V_{OL}$ : tensione di uscita della porta a livello basso,
- $V_{OH}$ : tensione di uscita della porta a livello alto.

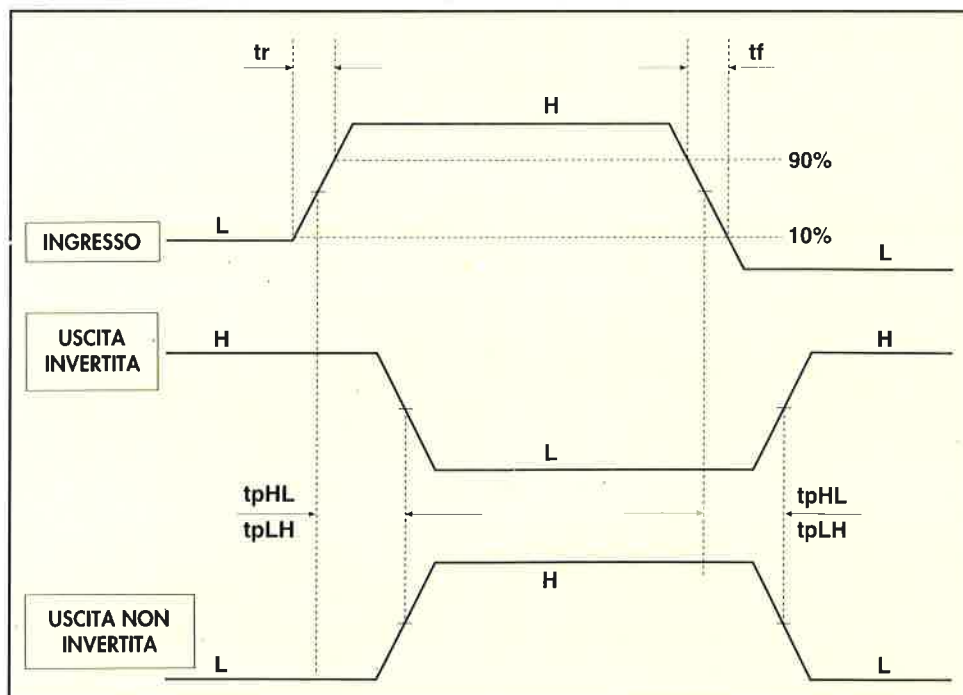
### CARATTERISTICHE DI INGRESSO

Lo studio di queste caratteristiche è necessario per ottenere il miglior rendimento possibile dalle porte

logiche, soprattutto quando si utilizza il circuito integrato in prossimità dei margini di lavoro garantiti dal costruttore, oppure quando si collegano tra di loro porte di famiglie logiche diverse. Come nel caso precedente, due sono i valori fondamentali importanti dal punto di vista progettuale e che si possono osservare nella figura corrispondente:

- $I_{IL}$ : corrente che esce dall'ingresso di una porta quando questo si trova a livello basso,
- $I_{IH}$ : corrente che entra all'ingresso di una porta quando questo si trova a livello alto.

Caratteristica in regime transitorio, nella quale si possono osservare i tempi di ritardo, di salita e di discesa



Il valore della corrente di ingresso a livello basso è determinata dalla tensione di alimentazione e dalla resistenza limitatrice. Allo stesso modo, la corrente a livello alto viene definita dal guadagno inverso di corrente del transistor di ingresso. Bisogna tener presente che quando si esegue un calcolo algebrico di queste correnti può comparire qualche segno negativo, nel caso in cui si rispetti la convenzione per la quale tutte le correnti entranti sono positive.

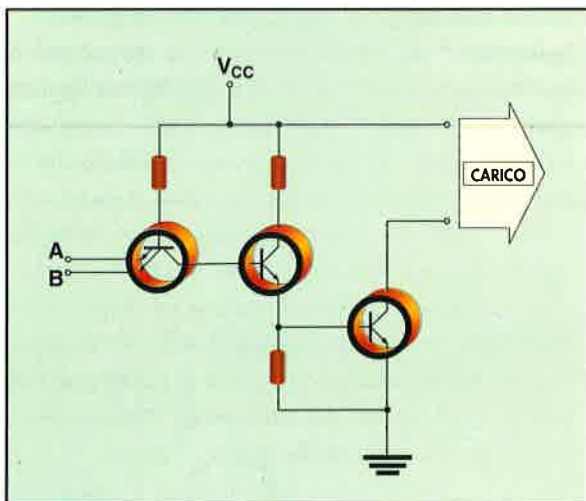
### CARATTERISTICHE DI USCITA

Generalmente la tensione di uscita di una porta viene definita come il risultato della combinazione tra la caratteristica corrente-tensione di uscita di questa porta e quelle di ingresso delle successive porte collegate ad essa.

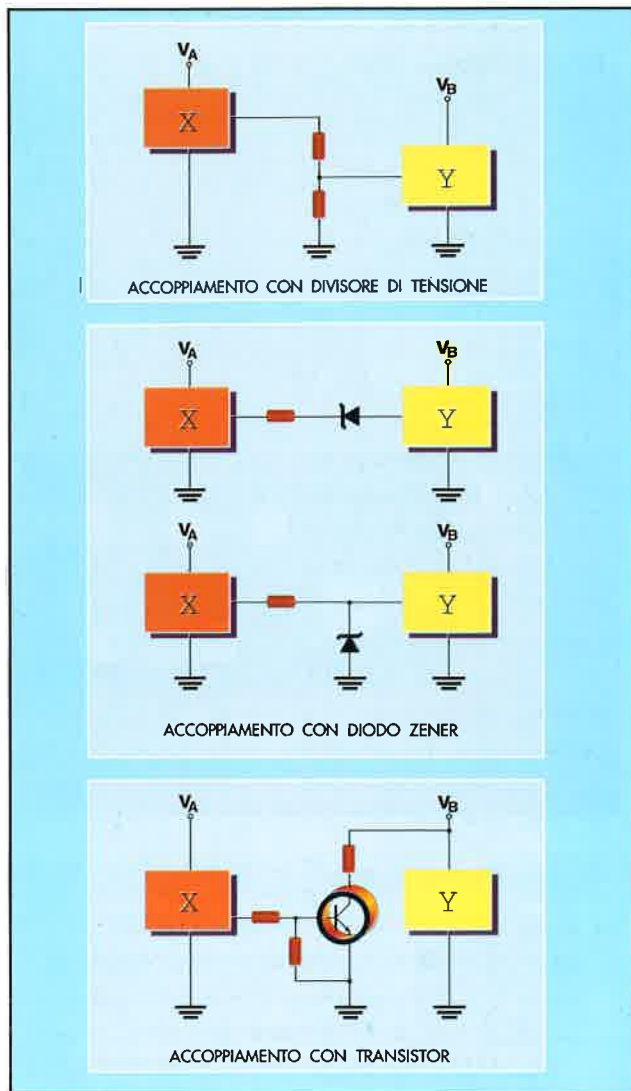
I valori più rilevanti sono:

- $I_{OL}$ : è la corrente che entra nella porta attraverso l'uscita quando questa si trova a livello basso. Da alcuni costruttori viene indicata anche come  $I_{sink}$ .
- $I_{OH}$ : è anche chiamata  $I_{source}$  e corrisponde alla corrente fornita dalla porta quando la sua uscita si trova a livello alto.

Come si può osservare nel disegno corrispondente, la corrente sull'uscita a livello basso entra nella porta, e in virtù della convenzione dei segni si considera positiva. Al contrario, la corrente di uscita a livello alto è considerata negativa.



Sistema a collettore aperto utilizzato per configurare la funzione Wire AND, o logica AND cablata, in porte come le TTL



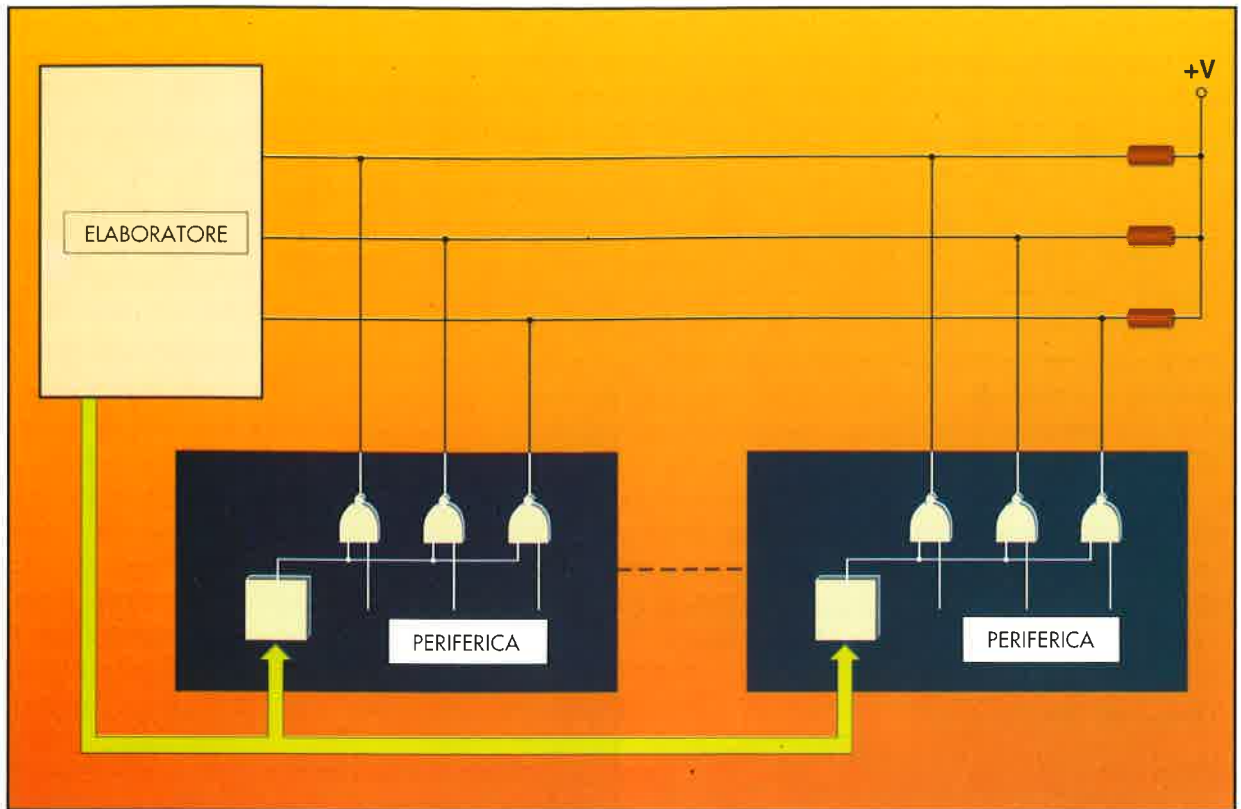
Metodi di accoppiamento tra logiche con livelli di tensione diversi

### CARATTERISTICHE

#### IN REGIME TRANSITORIO

La velocità di commutazione delle porte è una delle caratteristiche più importanti, poiché consente di stabilire la rapidità di reazione del sistema. La velocità può essere definita in diversi modi, che identificano i diversi tempi di risposta propri dei circuiti integrati:

- $tpHL$ : è il tempo di ritardo di una transizione da un livello alto a un livello basso sull'uscita,
- $tpLH$ : è simile al precedente, ma per transizioni da livello basso a livello alto,
- $tr$ : è chiamato anche tempo di salita (*rise time*), e definisce il tempo impiegato dal segnale per passare dal 10% al 90% del valore finale in una transizione da livello basso ad alto,



I sistemi a collettore aperto vengono principalmente utilizzati sulle uscite per le periferiche del bus di un elaboratore

- *tf*: o tempo di discesa (*fall time*), simile al precedente ma per una transizione da livello alto a livello basso.

Dove meglio si possono comprendere e apprezzare questi valori è nel diagramma dei tempi riportato nella figura corrispondente.

### **CAPACITÀ DI CARICO**

Quando si collega l'uscita di una porta agli ingressi di altre porte bisogna tener presente la corrente che può fornire la porta pilota in funzione della corrente richiesta da quelle che costituiscono il carico. Per poter definire questo parametro è necessario conoscere i valori corrispondenti alle correnti di ingresso e di uscita delle varie porte. Quando le porte pilotate sono della stessa famiglia o di famiglie simili a quella pilota, il massimo

numero di porte che questa può supportare, rimanendo nei margini garantiti dal costruttore, viene definito *fan-out* o capacità di uscita.

Analogamente, la capacità di ingresso, o *fan-in* di una porta, corrisponde al valore di corrente richiesto da uno dei suoi ingressi al circuito pilota.

Nel caso di logiche diverse questo valore non è molto significativo, anche se è possibile collegare porte di famiglie diverse come quelle esaminate nei capitoli precedenti. Uno dei problemi che si possono incontrare in questo caso è legato ai diversi valori di tensione che le varie famiglie logiche riferiscono al livello alto e a quello basso. Quando capita questa situazione non è possibile realizzare un accoppiamento diretto, ma è necessario interfacciare gli ingressi e le uscite con dei circuiti appropriati. Alcuni esempi sono riportati nella figura corrispondente.

# CIRCUITI MONOSTABILI

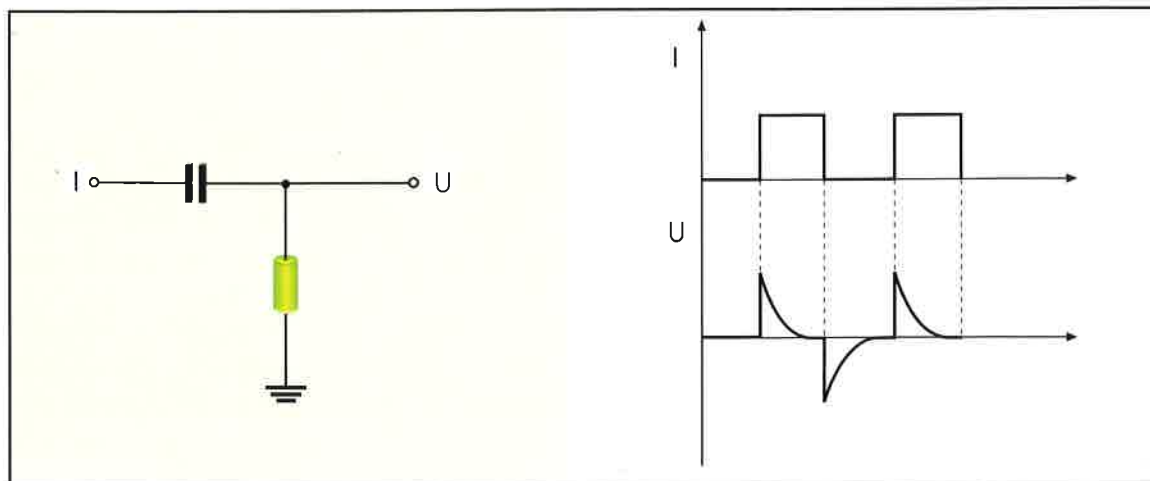
**Dopo aver descritto tutte le famiglie logiche e le principali caratteristiche dei circuiti integrati, verranno di seguito esaminati i singoli componenti che costituiscono i diversi circuiti digitali di cui è dotato un personal computer.**

**S** spesso è utile, quando si opera in campo logico, fare in modo che al cambio di livello di un segnale corrisponda un impulso di una certa durata. Per ottenere questa funzione si può utilizzare un semplice circuito derivatore, formato da un condensatore e da una resistenza, come illustrato nella relativa figura.

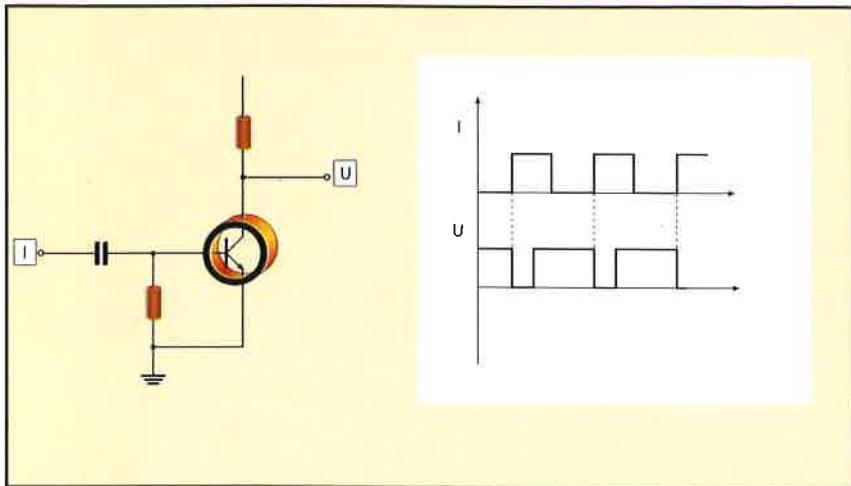
Si supponga che, inizialmente, il condensatore sia scarico; quando si verifica un aumento della tensione di ingresso, l'armatura destra del condensatore passa istantaneamente ad un livello di tensione alto, il condensatore si carica rapidamente, e sia la corrente che la tensione ai capi della resistenza decrescono in modo esponenziale fino al valore zero con una costante di tempo

determinata dal prodotto  $RC$ . Il condensatore rimane quindi con l'armatura sinistra ad un livello di tensione pari a quello di ingresso, e con l'armatura destra pari alla tensione di uscita. Quando si verifica una diminuzione della tensione di ingresso, l'armatura destra passa istantaneamente al valore negativo della stessa, e successivamente il condensatore si scarica esponenzialmente attraverso la resistenza con costante di tempo uguale ad  $RC$ . Questo comportamento del circuito è illustrato dai grafici della figura corrispondente.

Partendo da questo semplice circuito è possibile ottenere dei generatori di impulsi anche molto complessi; di seguito verranno esaminati in dettaglio, iniziando dal più semplice ed elementare.



*Semplice circuito RC, che sta alla base dei circuiti monostabili, con relativo diagramma dei tempi di carica e scarica del condensatore*



Aggiungendo un transistor ad un circuito RC si ottiene un generatore di onda quadra

### GENERATORE DI IMPULSI A TRANSISTOR

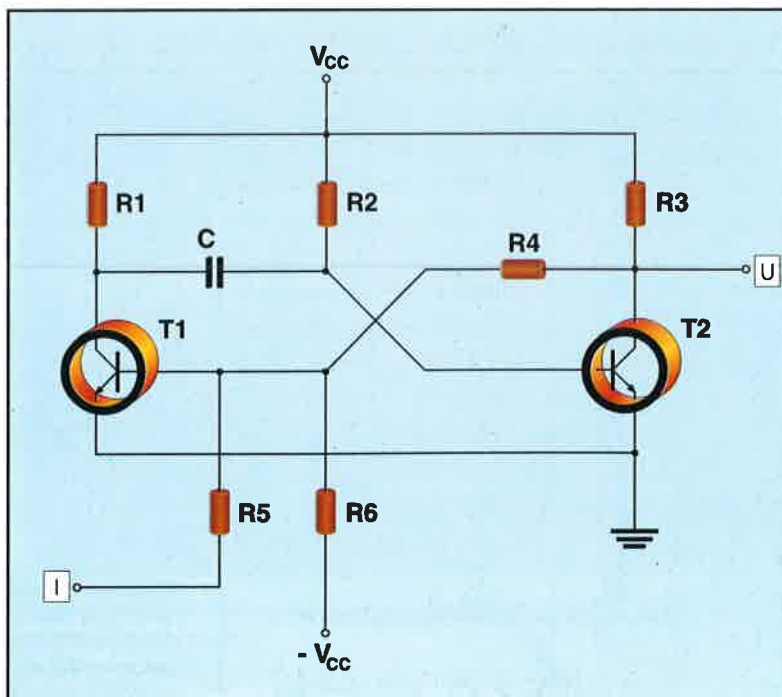
Se sull'uscita del precedente circuito RC viene collegato un transistor, si ottiene un generatore d'onda quadra con tempi ON/OFF fissi che vengono generati in corrispondenza di ogni fronte di salita del segnale di ingresso. Il circuito elettrico di questo generatore, nel quale il tempo

di durata dell'impulso è funzione della costante RC e della tensione di ingresso, è riportato nella figura corrispondente. In funzione dell'equazione esponenziale di carica del condensatore si possono ottenere alcuni valori rappresentativi del tempo e della tensione presenti sulla base del transistor. Se si indica con E il valore della tensione di ingresso, con C il valore del condensatore, e con R quello della resistenza, si ottiene la seguente tabella:

TEMPO	TENSIONE DI BASE
$0,5 \times RC$	$0,607 \times E$
$1 \times RC$	$0,368 \times E$
$2 \times RC$	$0,135 \times E$
$3 \times RC$	$0,050 \times E$

Come si può vedere, più sono grandi la costante RC e la tensione di ingresso, maggiore sarà il tempo impiegato dal transistor per passare in interdizione, e più lunga sarà la durata dell'impulso.

Multivibratore monostabile a componenti discreti, nel quale lo stato stabile si verifica quando T1 è interdetto e T2 in saturazione



### MULTIVIBRATORE MONOSTABILE

Un multivibratore monostabile presenta uno stato stabile ed un altro quasi stabile. Il circuito permane nello stato stabile finché un segnale di innesco ne provoca la transazione allo stato quasi stabile.

Successivamente, dopo un certo tempo, il circuito ritorna allo stato stabile. In questo caso è stato prodotto un solo impulso, per cui il circuito viene definito generatore di impulso o anche one-shot.

Detto in altro modo, un multivibratore monostabile è un circuito che fornisce in uscita un impulso di durata costante, determinata dai valori di una resistenza e di un condensatore, quando al suo ingresso viene applicato un determinato segnale. Il circuito risultante a componenti discreti è illustrato nella figura corrispondente. La configurazione del circuito è stata studiata in modo che lo stato stabile si ottenga con il transistor T1 interdetto e il transistor T2 in saturazione.

Applicando un impulso positivo sulla base del transistor T1 questo va in saturazione, e il condensatore, che inizialmente aveva l'armatura sinistra ad un livello di tensione pari a quella positiva di

alimentazione e l'armatura destra a 0 V, commuta la sua polarità portando l'armatura sinistra a 0 V e quella destra al valore negativo della tensione di alimentazione; questa condizione porta all'interdizione T2, e di conseguenza il livello di uscita risulterà alto.

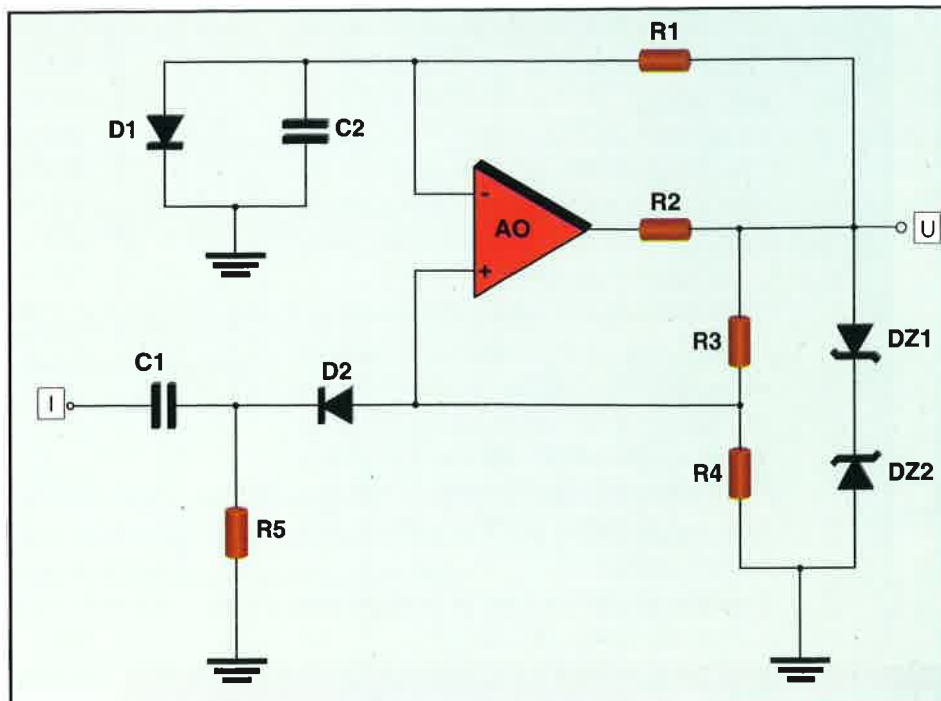
Successivamente il condensatore si scarica attraverso R2 con un processo transitorio esponenziale. Quando l'armatura destra del condensatore raggiunge il valore di 0,7 V il transistor T2 inizia nuovamente a condurre, e con il passare del tempo si satura, per cui l'uscita ritorna a livello basso. In questa situazione anche il transistor T1 ritorna alla condizione di interdizione, e il condensatore assume i livelli di tensione iniziali; come conseguenza il circuito ritorna allo stato stabile.

Si può quindi dire che, in questo circuito, applicando un segnale in ingresso si ottiene in uscita un impulso la cui durata è determinata dalla costante

di tempo definita dal valore del condensatore e della resistenza R2.

Un multivibratore monostabile può essere costruito anche utilizzando un amplificatore operazionale, come illustrato nella figura corrispondente, con un circuito leggermente più complesso ma molto più utilizzato nei circuiti digitali; di seguito verrà analizzato il comportamento di questo dispositivo.

Inizialmente il circuito è in condizione, o stato, stabile, con l'uscita ad una tensione pari a +V e il condensatore alla tensione del diodo D1. Se l'ampiezza della tensione di innesco è maggiore del prodotto tra il guadagno dell'amplificatore e +V meno la caduta di tensione sul diodo, l'uscita del comparatore si



Circuito multivibratore monostabile con amplificatore operazionale

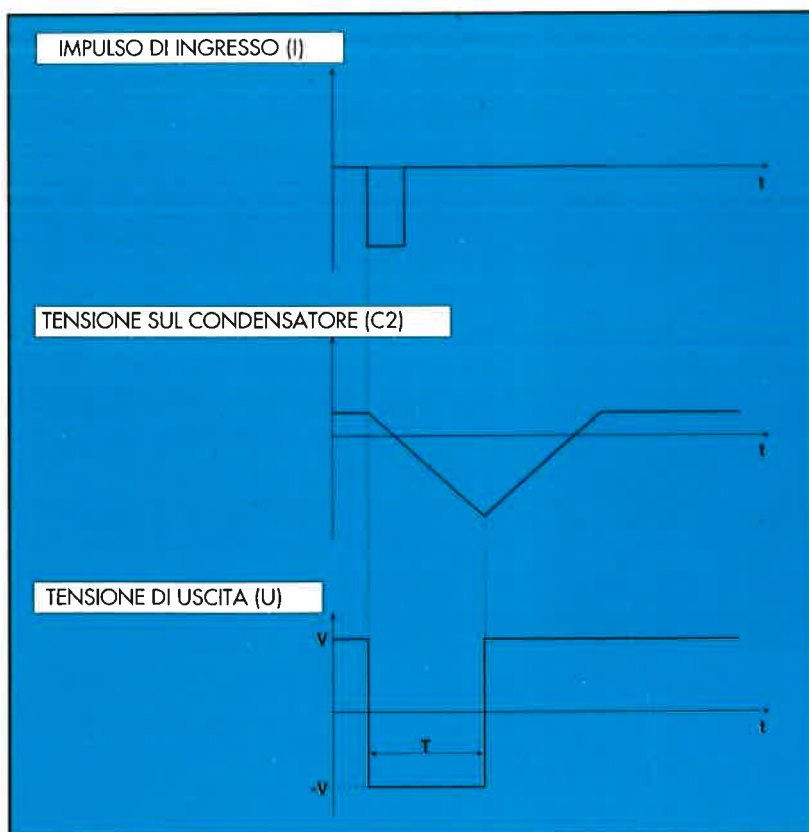
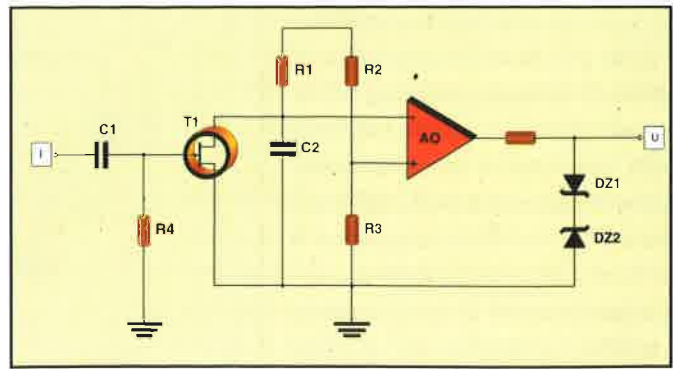


Diagramma dei tempi del circuito monostabile con amplificatore operazionale

porta ad una tensione  $-V$ . Osservando il diagramma dei tempi corrispondente, si può notare che il condensatore  $C2$  tende a caricarsi fino al valore  $-V$  in modo esponenziale attraverso  $R1$ , con una costante di tempo definita dal prodotto  $R1 \times C2$ , poiché il transistor  $D1$  risulta polarizzato inversamente.

Quando la tensione ai capi del condensatore  $C2$  diventa più negativa del guadagno per  $-V$ , l'uscita del comparatore ritorna a  $+V$ ; il condensatore  $C2$  tende quindi a caricarsi al valore  $+V$  attraverso  $R1$  finché raggiunge il valore della caduta di tensione sul diodo  $D1$ . Il circuito a questo punto rimane stabile.

L'ampiezza dell'impulso di innesco deve essere



Circuito multivibratore monostabile con reinnesco

molto inferiore della durata dell'impulso generato. Il diodo  $D2$  non è indispensabile, ma serve per prevenire inneschi indesiderati se sulla corrispondente linea si presentano picchi di tensione positivi.

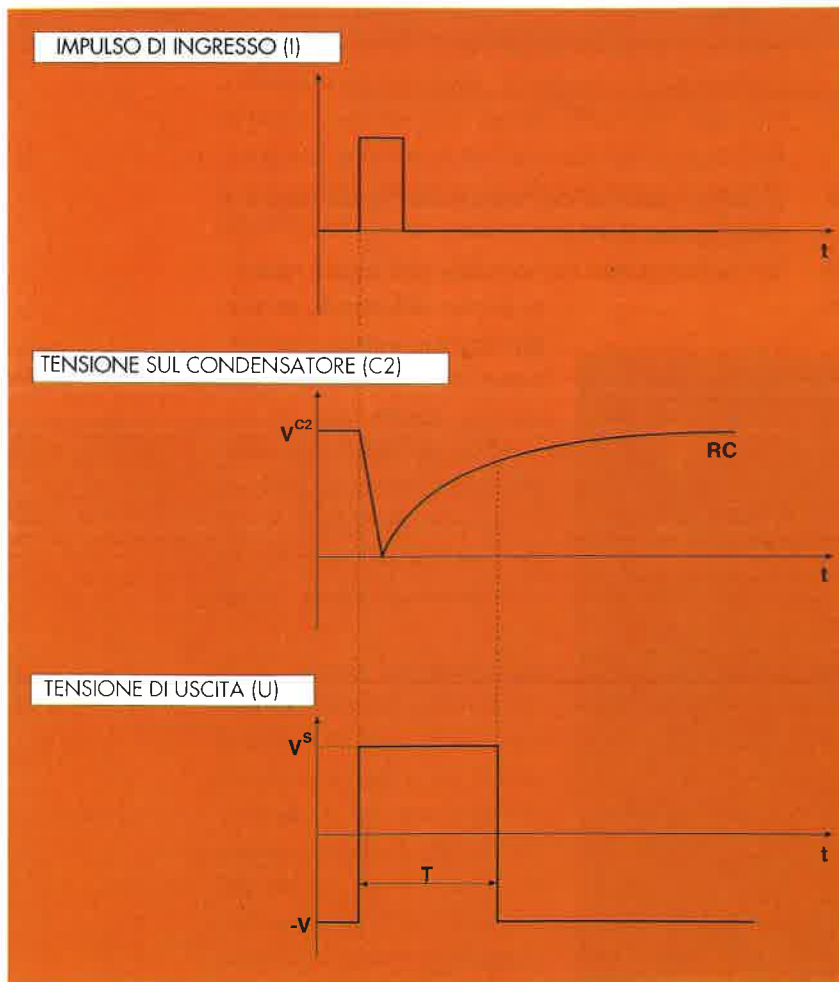
Poiché in questo circuito il singolo innesco genera un'onda rettangolare, che inizia ad un istante di tempo ben definito e che può essere utilizzata per pilotare altre parti del sistema, viene chiamato anche *circuito di innesco*. Inoltre, poiché l'innesco di ingresso provoca una transizione rapida in un tempo predeterminato, viene anche chiamato *circuito ritardatore*.

Bisogna sottolineare che la tensione del condensatore raggiunge il suo valore di riposo in un tempo superiore alla durata dell'impulso generato.

Pertanto, esiste un tempo di recupero, pari alla differenza tra i due tempi, durante il quale il circuito non può essere nuovamente innescato.

Questo significa che un innesco di sincronizzazione deve essere ritardato rispetto all'impulso di ingresso precedente di un tempo perlomeno pari a quello impiegato dal condensatore per raggiungere il suo valore di riposo.

Esistono comunque altri circuiti nei quali è possibile evitare questo tipo di inconveniente; questi circuiti vengono definiti *multivibratori monostabili reinnescabili*.



Forme d'onda della tensione sul condensatore e della tensione di uscita in un multivibratore monostabile con reinnesco



# GLI OSCILLATORI

**Dopo aver esaminato i circuiti monostabili nella loro struttura di base, vengono descritte le loro configurazioni realizzate con circuiti integrati, e ne viene studiato il loro comportamento come oscillatori, che costituisce il principale utilizzo nel mondo dei personal computer.**

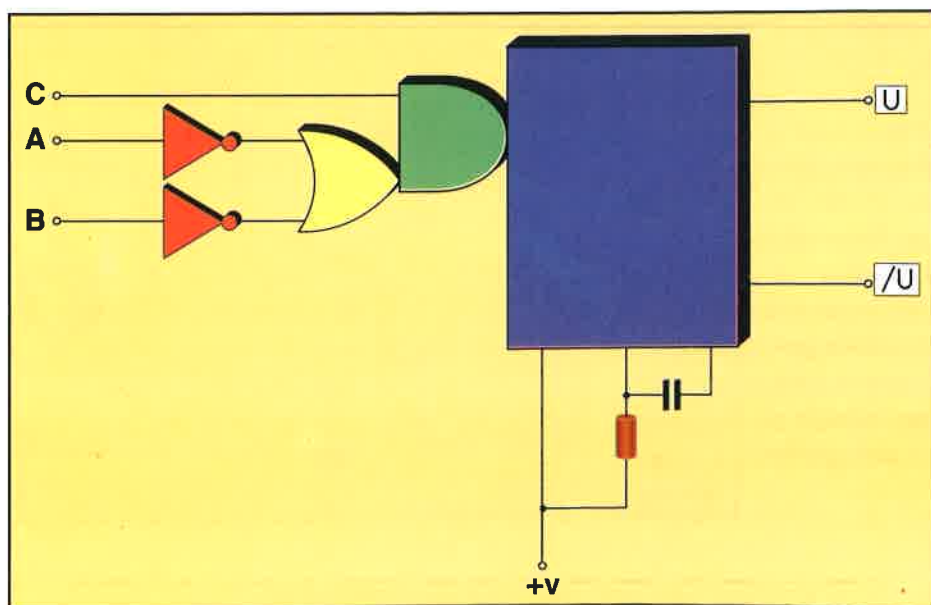
**n**el capitolo precedente si sono analizzati i circuiti monostabili a componenti discreti e con amplificatori operazionali. Di seguito verranno prese in esame le loro configurazioni realizzate con circuiti integrati.

Nei circuiti logici un monostabile può essere innescato sia con una commutazione da un livello alto ad uno basso che nella situazione inversa; detto in altro modo, l'innescò può avvenire con un fronte di salita o con uno di discesa. La rappresentazione di un monostabile realizzato con circuiti

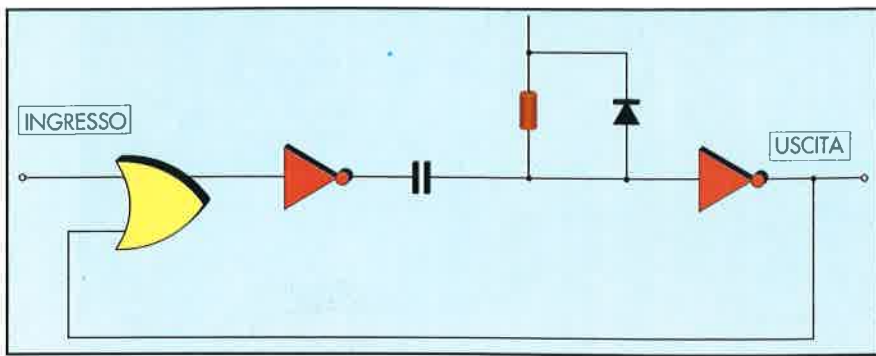
integrati è illustrata nella figura corrispondente. Questo tipo di monostabile genera sull'uscita U (in alcuni data sheet forniti dai costruttori può essere indicata con la lettera Q) un impulso positivo, e su /U un impulso negativo, quando agli ingressi viene applicato un impulso positivo o negativo, in funzione del comportamento che verrà di seguito analizzato.

Se A e B si trovano allo stato logico 0, e su C si invia un impulso positivo, sulle uscite U e /U saranno presenti un segnale positivo e negativo rispettivamente. Analogamente, se sugli ingressi

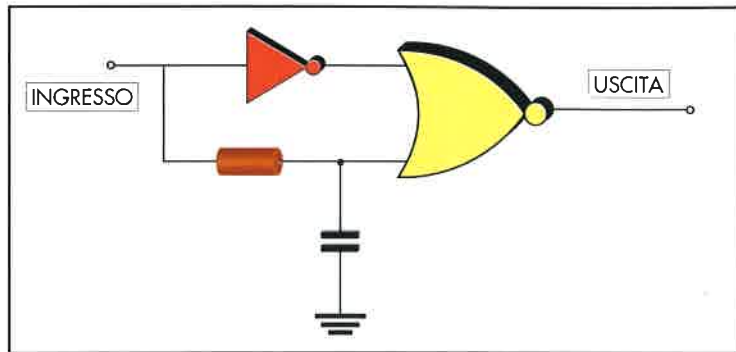
A o B si invia un impulso negativo, e su C si applica uno stato logico 1, sulle uscite sarà ancora presente un segnale positivo. Per comprendere meglio il funzionamento di questo monostabile come circuito inte-



*Multivibratore monostabile integrato, nel quale il condensatore e la resistenza esterna forniscono il tempo di durata dell'impulso di uscita*



Monostabile in tecnologia CMOS



Circuito che genera un impulso in uscita quando in ingresso avviene una commutazione di livello

grato è sufficiente osservarne la tabella della verità:

A	B	C	U
0	0	+	positivo
0	1	+	positivo
1	0	+	positivo
1	1	X	0
X	X	0	0
X	-	1	positivo
X	1	-	positivo

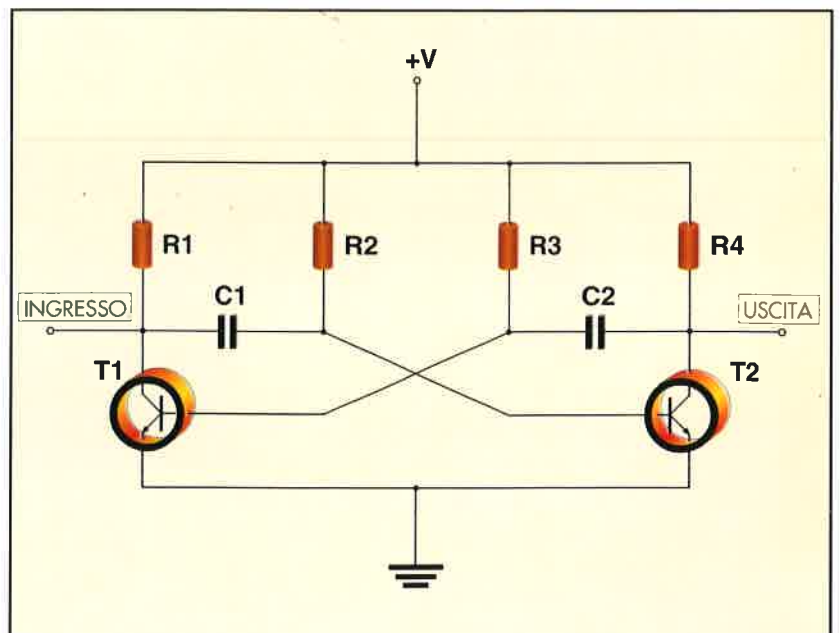
dove + e - sono gli impulsi positivi e negativi, e X indica uno stato detto indifferente perchè non influenza, qualunque sia il suo valore, la condizione delle uscite.

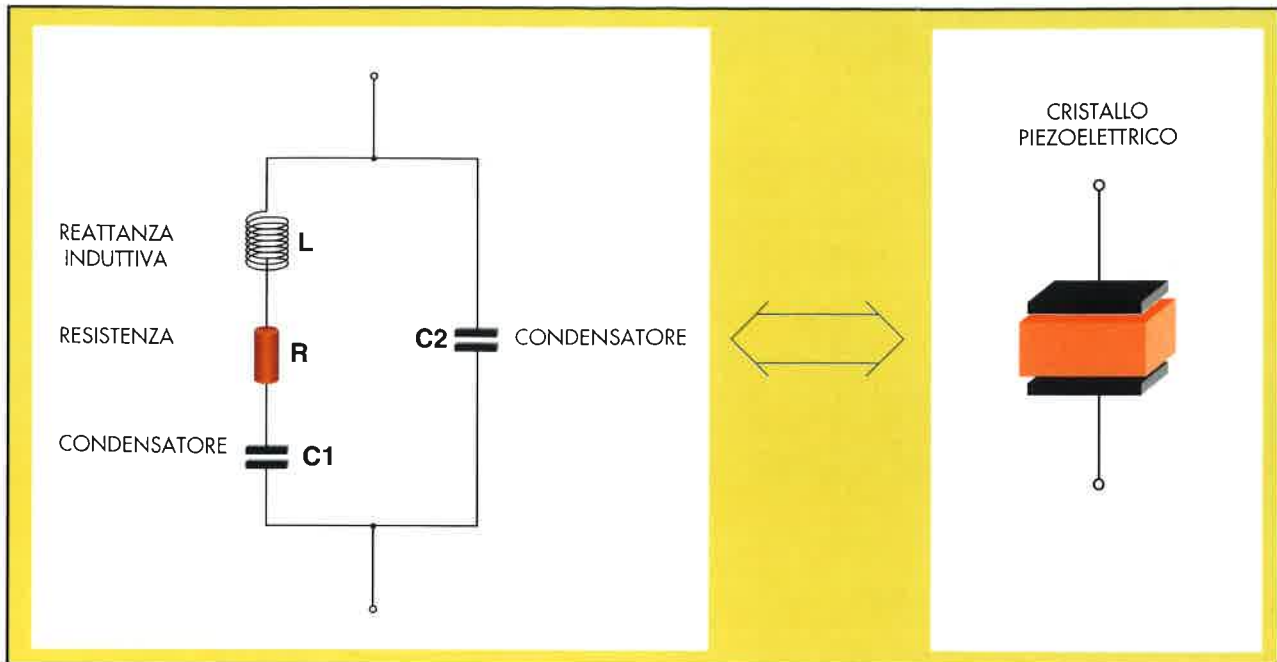
Il tempo di durata dell'impulso è determinato dai valori della resistenza e del condensatore collegati all'esterno del monostabile e dai parametri definiti dal circuito interno allo stesso.

Nel capitolo precedente è stato citato un tipo di monostabile con determinate caratteristiche di innesco: il *monostabile reinnescabile*. La differenza principale che questo circuito presenta rispetto al monostabile convenzionale è la seguente: se viene applicato un impulso all'ingresso del monostabile non reinnescabile nel momento in cui sull'uscita è ancora presente un segnale provocato da un impulso precedente, questo secondo impulso non viene considerato. Al contrario, in un monostabile reinnescabile, o *ritriggerabile*, questo secondo impulso viene accettato, e il tempo di permanenza dell'impulso sull'uscita parte dal momento in cui arriva questo secondo impulso all'ingresso. Esiste un'altra categoria di monostabili realizzati in tecnologia CMOS, il cui schema generale è riportato nella figura corrispondente. In questi circuiti il condensatore è inizialmente scarico. Quando sull'ingresso arriva un impulso positivo, l'armatura sinistra del condensatore scende a potenziale zero, e istantaneamente porta allo stesso valore anche quella

destra; in quel momento l'uscita passa da un livello basso a un livello alto. Successivamente il condensatore inizia a caricarsi attraverso la resistenza finché non raggiunge la sua tensione di saturazione, corrispondente a circa la metà del

Circuito tipico di un multivibratore astabile o free running





Simbolo di un oscillatore al quarzo, e suo circuito elettrico equivalente

valore della tensione di alimentazione. In questo modo, il tempo di permanenza dell'impulso in uscita assume il valore determinato dall'espressione:

$$0,69 \times R \times C$$

Se si desidera generare solamente un breve impulso in uscita, in corrispondenza di un cambio di livello in ingresso, si può utilizzare il circuito riportato nella figura, che fornisce un impulso positivo in uscita quando si verifica una commutazione da basso ad alto del livello logico in ingresso.

### MULTIVIBRATORE ASTABILE

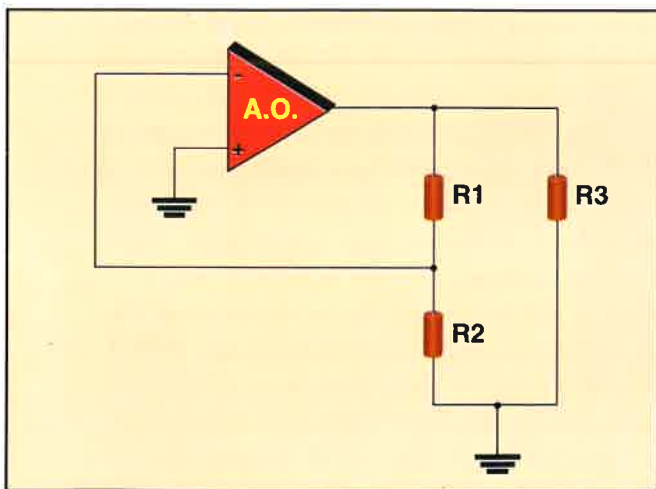
Viene così definito un circuito che presenta un punto di equilibrio stabile, che però non viene mai

raggiunto. Nel circuito illustrato in figura, il punto di equilibrio stabile si verifica quando T1 e T2 sono entrambi saturati; tuttavia questo stato non è mai raggiungibile, poiché quando i due transistor commutano in saturazione uno dei due ci arriva più rapidamente, forzando l'altro in condizione di interdizione. Se ad esempio si satura T1, istantaneamente diminuisce la tensione sulla base del transistor T2, che va in interdizione. Il condensatore C2 inizia a caricarsi attraverso R2 aumentando la tensione presente sulla base di T2; la saturazione di quest'ultimo provoca un abbassamento della tensione sulla base di T1, che commuta in interdizione. Questo processo continua all'infinito, e il dispositivo che lo genera viene chiamato *multivibratore astabile* o *free running*.

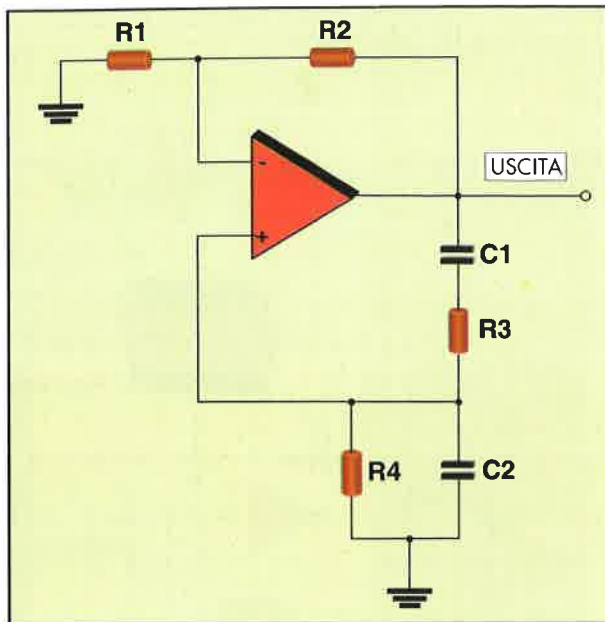
Per concludere si può affermare che questo tipo di multivibratore può essere considerato a tutti gli effetti un oscillatore, e può essere compreso nella categoria degli oscillatori ad onda quadra.

### SCHEMA DI PRINCIPIO DI UN OSCILLATORE

Molti circuiti oscillatori possono essere rappresentati in forma generale come indicato nella figura corrispondente. Nell'analisi che segue si parte da un elemento attivo con resistenza di ingresso molto elevata, quale può essere un amplificatore operazionale. Come si può osservare, il circuito è dotato di una reazione in configurazione tensione-serie.



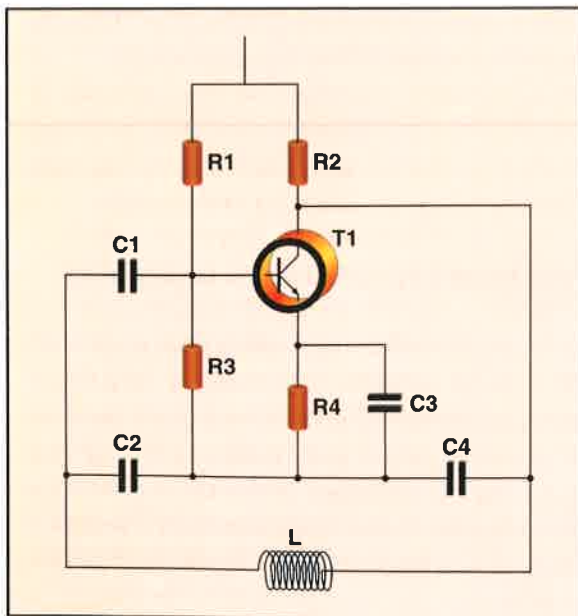
Schema generale di un oscillatore con un operazionale, che presenta una impedenza di ingresso molto elevata



Oscillatore a ponte di Wien, nel quale come rete di reazione viene utilizzato un ponte equilibrato

Il valore del guadagno si ottiene considerando che il circuito è un amplificatore reazionato con l'ingresso negativo prelevato sul partitore presente in uscita e con l'ingresso positivo a massa. L'impedenza di carico è formata dalla combinazione di R3 in parallelo con R1 e R2 in serie. Questa configurazione è comunemente nota come *oscillatore a tre punti*, studiato per ottenere una buona stabilità della frequenza di oscillazione e un basso tasso di distorsione armonica della forma d'onda in uscita anche in caso di funziona-

Oscillatore Colpitts a transistor



mento fortemente non lineare dell'amplificatore. Se R2 e R3 vengono sostituite con dei condensatori e R1 con una induttanza, il circuito prende il nome di oscillatore Colpitts. Se R2 e R3 vengono invece sostituite con induttanze ed R1 con un condensatore il circuito viene chiamato oscillatore Hartley. Questi circuiti possono essere realizzati anche con dei transistor; un esempio è riportato nella figura corrispondente. Tuttavia, un'analisi precisa di un oscillatore a transistor è molto complessa, perché la bassa impedenza di ingresso del transistor in parallelo con l'impedenza R3 complica i calcoli del guadagno; inoltre, se la frequenza di oscillazione è al di fuori della gamma dell'audiofrequenza, il parametro relativo al guadagno del transistor a bassa frequenza non può essere considerato valido, per cui deve essere sostituito con un modello ibrido molto più complesso.

### OSCILLATORE A CRISTALLO

Alcune sostanze sintetiche o naturali, tra le quali i quarzi, presentano un comportamento che viene definito *piezoelettrico*. Quando vengono sottoposte ad una sollecitazione che ne provoca una deformazione meccanica generano una differenza di potenziale tra le loro facce. Al contrario, l'applicazione di una tensione tra queste facce ne provoca una deformazione meccanica di tipo elastico, che ritorna alle condizioni originali, al cessare della tensione applicata, passando attraverso stati intermedi secondo un regime oscillatorio smorzato. Se la tensione applicata è di tipo alternato, con frequenza uguale a quella di vibrazione naturale, si genera un fenomeno di risonanza molto selettivo.

La frequenza di risonanza dipende dalle dimensioni del cristallo, dall'orientazione delle superfici rispetto agli assi e da altri parametri geometrici e meccanici del sistema. La gamma di frequenze disponibili in commercio per questo tipo di oscillatori va da alcune migliaia di Hz sino ad alcuni MHz. Questi valori così elevati, associati all'elevata costanza delle caratteristiche del quarzo rispetto al tempo e alla temperatura, giustificano l'eccezionale stabilità in frequenza degli oscillatori a cristallo. Di fatto, è il componente più utilizzato nei personal computer per generare gli impulsi di clock.

# I CIRCUITI BISTABILI

**Tutti i sistemi esaminati nei capitoli precedenti operavano con un tipo di logica definito combinatorio; i circuiti che vengono descritti di seguito funzionano invece con un tipo di logica detta sequenziale.**

**U**n sistema sequenziale si diversifica da uno combinatorio per il fatto che le funzioni di uscita in ogni istante non sono solo funzione delle variabili di ingresso, come avviene per i circuiti combinatori, ma dipendono anche dallo stato in cui si trova il sistema.

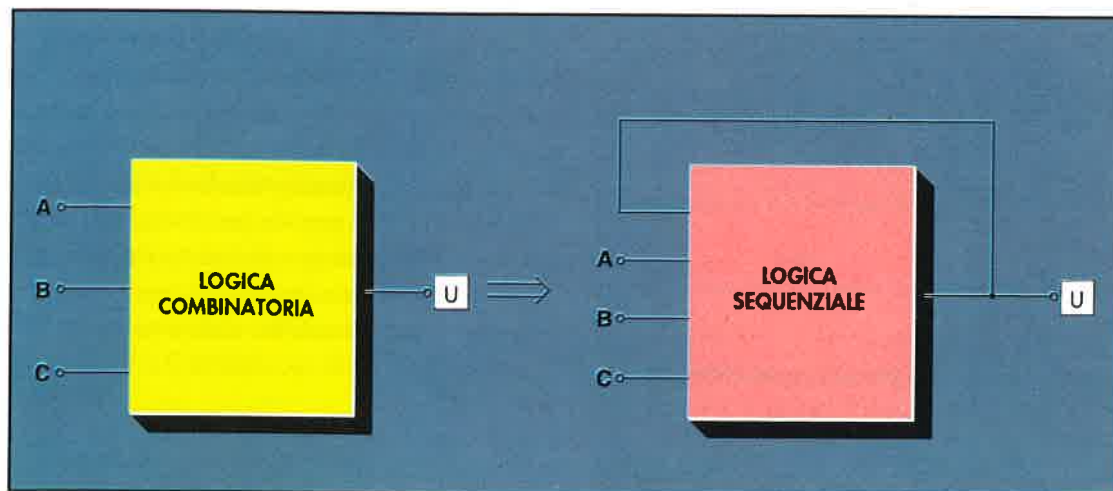
Detto in altro modo, un circuito sequenziale si può definire come un sistema le cui variabili di ingresso dipendono da quelle proprie del circuito e dalle condizioni precedenti presenti in uscita.

Da questo si può dedurre che un sistema sequenziale reagisce alle sequenze precedenti degli stati di ingresso in un modo determinato

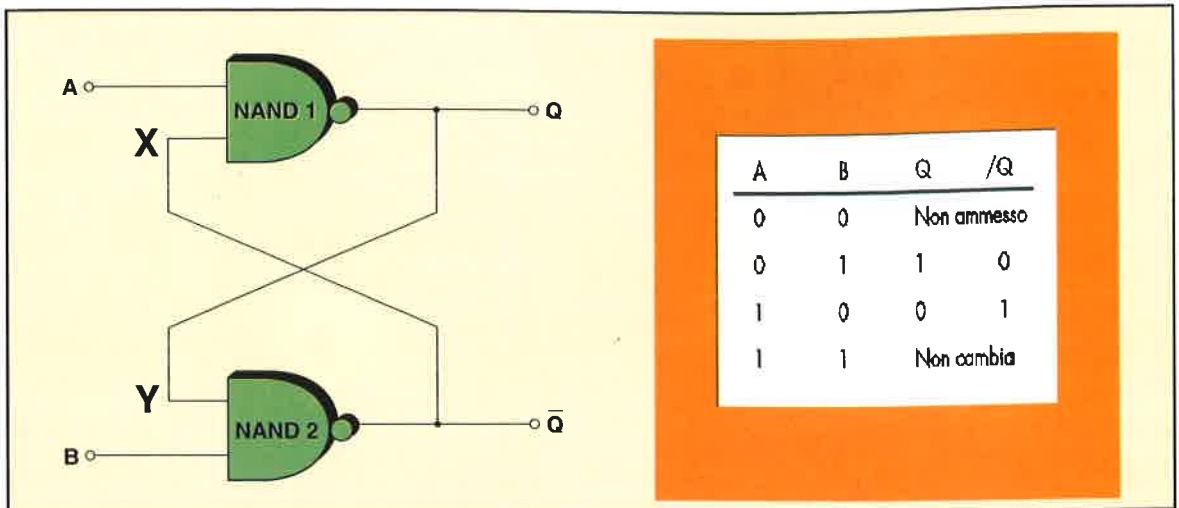
dalla sua struttura fisica, per cui può essere considerato un *sistema automatico*. La denominazione di *sequenziale* è dovuta al fatto che il valore della sua uscita, in un determinato istante, non dipende solamente dagli stati logici degli ingressi in quello stesso istante, ma anche dalla sequenza precedente degli stessi.

## I CIRCUITI SEQUENZIALI

Per lo sviluppo dei circuiti sequenziali, e per poterne ricavare le equazioni di funzionamento come era stato fatto per la logica combinatoria, viene eseguito uno sdoppiamento delle variabili



*La differenza tra logica sequenziale e logica combinatoria è legata alle variabili di ingresso che vengono prese in considerazione*

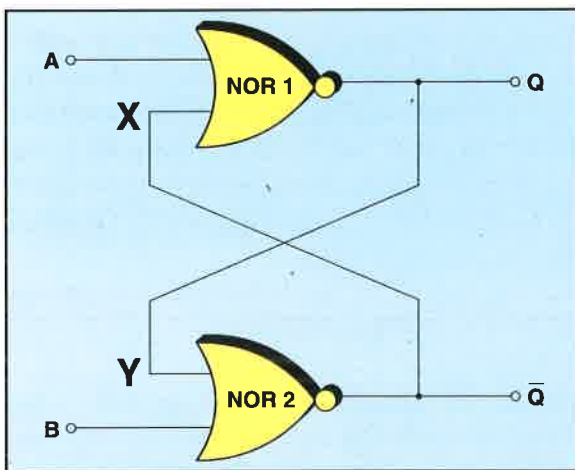


Circuito sequenziale realizzato con porte NAND e tabella della verità corrispondente

di reazione introducendo un ritardo. Questo ritardo è realmente presente, in quanto rappresenta la somma dei tempi di ritardo di tutte le porte. Considerando il circuito riportato nella figura corrispondente, formato da due porte NAND, le

ramificate in modo tale da poter diventare anche variabili di ingresso, è possibile ricavare le equazioni di sistema, che sono:

$$Q = \overline{(A \times X)} \quad \text{e} \quad \overline{Q} = \overline{(B \times Y)}$$



Un sistema di tipo sequenziale si può progettare anche con porte NOR

In un circuito sequenziale i diversi stati delle uscite possono essere *stabili* o *instabili*. Infatti, il suo ciclo di lavoro è formato da una serie di fasi, di durata qualsiasi, durante le quali il sistema permane stabilmente finché una causa esterna (un ingresso) ne provoca la commutazione alla fase successiva. Queste fasi corrispondono alla condizione di stato stabile, mentre i periodi di transizione tra una fase e le successive rappresentano la condizione di stato instabile. Quest'ultima situazione si verifica in coincidenza di alcune particolari combinazioni dei valori di ingresso, mentre per altre le condizioni di uscita non sono accettabili. Ad esempio, la condizione per la quale entrambi gli ingressi si trovano al valore logico 0 non è accettabile, poiché provoca il passaggio sia di Q che di /Q al valore 1. Poiché le due uscite devono essere sempre complementari tra di loro, si instaurerà una situazione di indeterminazione che causerà la commutazione di una delle due in funzione delle condizioni interne precedenti e dei ritardi di propagazione dei segnali. Le condizioni ammesse sono quelle riportate nella relativa tabella della figura corrispondente. In conclusione, si può affermare che lo stato è stabile se alla configurazione raggiunta dalle uscite secondarie (X e Y) all'istante

uscite Q e /Q corrispondono a X e Y, ma con un ritardo intermedio. Tenendo presente questa condizione, per cui le funzioni di uscita vengono

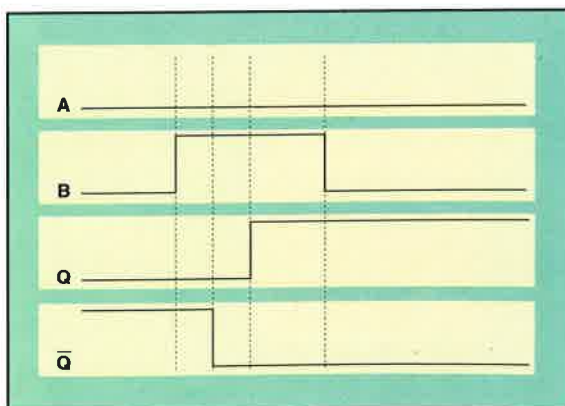
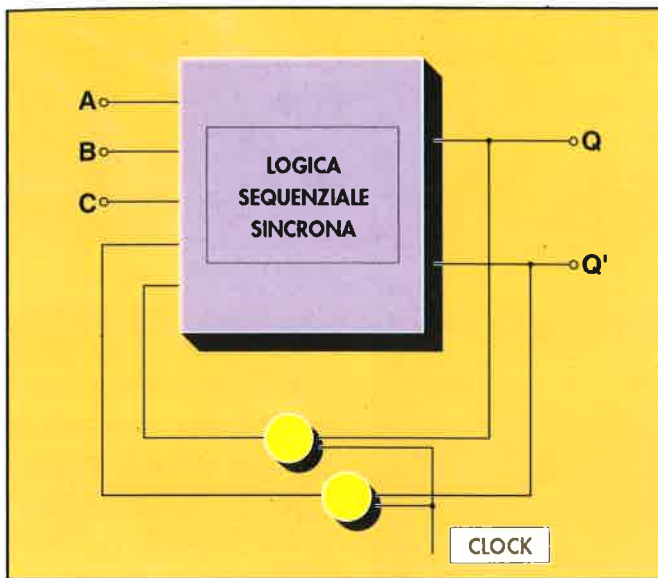


Diagramma di una transizione tra stati stabili in funzione dell'impulso introdotto sull'ingresso B



La logica sequenziale sincrona è basata sul controllo della reazione tramite il clock

$t$ , riportata all'ingresso all'istante  $t + t_d$  (con  $t_d$  che rappresenta il tempo di ritardo interno), corrisponde la stessa configurazione delle uscite principali e secondarie per le stesse variabili di ingresso principali.

Nel circuito in esame l'equilibrio stabile si raggiunge quando nella tabella di funzionamento le variabili  $X$  e  $Y$  coincidono con le funzioni  $Q$  e  $\bar{Q}$ . Quando si commuta una variabile di ingresso, il sistema passa da uno stato stabile ad un altro passando attraverso fasi adiacenti.

In un sistema reale non può commutare più di una variabile alla volta, per cui le transizioni tra fasi non adiacenti avvengono attraverso stati intermedi. Queste transizioni possono essere critiche o non critiche. La transizione non risulta critica quando lo stato finale ottenuto è lo stesso, indipendentemente dal percorso fatto per raggiungerlo; è critica quando lo stato finale ottenuto è diverso.

I circuiti sequenziali analizzati sinora corrispondono ai circuiti asincroni. Esistono anche circuiti sequenziali sincroni, nei quali la reazione delle uscite come variabili di ingresso è gestita da un clock, che consente la sua abilitazione solo a determinati

intervalli regolari, come indicato nello schema corrispondente.

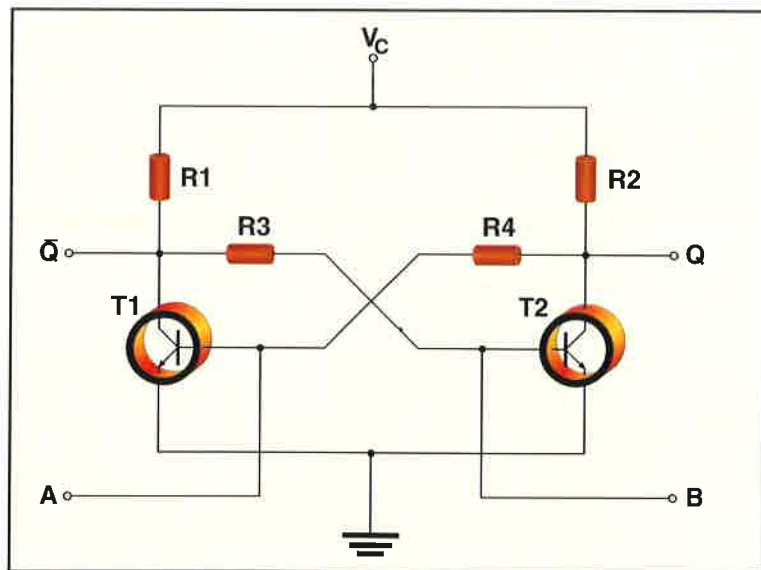
Il clock agisce quando gli ingressi relativi alla reazione corrispondono ai valori di uscita.

### IL CIRCUITO FONDAMENTALE DI UN BISTABILE

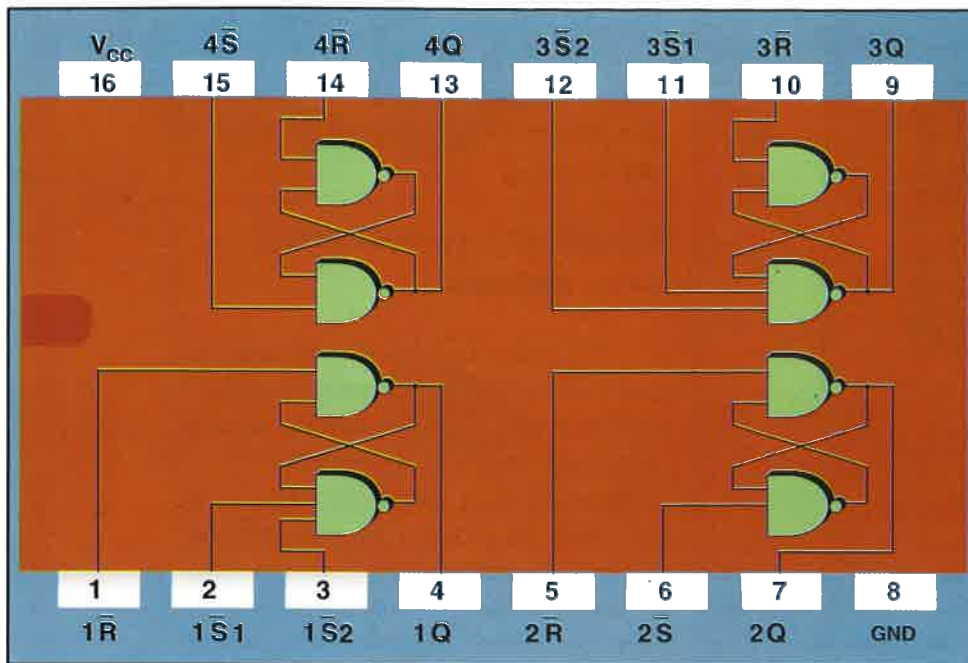
Il multivibratore bistabile è un sistema che può assumere due condizioni di equilibrio stabile e una instabile. Questo circuito viene realizzato con dei transistori.

Inizialmente può sembrare che per la simmetria del circuito i due transistor conducano allo stesso modo: questa situazione corrisponde al punto di equilibrio instabile. Se per una qualsiasi ragione uno dei due transistor comincia a condurre, ad

esempio T2, il valore della sua tensione di collettore diminuisce, abbassando di conseguenza anche la tensione di base di T1; ciò comporta un innalzamento della tensione di collettore di T1 che provoca un aumento della conduzione del transistor T2. Permanendo questa condizione si raggiunge l'istante in cui T2 entra in saturazione e T1 in interdizione, che corrisponde ad una delle due condizioni di equilibrio stabile. Ovviamente, l'altra condizione di equilibrio stabile si verifica con



Multivibratore bistabile convertito in un flip-flop grazie all'applicazione di impulsi esterni sulla base dei due transistor



Struttura interna di un circuito integrato convenzionale con quattro bistabili incorporati

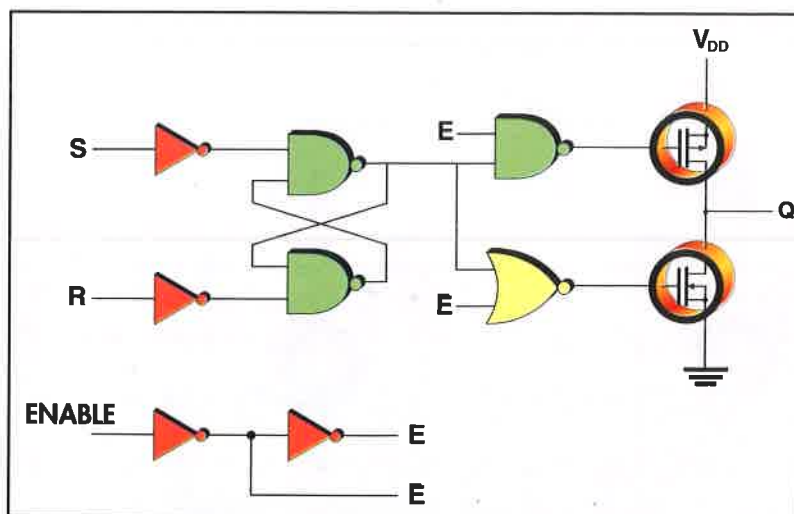
T1 in saturazione e T2 in interdizione. Il multivibratore bistabile può oscillare da una posizione stabile all'altra grazie all'applicazione di impulsi esterni sulle basi dei transistor. Ritornando alla situazione precedentemente descritta, se si applica un impulso positivo sulla base di T1 quando questo transistor è in interdizione e T2 in

te. Se si indica con Q l'uscita di collettore di T2, il collettore del transistor T1 corrisponde di conseguenza all'uscita Q negata o complementata, indicata con  $\bar{Q}$ . Un impulso positivo applicato all'ingresso A, e perciò sulla base di T1, da origine ad un livello basso su  $\bar{Q}$  e ad un livello alto su Q, per cui l'ingresso A prende il nome di *Set* o *Preset*;

nella maggior parte dei circuiti questo terminale viene rappresentato con la lettera S, e a volte viene definito anche come terminale di attivazione.

Un impulso positivo applicato all'ingresso B sulla base di T2 provoca come risultato la condizione di livello basso su Q e livello alto su  $\bar{Q}$ , da cui il nome di *Reset* o *Clear* dato a questo terminale. Nella documentazione tecnica e nei circuiti digitali con bistabili viene normalmente indicato con la lettera R, e a volte viene definito come terminale di azzeramento.

Nel capitolo successivo verranno esaminati i diversi tipi di bistabili che sono attualmente disponibili in commercio.



Elementi circuitali di un bistabile C-MOS



# I DISPOSITIVI BISTABILI

**Nel capitolo precedente è stato descritto il funzionamento generale di un bistabile, per cui è possibile analizzare di seguito i modelli fondamentali di flip-flop esistenti in commercio, e il modo per convertire uno di questi partendo da un altro.**

**P**rima di esaminare le famiglie dei bistabili più tradizionali, è opportuno fornire alcune informazioni relative ai termini che verranno utilizzati nel capitolo.

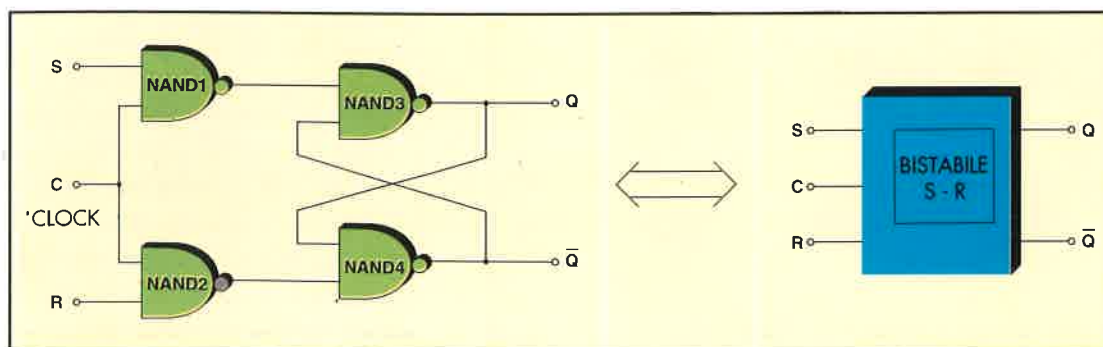
Un flip-flop può avere due tipi di ingressi: *sincroni* o *asincroni*. I primi hanno bisogno di un impulso di clock esterno per trasferire in uscita i dati presenti in ingresso, tenendo presente che il valore di uscita è comunque sempre funzione della combinazione dei dati di ingresso e delle variabili interne, come già indicato nel capitolo precedente.

Nei flip-flop asincroni invece l'uscita commuta immediatamente in funzione delle variazioni subite dagli ingressi e delle variabili interne di sistema. Generalmente un flip-flop è dotato sia di ingressi sincroni che asincroni, ed è prioritaria l'azione di questi ultimi. All'ingresso di *clock*, che significa orologio, arrivano i segnali che servono per gestire gli ingressi sincroni. Questo ingresso risul-

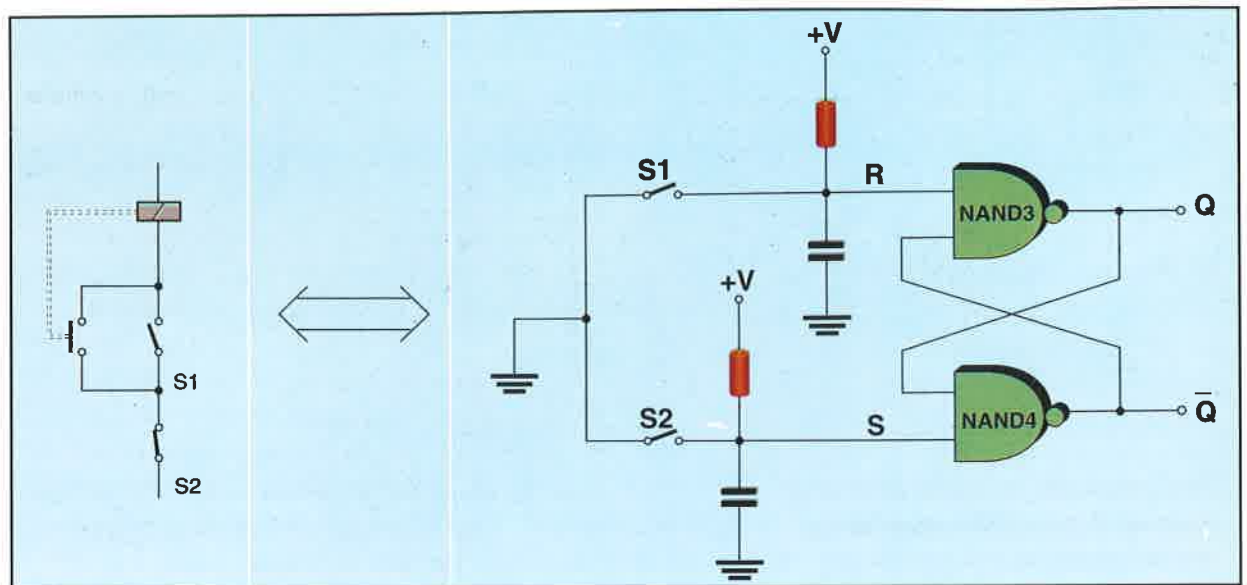
ta molto utile poiché tramite una sola linea permette la gestione di diversi flip-flop. Infatti, inviando lo stesso segnale di clock a tutti i flip-flop del sistema è possibile fare in modo che la commutazione di stato sulle loro uscite avvenga nello stesso istante, vale a dire in modo sincrono o simultaneo. Il controllo eseguito dal clock può avvenire per livelli o per fronti. Nel primo caso l'abilitazione si verifica quando il clock commuta a livello alto. Nel secondo caso invece l'abilitazione avviene in corrispondenza di un fronte, che può essere di discesa o di salita; questa condizione viene indicata nelle caratteristiche tecniche con il termine *edge triggered*.

Esistono quattro tipi di flip-flop, anche se in questo capitolo verranno esaminati solamente i primi due:

- Flip-flop R-S
- Flip-flop J-K
- Flip-flop D
- Flip-flop T



*Flip-flop R-S sincrono formato da quattro porte NAND, controllato da un segnale di clock*

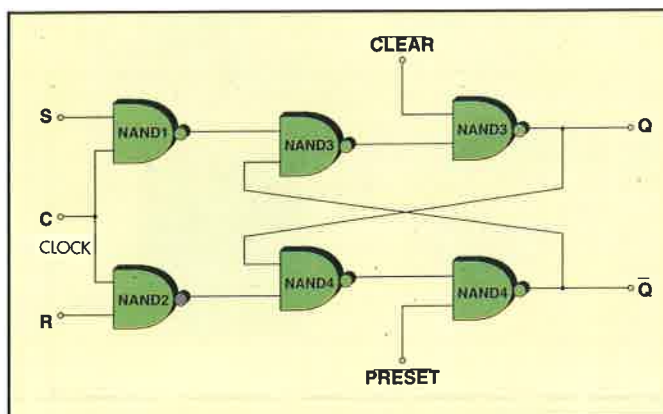


Un esempio di applicazione dei bistabili R-S nel controllo marcia-arresto di un motore

### IL FLIP-FLOP R-S

In questa categoria di bistabili si possono distinguere due configurazioni: una con ingressi asincroni e l'altra temporizzata, o con ingressi sincroni. Di seguito viene esaminata la prima configurazione. Il flip-flop R-S è dotato di due ingressi asincroni chiamati Set o Preset (S), e Reset o Clear (R), e di due uscite Q e la sua complementare  $\bar{Q}$ . Un livello alto sull'ingresso S genera un livello alto anche sull'uscita Q, mentre un livello alto sull'ingresso di Reset commuta l'uscita Q a livello basso. Da questo si può ricavare la tabella della verità corrispondente:

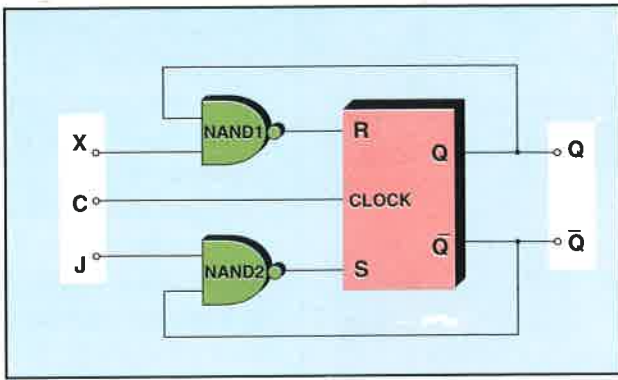
S	R	Q	$\bar{Q}$
0	0	$Q_n$	$\bar{Q}_n$
1	0	1	0
0	1	0	1
1	1	X	X



Flip-flop R-S con segnali impostazione a 0 e 1 definiti rispettivamente Clear e Preset

Quando i due ingressi R e S sono a livello logico 1 lo stato delle uscite è indeterminato (indicato con una X), e dipende dalla configurazione interna del flip-flop utilizzato. Ovviamente questa combinazione degli ingressi non ha senso, poiché la condizione  $S=1$  indica che l'uscita Q assume il valore 1, e contemporaneamente la condizione  $R=1$  indica che la stessa uscita Q deve assumere il valore 0. Per questo motivo l'uscita non rispetta le regole dettate dalle combinazioni di ingresso, ma dipende solo dalle condizioni imposte dalle variabili interne di sistema, per cui il suo valore può essere diverso di volta in volta e di conseguenza viene indicato come *indeterminato*. Questo tipo di configurazione è molto utilizzata nei circuiti di chiusura e apertura abbinati ad interruttori o pulsanti, come ad esempio nella funzione di marcia-arresto di un motore. Se si osserva la figura corrispondente, si può notare che questa modalità di funzionamento è rappresentata da un pulsante normalmente aperto, da un'altro normalmente chiuso e da un relè con autoritenuta; di lato viene riportato il circuito equivalente realizzato con porte logiche.

Il funzionamento del circuito elettronico è il seguente. Premendo S1 si porta a 0 il terminale R, per cui l'uscita Q assume il valore 1 che, unitamente al livello logico alto presente sul terminale S, genera uno 0 su  $\bar{Q}$ ; questo valore viene riportato all'altro ingresso della porta NAND3, e mantiene fisso il



La realizzazione di un flip-flop J-K partendo da un flip-flop R-S, si ottiene semplicemente aggiungendo a quest'ultimo due porte AND

valore 1 in uscita indipendentemente dal livello che può assumere R.

Di conseguenza, il valore di Q rimane stabilmente ad 1 anche se si preme ripetutamente S1, e varia solamente quando viene premuto S2. Quest'ultima situazione genera uno 0 sul terminale S che porta l'uscita /Q al valore 1; questa, unitamente al valore 1 presente normalmente sul terminale R, provoca la commutazione dell'uscita Q al valore 0.

La differenza sostanziale che esiste tra i due circuiti è apprezzabile solamente nel momento in cui viene fornita tensione. In questo istante infatti, nel circuito analogico il relè assume una condizione fissa e determinata; in altre parole rimane sempre disattivato. Nel circuito a porte logiche invece, la condizione iniziale non è determinata, e può essere una qualsiasi. Per renderla certa è necessario fare in modo che una delle combinazioni resistenza-condensatore di ingresso risulti maggiore

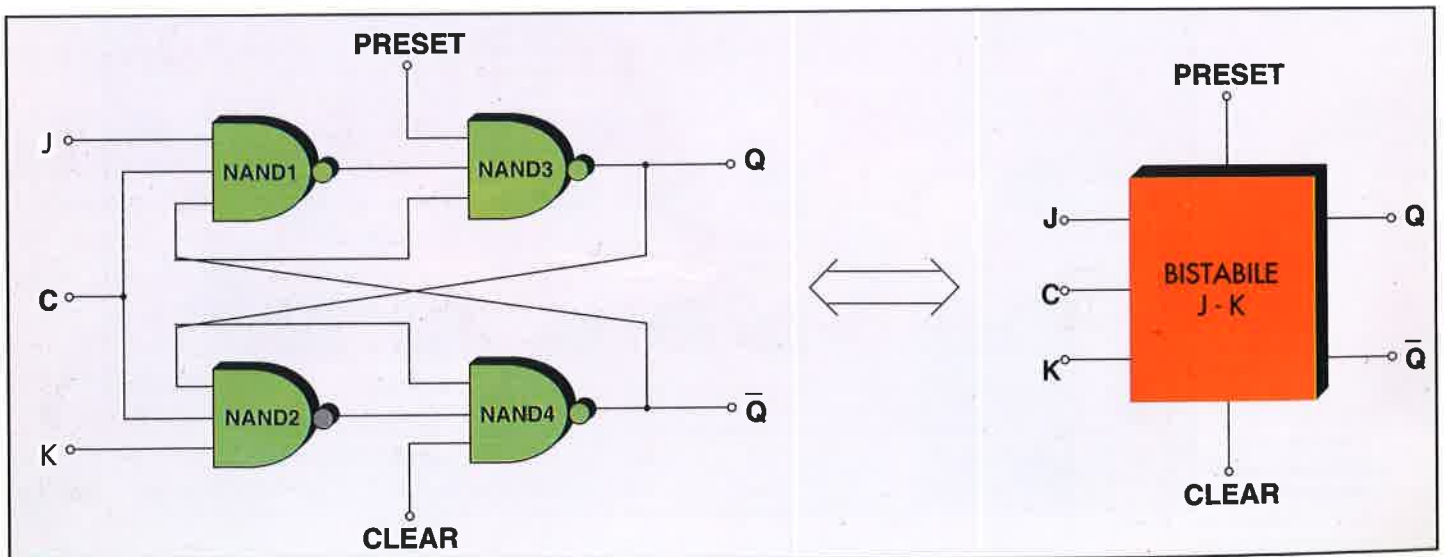
dell'altra. Se a questo flip-flop si aggiunge un circuito di clock, oltre ai due ingressi dei dati S (attivazione) e R (disattivazione), si ottiene il flip-flop temporizzato R-S della figura successiva. Le porte NAND3 e NAND4 formano il bistabile, mentre le porte NAND1 e NAND2 sono le porte di controllo che gestiscono lo stato del flip-flop dopo che è stato inviato l'impulso. Si può notare che tra due impulsi successivi, quando il clock si trova a livello 0, le uscite delle porte 1 e 2 sono sempre a livello 1 indipendentemente dai valori di R e S. In altre parole il flip-flop non cambia di stato tra due diversi impulsi di clock. Di conseguenza, il circuito si può considerare equivalente al bistabile visto in precedenza.

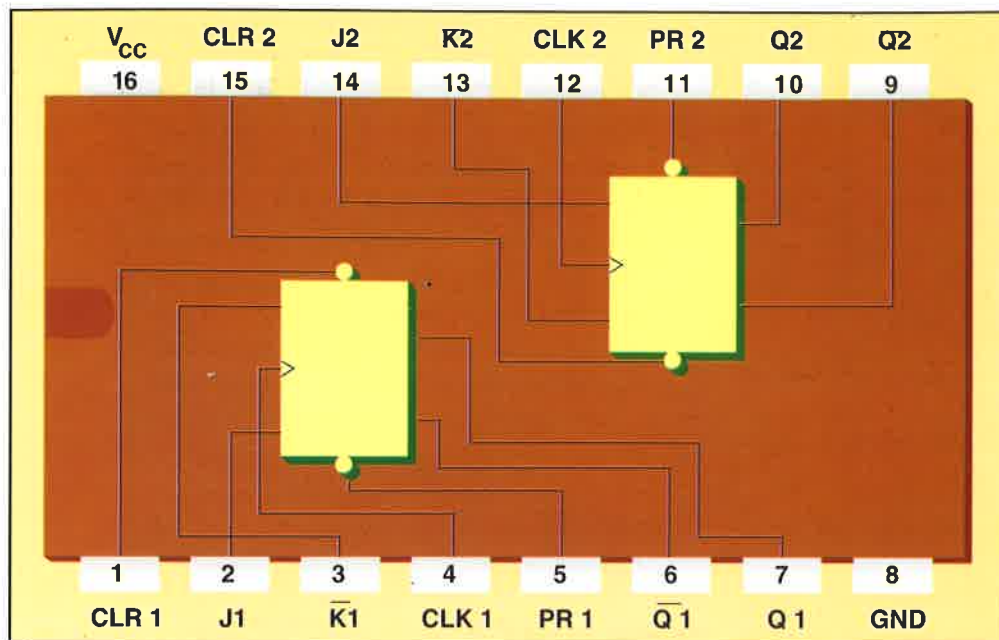
### IL FLIP-FLOP J-K

Questo tipo di bistabile si ottiene aggiungendo al flip-flop R-S due porte AND. Il dato di ingresso J e l'uscita /Q costituiscono gli ingressi della porta AND2. Poiché la sua uscita viene applicata al terminale S, la funzione che definisce il suo valore è:  $S = J \times /Q$ . Analogamente, il dato di ingresso K e l'uscita Q vengono inviati alla porta AND1, la cui uscita corrisponde al terminale R che assume i valori definiti dall'equazione  $R = K \times Q$ . La tabella della verità di questo bistabile è:

J	K	Q
0	0	Q <sub>n</sub>
1	0	1
0	1	0
1	1	/Q <sub>n</sub>

Flip-flop J-K a porte NAND a 3 ingressi, nei quali il terzo ingresso è costituito dalla reazione dei segnali di uscita





Circuito integrato costituito da due bistabili J-K con segnali di Preset e Clear

Come è possibile vedere, le prime tre linee della tabella della verità di un J-K sono identiche a quelle della tabella della verità ricavata per il flip-flop R-S. Solo l'indeterminazione dello stato  $S = R = 1$  è in questo caso sostituita dall'inversione  $/Q$ ; infatti, se i due ingressi del flip-flop J-K si trovano a livello alto l'uscita viene complementata dagli impulsi di clock.

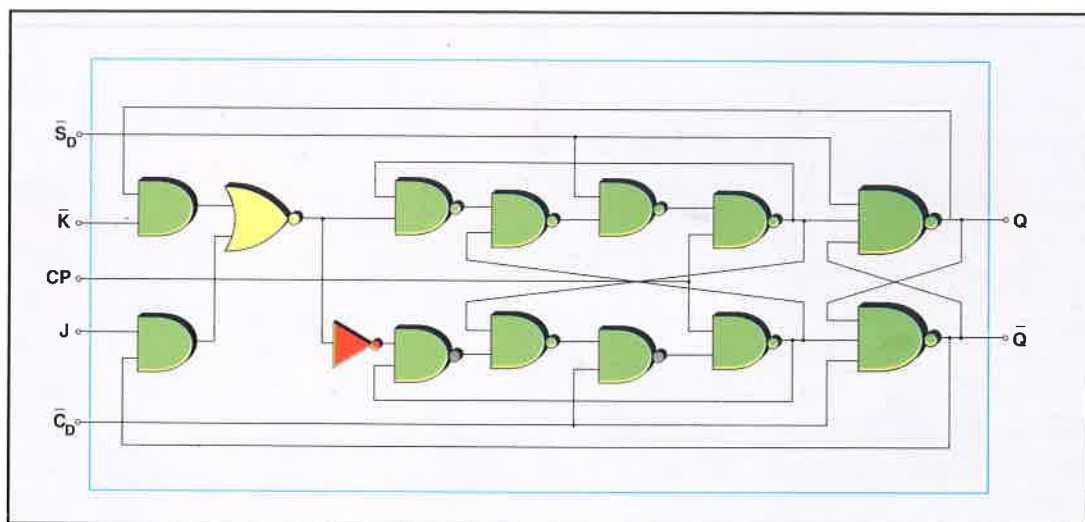
Nella pratica non è necessario utilizzare le porte AND per costruire un flip-flop J-K, poiché si può ottenere lo stesso scopo aggiungendo un terminale in più a ciascuna delle porte NAND, come si

bistabile, e cioè portare l'uscita  $Q$  a 0, quando il segnale di clock si trova a livello basso.

Questi ingressi che permettono l'impostazione dell'uscita a 0 o a 1 vengono chiamati *diretti* o *asincroni*, poiché non sono sincronizzati con il clock e possono essere applicati in un istante qualsiasi tra due impulsi dello stesso. Dopo aver determinato asincronicamente lo stato del flip-flop però, entrambi gli ingressi diretti devono essere portati a 1 prima che arrivi l'impulso di clock successivo. Se entrambi sono a 0 si è in presenza di una condizione indeterminata.

può osservare nella figura corrispondente. Questi ingressi si ricavano reazionando le uscite  $Q$  e  $/Q$  rispettivamente.

La tabella della verità vista in precedenza indica ciò che accade in uscita quando si applica un impulso di clock all'ingresso, in funzione del valore assunto da  $J$  e  $K$ . Prima che venga applicato questo impulso però, il valore dell'uscita è indeterminato. Se si aggiungono gli ingressi indicati con Preset e Clear, è possibile invece definire lo stato iniziale del flip-flop; ad esempio, può essere necessario azzerare il



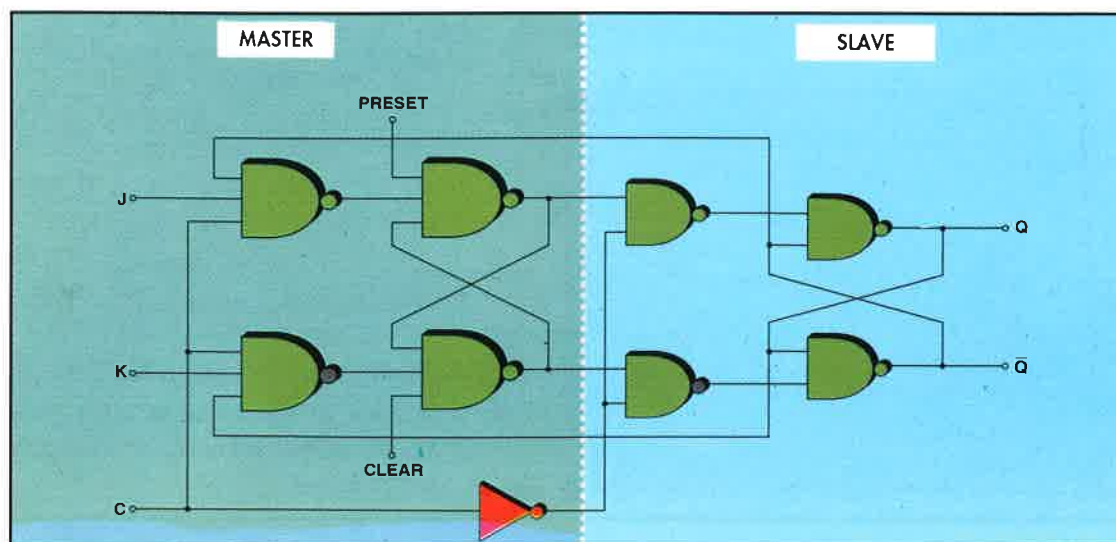
Elementi circuitali di un integrato con due flip-flop J-K

# I FLIP-FLOP

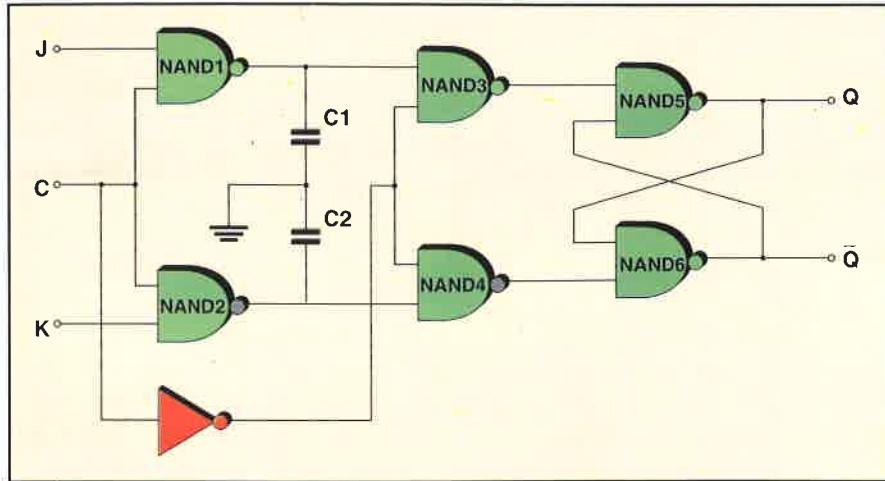
La descrizione dei diversi tipi di bistabili prosegue con l'analisi dei flip-flop più utilizzati nei circuiti elettronici, ed in particolare con l'analisi di quelli presenti nei personal computer.

**U**no dei problemi che possono presentare i flip-flop J-K esaminati nel capitolo precedente è legato alla doppia reazione presente in questi circuiti, che può generare delle oscillazioni che rendono questo bistabile inutilizzabile per applicazioni pratiche. In effetti, riguardando la tabella della verità di questo flip-flop si può notare che è basata su una combinazione logica che presuppone gli ingressi indipendenti dalle uscite. In effetti, a causa del collegamento di reazione dell'uscita Q sull'ingresso K, se durante l'impulso di clock l'uscita cambia di stato anche l'ingresso verrà

costretto alla commutazione. Come esempio, si supponga di avere gli ingressi J e K al livello logico 1 e l'uscita Q a 0. Quando arriva l'impulso di clock, l'uscita commuta a 1; questa commutazione avviene però dopo un certo intervallo di tempo, che coincide con il ritardo di propagazione dovuto alle due porte in serie. Ciò comporta che per un certo tempo Q e  $\bar{Q}$ , invece di essere complementari, assumono lo stesso valore, e questo provoca l'oscillazione tra 0 e 1 dell'uscita durante tutta la durata dell'impulso di clock; questa situazione è conosciuta come condizione di autooscillazione o *critical race*.



Struttura base di un flip-flop J-K Master-Slave, nel quale vengono utilizzati due bistabili R-S



Sui flip-flop master-slave possono essere eseguite alcune modifiche, in funzione dell'impiego a cui sono destinati

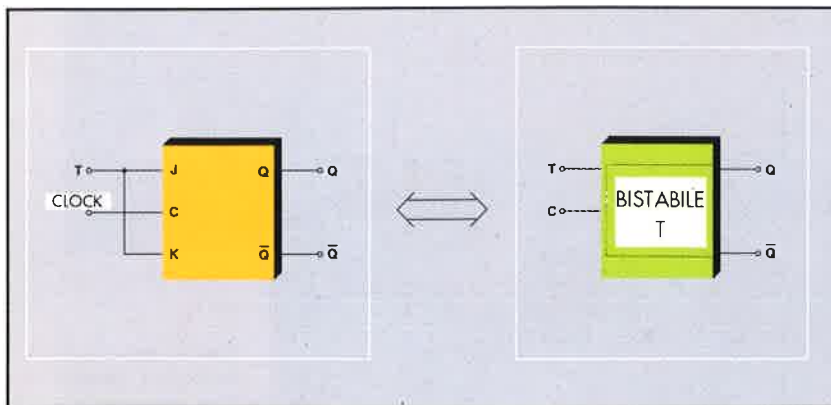
Questo problema si può risolvere utilizzando flip-flop di maggior complessità interna, come quelli chiamati master-slave.

### IL FLIP-FLOP J-K MASTER-SLAVE

Il compito di questo bistabile è quello di risolvere il problema dell'instabilità propria dei flip-flop J-K classici. La filosofia seguita prevede di isolare l'uscita e l'ingresso, in modo da rendere impossibile un percorso di reazione non desiderato. Per chiarire il funzionamento di questo tipo di bistabili viene esaminato il circuito rappresentato nella figura corrispondente. Esistono diversi momenti chiave che possono aiutare il lettore a comprendere appieno il funzionamento di questo flip-flop. Il primo di questi è riferito alla condizione di clock a livello basso. In questa situazione gli

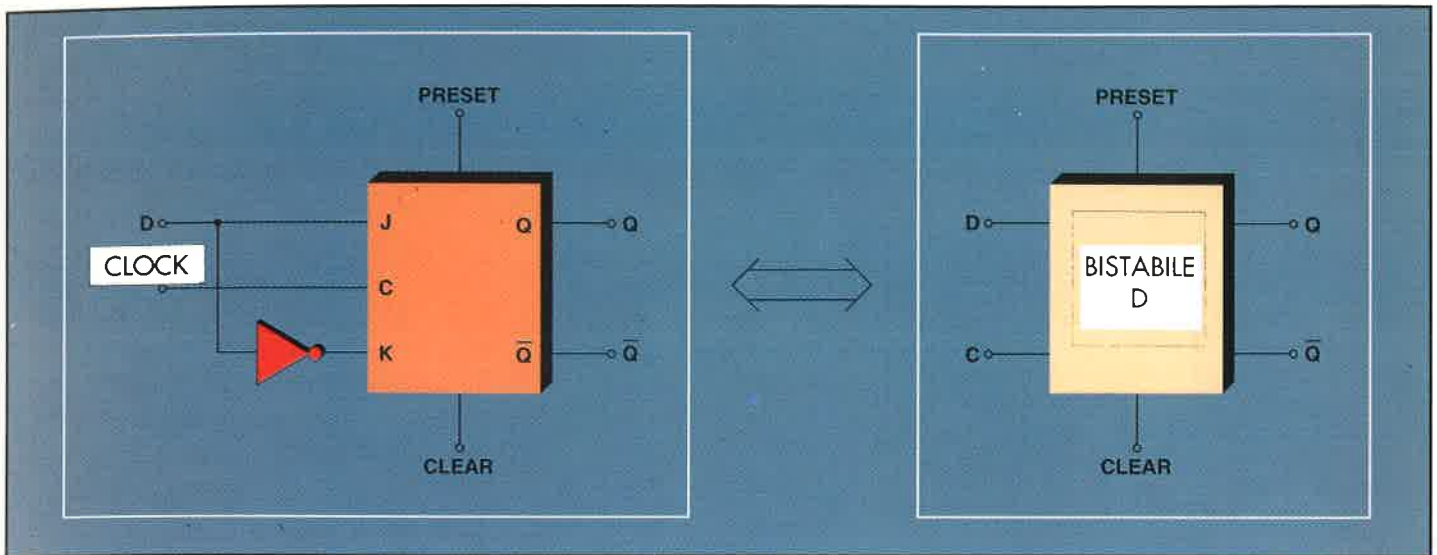
ingressi del master di tipo R-S non sono abilitati, per cui questo flip-flop risulta indipendente dai valori assunti da J e K. Contemporaneamente il flip-flop slave, anche questo di tipo R-S, risulta abilitato, per cui i suoi ingressi riproducono lo stato delle uscite del flip-flop master; di conseguenza lo slave è obbligatoriamente nella condizione imposta dal master. Successivamente, quando il clock passa a livello alto il flip-flop slave viene disabilitato, e viene inibita la comunicazione tra quest'ultimo e il master; gli ingressi dello slave rimangono perciò nella condizione definita dallo stato precedente. Le uscite del master, abilitato dal clock a 1, risentono invece l'influenza degli ingressi J e K e assumono lo stato imposto da questi. Come è facile notare, i collegamenti di reazione delle uscite Q e /Q determinano le equazioni degli ingressi del master, che sono definite da:  $S = \overline{Q} \times J$  e  $R = Q \times K$ . In questo modo è possibile separare il momento dell'acquisizione dello stato degli ingressi J e K da quello in cui questo stato determina l'eventuale commutazione delle uscite, evitando perciò la pericolosa situazione in cui entrambi si possano trovare contemporaneamente al valore 1. Inoltre, come si può osservare nella relativa tabella della verità, la logica che condiziona le prime due porte obbliga il master ad assumere lo stato determinato dagli ingressi J e K.

Rappresentazione schematica di un flip-flop T, e sua realizzazione pratica a partire da un bistabile J-K



J	K	CLK	Q	/Q
0	0	H	Q <sub>n</sub>	/Q <sub>n</sub>
1	0	H	1	0
0	1	H	0	1
1	1	H	inverte	

Infine, quando il clock ritorna a livello basso, lo slave riproduce la situazione in cui si trova il master in quell'istante, per cui quest'ultimo risulta isolato dall'esterno.



Rappresentazione schematica di un flip-flop D e sua realizzazione pratica a partire da un bistabile J-K

È opportuno precisare che in questo tipo di bistabili lo slave può commutare solamente nell'istante in cui il clock passa da livello alto a basso, poiché solo in quel momento i suoi ingressi vengono abilitati. D'altra parte, il master si trova collegato agli ingressi J e K per tutto il tempo in cui il clock si trova a livello alto, per cui può commutare in corrispondenza di qualsiasi variazione si verifichi sugli ingressi J e K durante questo intervallo di tempo.

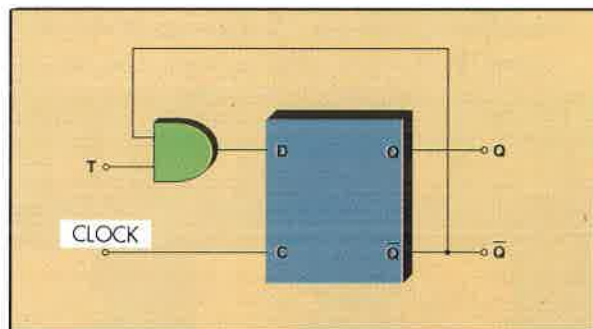
Per evitare questa situazione, e per ottenere un corretto funzionamento del flip-flop, è necessario che gli impulsi di clock siano di breve durata in rapporto al loro periodo di ripetizione, e che gli ingressi J e K rimangano costanti per tutto il periodo di permanenza del clock a livello 1.

### IL FLIP-FLOP TIPO D

Un altro flip-flop molto utilizzato nei PC o nelle sue periferiche è quello di tipo D. Il suo funzionamento è simile a quello dei circuiti analogici *sample & hold* (di campionatura e mantenimento), per cui può essere considerato come un bistabile in grado di generare un ritardo.

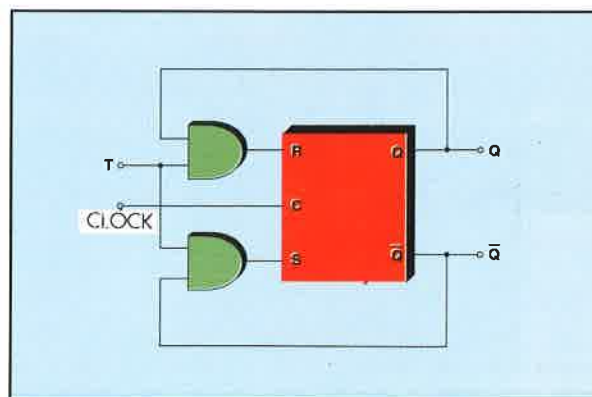
Questo tipo di flip-flop si ottiene partendo da un bistabile J-K, al quale viene aggiunto un invertitore in modo che l'ingresso K diventi complementare all'ingresso J, come indicato nella figura corrispondente. Così facendo il flip-flop di tipo D risulta

dotato solamente di un ingresso di segnale o dato, e di un ingresso di clock o di controllo, che in questo caso è chiamato *enable*; inoltre, l'uscita Q è generalmente singola, e viene sdoppiata solamente quando il circuito richiede anche la presen-

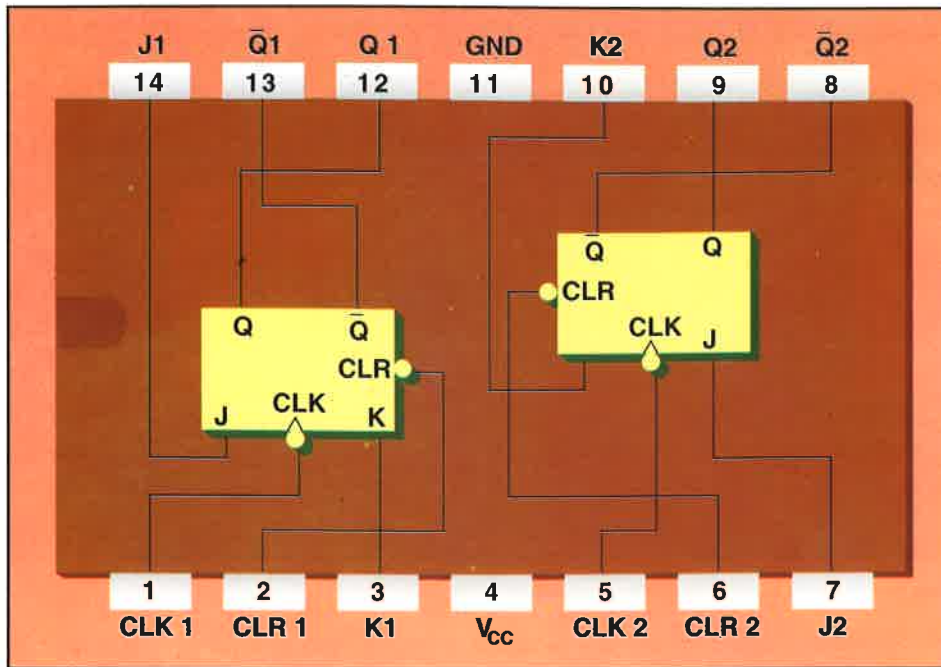


Flip-flop T ricavato da un flip-flop D

za del valore complementare  $\bar{Q}$ . Il suo funzionamento è molto semplice: quando sull'ingresso C di controllo è presente un livello alto, l'uscita assume in qualsiasi istante il valore presente all'ingresso



Se si applicano agli ingressi di un flip-flop R-S due porte AND, e si collegano in modo opportuno, si ottiene un bistabile T



Rappresentazione interna di un circuito integrato costituito da due flip-flop J-K master-slave, con ingresso di clear e uscite complementari

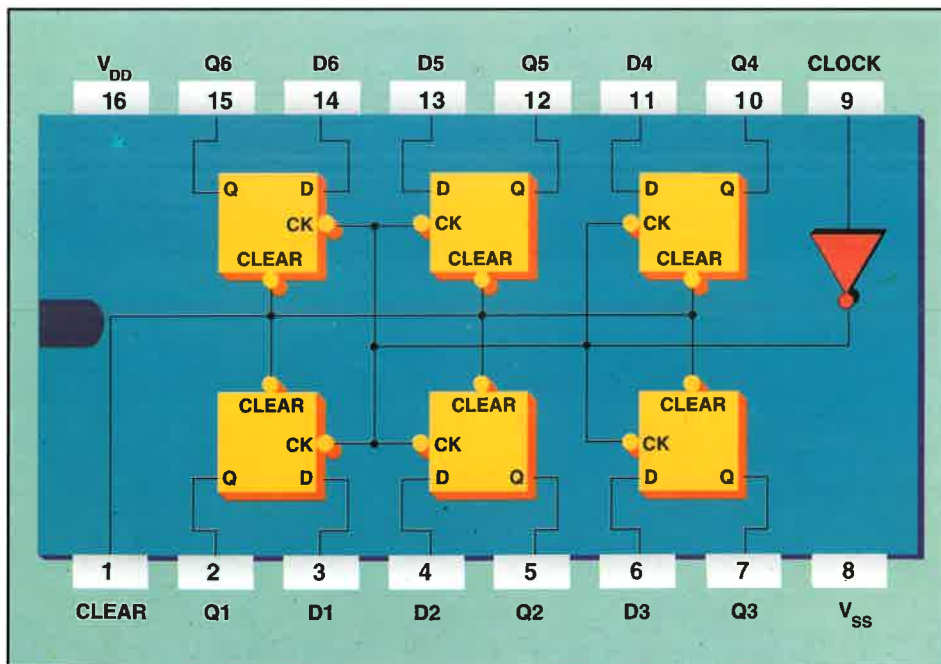
D. Quando invece il segnale di enable commuta a 0, l'uscita mantiene, o per meglio dire memorizza, l'ultimo valore presente sull'ingresso D. Se il dato inviato all'ingresso D del flip-flop viene

definito come un bit, il suo trasferimento all'uscita avviene al successivo impulso di clock, per cui il dispositivo funziona come elemento che ritarda di un bit. Questo tipo di bistabile può essere indicato anche con il nome di *D-latch*.

### IL FLIP-FLOP DI TIPO T

Come ultimo elemento della famiglia viene analizzato un bistabile che, anche se non è molto utilizzato nei calcolatori, può diventare utile quando si esegue qualche progetto personalizzato.

Questo flip-flop può essere realizzato partendo da uno qualsiasi dei flip-flop esaminati in precedenza, come si può osservare nelle figure corrispondenti. Il sistema più semplice per realizzarlo è quello di unire le due porte di un flip-flop J-K. Questo dispositivo commuta lo stato dell'uscita a ciascun impulso di clock, per cui si può dire che agisce come un interruttore con memoria. Una delle sue applicazioni più tipiche è nel campo della divisione di frequenza, della quale si è già parlato nei capitoli precedenti.



Schema interno di un circuito integrato in tecnologia CMOS, nel quale sono incorporati 6 flip-flop D



# I REGISTRI A SCORRIMENTO

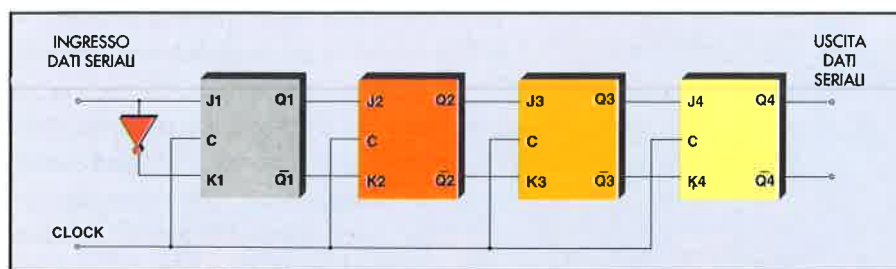
**Proseguendo in ordine di importanza nella descrizione della logica sequenziale che è possibile trovare all'interno del PC, questo capitolo viene dedicato all'approfondimento dei circuiti definiti registri a scorrimento.**

**U**n registro è costituito da un blocco funzionale destinato a memorizzare o registrare una informazione binaria per un determinato intervallo di tempo, durante l'elaborazione dell'informazione stessa.

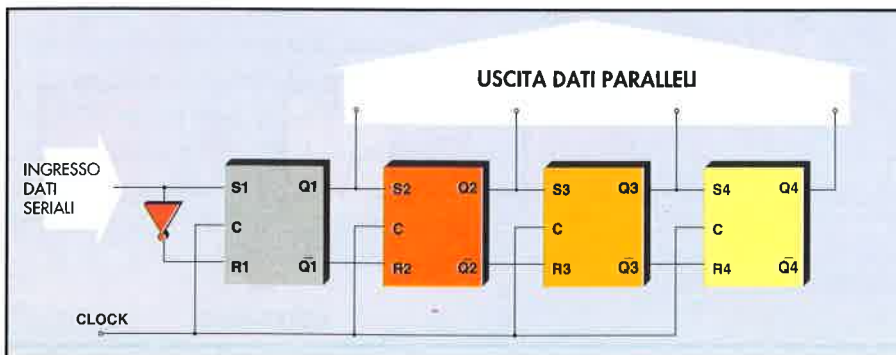
Poiché un bistabile è in grado di memorizzare un solo bit, corrispondente ad un livello logico 1 o 0, l'insieme di più bistabili costituisce un registro a più bit. Pertanto, un registro può essere definito come un circuito di memoria temporanea con capacità limitata, pari al numero di bistabili che lo compongono.

Esistono diversi sistemi per inviare l'informazione al registro, e successivamente prelevarla per trasferirla ad altri registri. I dati da trasferire al registro, come quelli da prelevare dallo stesso per inviarli all'esterno, possono essere disponibili in serie o in parallelo.

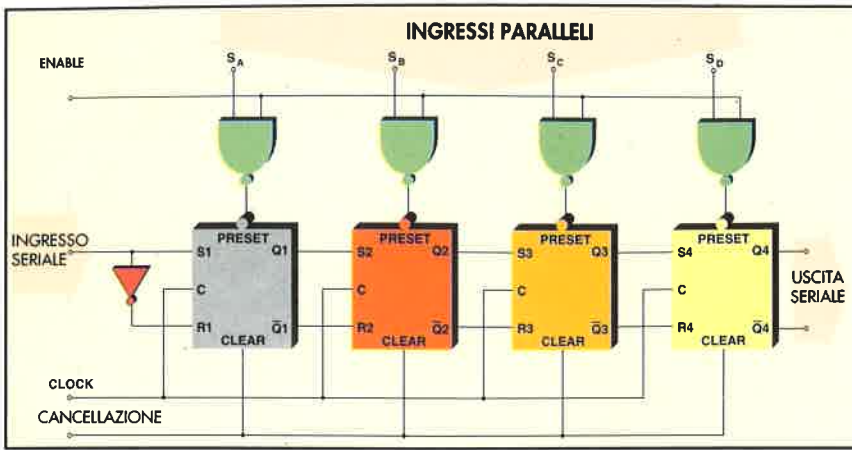
Con il metodo di *trasferimento seriale* dei dati viene utilizzata una sola linea, e i bit vengono inviati uno dopo l'altro in accordo con un clock di sistema. Con il metodo di *trasferimento parallelo* invece, vengono utilizzati tanti ingressi o uscite quanti sono i bit che costituiscono l'informazione.



*Shift register serie-serie con flip-flop J-K master-slave, utilizzato per evitare problemi relativi ai ritardi dovuti alle diverse velocità di propagazione*



*Shift register con ingresso seriale e uscita parallela*



Quando è necessaria una informazione di tipo seriale, e i dati sono disponibili in blocchi di bit di determinata grandezza, si può utilizzare uno shift register di tipo PISO

Quando al registro viene richiesta, oltre che la funzione di memorizzazione, anche la possibilità di effettuare uno spostamento relativo dei bit da un bistabile ad un altro, si è in presenza di un dispositivo definito *registro a scorrimento*, o shift register.

**TIPI DI REGISTRI A SCORRIMENTO**

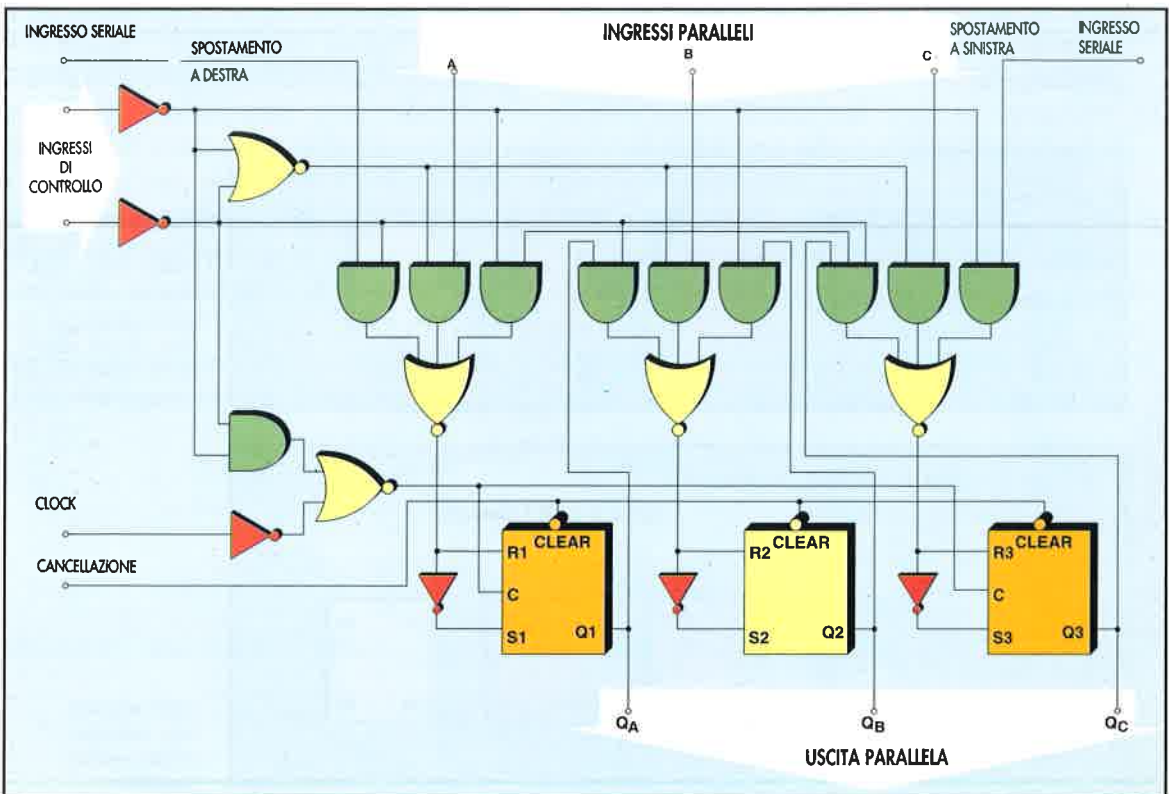
Un *registro a scorrimento* (in inglese shift register) è costituito essenzialmente da un gruppo di flip-flop concatenati tra di loro. L'uscita di ogni bistabile è collegata all'ingresso di quello succes-

sivo e l'impulso di clock, che è unico, viene inviato contemporaneamente a tutti i flip-flop per farli operare in modo sincrono.

Generalmente per la costruzione dei registri a scorrimento vengono utilizzati dei flip-flop R-S o J-K master-slave, con innesco sul fronte di salita o di discesa e con ingressi asincroni di Preset e Clear; è però possibile realizzare uno shift register anche utilizzando bistabili di tipo D.

Il funzionamento è molto semplice: il dato presente sull'ingresso si sposta di una posizione a ciascun impulso di clock, fino a raggiungere l'uscita. Si supponga di avere diversi bistabili di tipo D concatenati, nei quali l'uscita di uno rappresenta l'ingresso del successivo, e di applicare il dato 1 all'ingresso del primo flip-flop.

Il primo impulso di clock abilita il primo flip-flop, e l'1 di ingresso viene trasferito in uscita; questa diventa l'ingresso del secondo flip-flop, che assume il livello logico 1. Al secondo impulso di clock l'1 presente all'ingresso del secondo flip-flop viene trasferito in uscita e diventa l'ingresso del terzo flip-flop, e così via. Agendo in questo modo lo shift register è in grado di spostare l'informazione in modo seriale, e di generare un ritardo della stessa di un numero di impulsi di clock pari al numero di flip-flop che costituiscono il dispositivo.



Shift register bidirezionale, utilizzato quando si devono far scorrere indifferente informazioni da destra a sinistra o viceversa

Gli shift register possono essere così classificati:

- *SIPO* (Serial Input, Parallel Output): ingresso seriale, uscita parallela,
- *SISO* (Serial Input, Serial Output): ingresso seriale, uscita seriale,
- *PISO* (Parallel Input, Serial Output): ingresso parallelo, uscita seriale,
- *PIPO* (Parallel Input, Parallel Output): ingresso parallelo, uscita parallela,
- *Registri universali*: ingresso parallelo o seriale, uscita parallela o seriale, scorrimento bidirezionale.

Di seguito viene esaminato il funzionamento dei dispositivi indicati in precedenza.

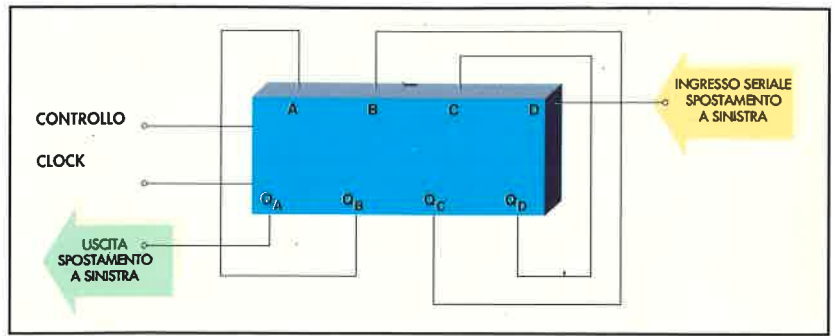
**Ingresso seriale, uscita seriale:** questo registro è composto da diversi bistabili J-K master-slave innescati dal fronte di salita del segnale di clock. Nello schema riportato dalla figura corrispondente, il registro SISO è costituito unicamente da quattro flip-flop. In ogni flip-flop, escluso il primo, il livello logico degli ingressi è determinato dall'uscita di quello che lo precede, come detto nell'introduzione generale dell'argomento.

Con riferimento allo schema proposto, ad esempio, se ad un certo istante su J1 è presente il livello logico 1, questo si sposterà ad ogni impulso di clock verso il flip-flop di destra. Si deve tenere presente che per tutti i bistabili si suppone che le uscite si trovino inizialmente a livello logico 0, poiché è possibile forzarle a questa condizione grazie agli ingressi asincroni di Preset o Clear che non compaiono nello schema della figura.

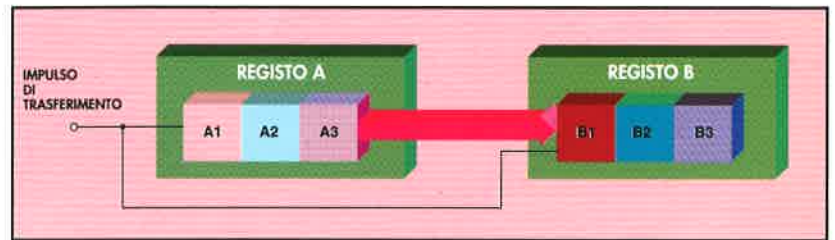
Si può anche notare che la cadenza del clock può essere maggiore o minore della frequenza degli impulsi originali, per cui si possono utilizzare questi registri per cambiare il periodo di un codice binario.

**Ingresso seriale, uscita parallela:** per capire il funzionamento di questo tipo di registro si fa riferimento al circuito riportato nella figura corrispondente. Come condizione iniziale i flip-flop vengono inizializzati applicando uno 0 sull'ingresso di Clear, non rappresentato nello schema per semplificare la comprensione, in modo che le uscite risultino tutte a livello logico 0. Successivamente si porta questo segnale a livello 1, mantenendo il Preset (impostato ad 1) costantemente a livello logico 1.

Applicando un treno di dati seriali e gli impulsi sincroni di clock, in seguito all'abilitazione del

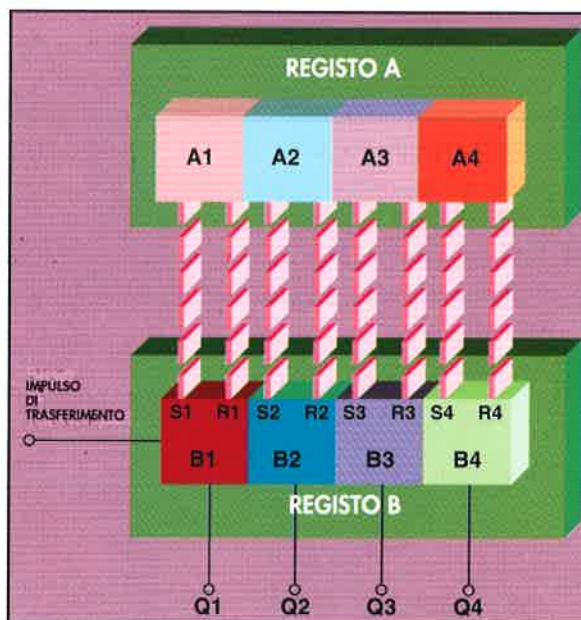


Collegamenti che devono avere gli ingressi e le uscite quando si desidera realizzare lo spostamento in entrambe le direzioni

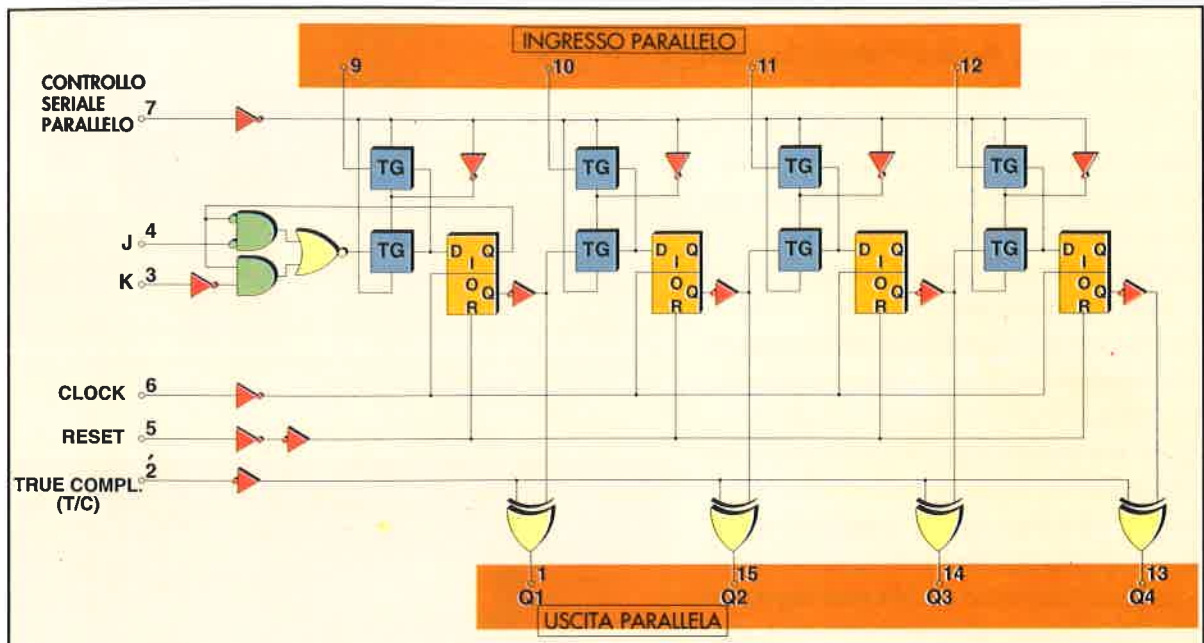


Un'applicazione degli shift register è nel campo della trasmissione dei dati; in questo caso la comunicazione avviene tra due registri in serie

bistabile di tipo D il bit meno significativo di questi entra nel primo flip flop quando il clock passa da livello 0 a livello 1. A causa di questo impulso di clock l'1 viene trasferito sull'uscita Q1 e, di conseguenza, all'ingresso del secondo flip-flop; tutte le altre uscite Q rimangono a livello logico 0. Al secondo impulso di clock, lo stato di Q1 viene trasferito sull'uscita Q2 del secondo bistabile, costituito da un flip-flop di tipo R-S. Contemporaneamente



A volte è necessario inviare informazioni a blocchi completi, per cui bisogna utilizzare il collegamento in parallelo di due registri



Schema caratteristico di un registro di scorrimento, o shift register, a 4 bit di tipo PISO

neamente il bit successivo del treno di dati entra nel primo flip-flop e viene trasferito sulla sua uscita Q1. Al terzo impulso di clock la condizione logica di Q2 viene trasferita all'uscita Q3, quella di Q1 all'uscita Q2, e il terzo bit entra nel primo bistabile. In questo modo, grazie ad uno scorrimento successivo delle uscite, al termine del ciclo queste assumono lo stato dei bit che formavano il treno di dati iniziale, per cui possono essere prelevate in modo simultaneo e parallelo.

**Ingresso parallelo, uscita seriale;** viene considerato di seguito il caso in cui i bit relativi all'informazione siano disponibili in forma parallela e si desidera rappresentarli in forma seriale. Il circuito che può eseguire questa funzione è rappresentato nella relativa figura.

Per semplicità, si suppongano i valori relativi ai bit tutti corrispondenti all'1 logico. Il bit meno significativo viene applicato ad  $S_D$ , il successivo ad  $S_C$ , e così via. Per prima cosa è necessario azzerare

tutti i registri, impostando il segnale di cancellazione a 0 e mantenendolo in seguito ad 1. Applicando sulla linea di ENABLE (abilitazione) un 1 vengono abilitate tutte le porte NAND di ingresso, poiché anche tutte le S risultano a 1.

Le uscite di queste porte assumono di conseguenza il valore logico 0, ma i segnali di Preset dei flip-flop assumono il livello 1, poiché vengono invertiti prima di entrare nel relativo stadio. Nel caso in esame tutti i flip-flop risultano abilitati, e l'informazione viene scritta nei registri in modo parallelo quando arriva il segnale di clock. La stessa informazione può essere letta in modo seriale dopo 4 impulsi di clock.

Se gli ingressi e le uscite sono entrambe in parallelo, il sistema non funziona come uno shift register propriamente detto, poiché non richiede alcun clock.

Ogni flip-flop viene usato semplicemente come una memoria isolata di lettura-scrittura da un bit.

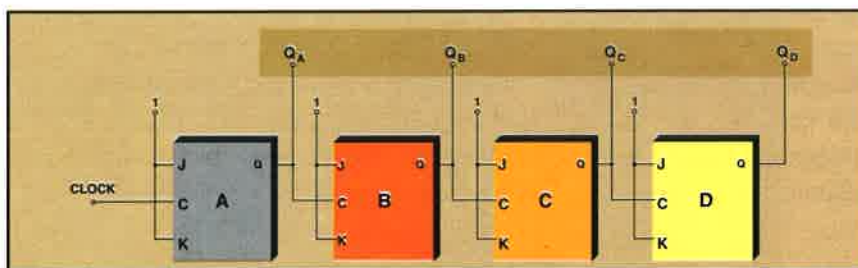
# I CONTATORI ASINCRONI

Una delle applicazioni tipiche dei registri di scorrimento esaminati nel capitolo precedente è costituita dai contatori. Questi possono essere suddivisi in due grandi categorie: contatori asincroni e contatori sincroni.

**U**n contatore può essere considerato come un circuito in grado di ricordare il numero degli impulsi che gli sono stati applicati.

Essenzialmente, i contatori digitali sono catene di bistabili reazionati con diversi sistemi. La loro importanza è notevole per le numerosissime applicazioni a cui sono destinati, tra le quali si segnalano: acquisizione di dati, divisione di frequenza, ecc. Prima di iniziare lo studio dei contatori asincroni, è opportuno esaminarne il principio di funzionamento con riferimento a dispositivi parti-

colari definiti *contatori ad anello*. Se si collega l'uscita del bit meno significativo di uno shift register a cinque bit all'ingresso serie, si ottiene una memoria a scorrimento che può essere definita un contatore ad anello, o chiuso. Si supponga che tutti i flip-flop si trovino a 0 e che l'ultimo sia abilitato in modo tale che la sua uscita sia a 1 mentre quelle degli altri flip-flop sono a 0. Il primo impulso di clock trasferisce lo stato dell'ultimo bistabile al primo della catena, per cui l'uscita di questo diventa 1 mentre le restanti rimangono o si portano a 0. Gli impulsi di clock successivi trasfe-



Con una catena di quattro bistabili di tipo T è possibile ottenere un dispositivo definito contatore asincrono

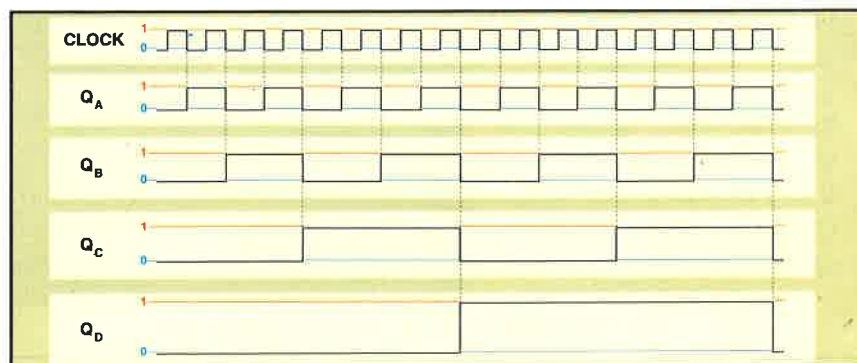
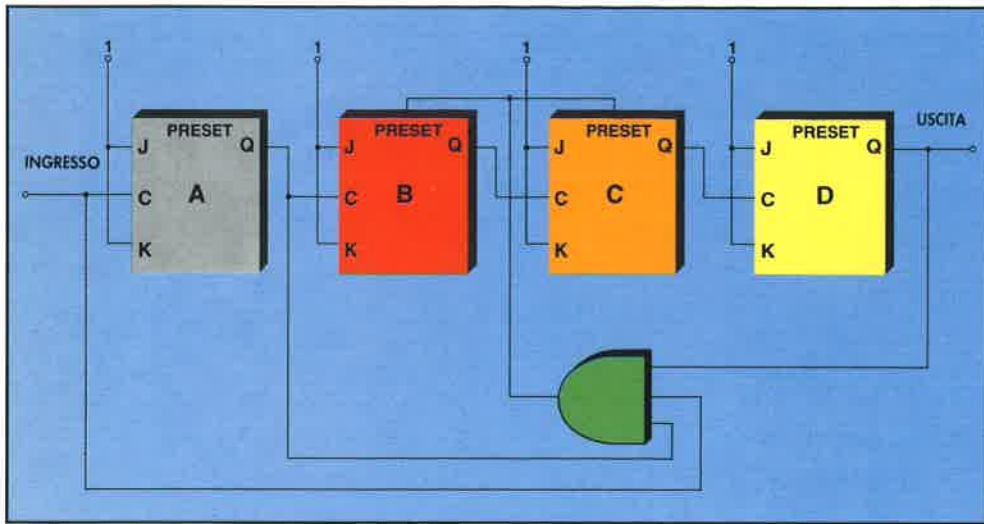


Diagramma temporale delle uscite di ogni bistabile in funzione del segnale di clock

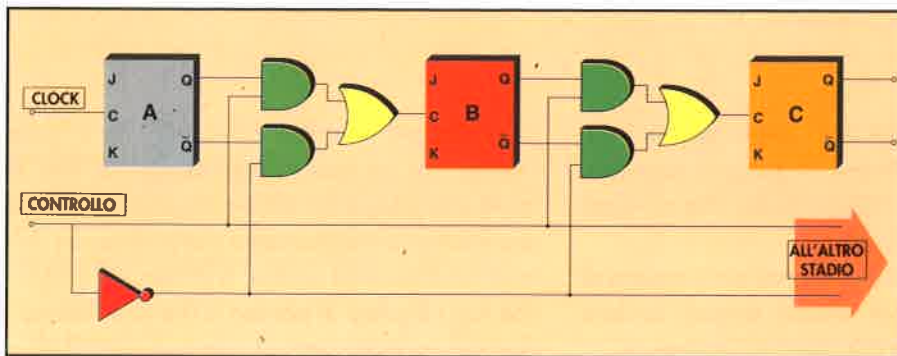


Esistono alcune varianti dei contatori asincroni, come ad esempio questo contatore decadico

tutti gli stadi gli ingressi J e K sono collegati all'alimentazione, in modo che il loro valore logico sia sempre 1. Questa condizione converte ogni stadio in un bistabile di tipo T.

Bisogna ricordare che per un flip-flop di tipo T con ingresso a 1 il master cambia di stato ogni volta che il segnale di clock passa da 0 a 1, e che la nuova uscita del bistabile viene trasferita allo slave quando il clock passa da 1 a 0. Questo cambio di stato richiede le seguenti condizioni:

- che l'uscita  $Q_A$  cambi di stato



Aggiungendo due circuiti AND-OR si ottiene un contatore asincrono reversibile

riscono progressivamente lo stato dell'uscita precedente a quella successiva secondo un percorso chiuso che viene chiamato anello. Il conteggio degli impulsi di clock applicati può essere "letto" semplicemente osservando quale flip-flop si trova alla stato 1, e per fare questo non è necessario utilizzare un decodificatore.

Questi contatori ad anello non sfruttano completamente i flip-flop, poiché con cinque stadi si ottiene un contatore con rapporto 5:1, mentre 5 flip-flop possono definire 32 stati (ottenuti elevando 2 alla quinta potenza).

**CONTATORI ASINCRONI FONDAMENTALI**

Viene presa in esame una catena di 4 flip-flop J-K master-slave, ognuno con l'uscita collegata all'ingresso di clock del bistabile seguente, come si può osservare nella figura corrispondente.

Gli impulsi che devono essere conteggiati vengono applicati all'ingresso di clock del flip-flop A. In

durante il fronte di discesa di ciascun impulso, - che tutte le altre uscite eseguano una transizione quando l'uscita del flip-flop precedente passa da 1 a 0. Questa condizione è valida per tutti i bistabili che formano il contatore, dal bit meno significativo al bit più significativo.

Seguendo queste due regole si ottiene il diagramma temporale rappresentato nella figura corrispondente. La tabella che segue riporta lo stato di tutti i bistabili in funzione del numero di impulsi esterni applicati:

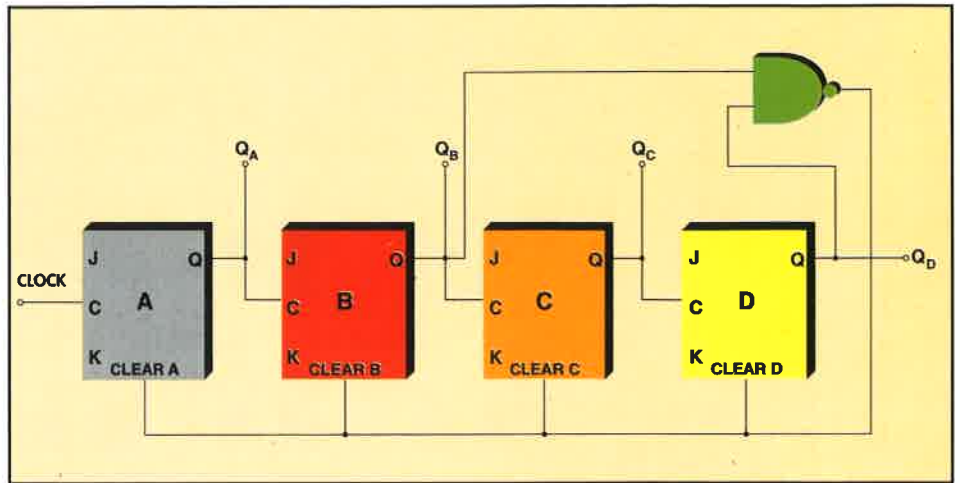
$Q_0$	$Q_1$	$Q_2$	$Q_3$	N. IMPULSO
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

Questa tabella può essere verificata direttamente con le forme d'onda del diagramma corrispondente. Come si può facilmente osservare, in ogni linea le uscite attive corrispondono alla rappresentazione binaria del numero degli impulsi di ingresso, per cui la catena dei bistabili esegue un conteggio nel sistema binario. Tra i contatori asincroni vi sono alcune varianti che è opportuno esaminare.

**CONTATORE ASINCRONO**

**DECADICO**

Si tratta di un contatore asincrono particolare di notevole importanza. Essenzialmente costituisce un divisore di frequenza per un numero di impulsi pari a 10. La sua struttura può essere facilmente ricavata dalle considerazioni fatte in precedenza, ed è quindi interessante vederne il funzionamento. Il numero dei flip-flop richiesti corrisponde al valore che bisogna assegnare alla potenza di due per ottenere almeno il numero degli impulsi applicati (che in questo caso è pari a 10); l'esponente necessario sarà 4, poiché  $2^3 = 8 < 10$ , per cui non si ottiene il numero di impulsi applicati, e  $2^4 = 16 > 10$ . In accordo con questa premessa, il divisore è costituito dal circuito indicato nella rispettiva figura.



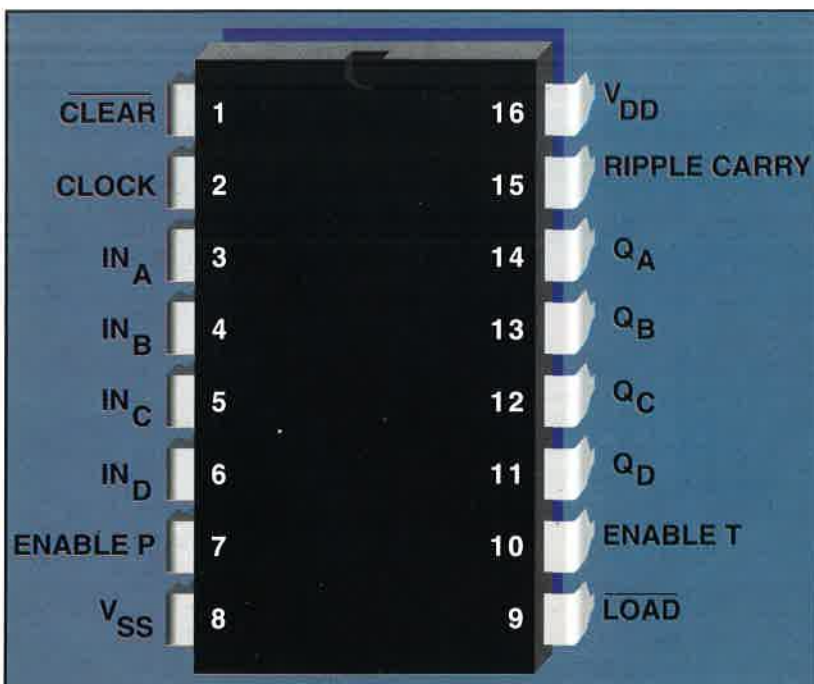
Con una semplice porta NAND, e abilitando il segnale asincrono di Clear, si può realizzare un contatore decadico

Il circuito esegue un conteggio con il codice BCD (Binary Code Decimal), nel quale i digit binari hanno come peso le prime quattro potenze di 2, vale a dire 8, 4, 2, 1.

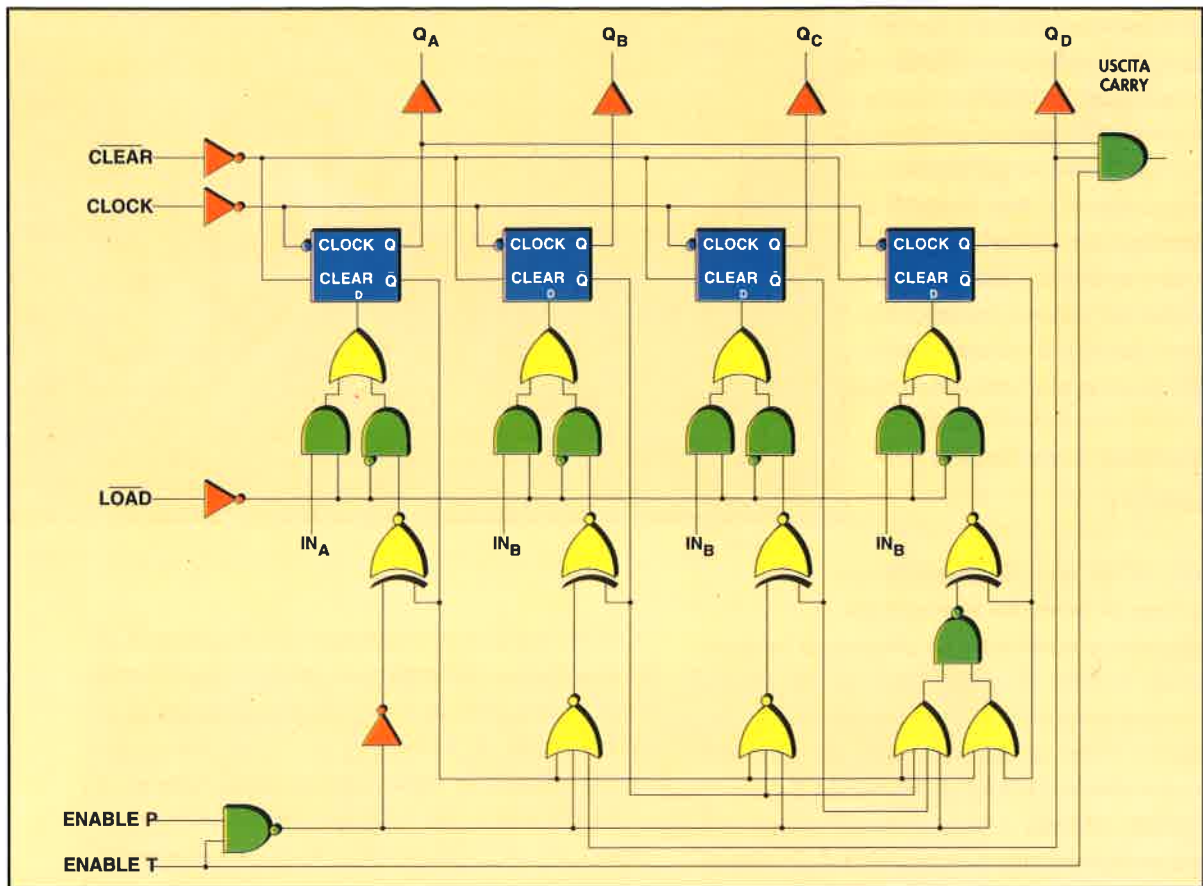
I nove primi stati del contatore sono identici a quelli del contatore binario. La transizione, o ritorno allo stato 0 dallo stato 9, avviene nel modo seguente:

1. - sul fronte di salita dell'impulso di ingresso numero 10 tutti i flip-flop si portano allo stato 1 a causa della reazione sul segnale di Preset dei bistabili B e C,
2. - sul fronte di discesa dell'impulso di ingresso numero 10 tutti i flip-flop cambiano di stato e sulle loro uscite sarà presente uno 0.

Da quanto visto sinora relativamente ai contatori asincroni, già si possono osservare le limitazioni che li rendono inservibili per determinate applicazioni. A volte infatti, il contatore passa transitoriamente per una serie di stati non desiderati. Ad esempio, nel contatore decadico si può osservare



Disposizione dei terminali di un circuito integrato che contiene un contatore decadico controllato dal segnale asincrono di Clear



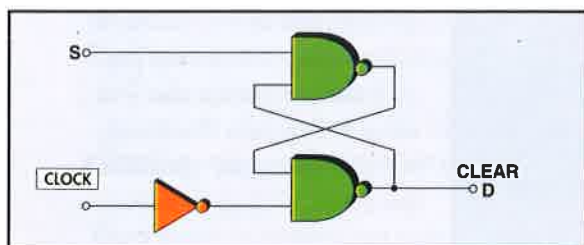
Elementi circuitali interni di un contatore decadico integrato

che per effetto dei ritardi nei bistabili si verificano degli stati di transizione quando viene eseguito il salto da 9 a 10.

La separazione tra gli impulsi oggetto del conteggio, corrispondente alla massima frequenza di lavoro del contatore, dipende dalla somma dei ritardi di ciascun bistabile; questi ritardi sono cumulativi poiché ciascun flip-flop viene innescato dalla transizione dell'uscita che lo precede.

Gli stati stabili del contatore non vengono sempre raggiunti in modo contemporaneo, ma dipende dal numero dei flip-flop che devono innescarsi per raggiungere lo stato previsto.

Tutti questi inconvenienti si risolvono in parte o totalmente con il contatore sincrono, caratterizzato soprattutto dal fatto che i bistabili di cui è composto si innescano contemporaneamente. Questa condizione si ottiene aggiungendo qualche elemento al circuito combinatorio di reazione dei flip-flop, che nel caso di contatori asincroni si riduce quasi sempre ad una sola porta logica.



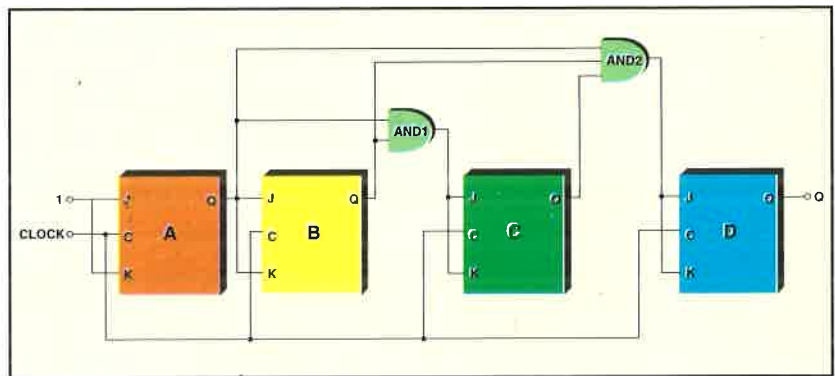
Per risolvere alcuni problemi legati al ritardo di propagazione è possibile aggiungere questo circuito sull'uscita del contatore decadico



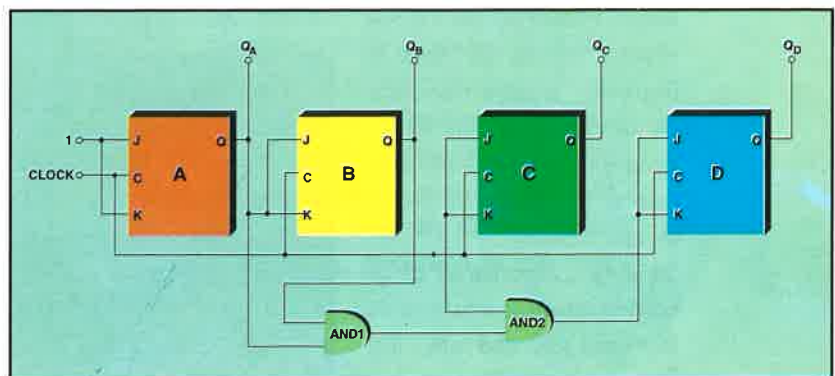
# I CONTATORI SINCRONI

**Nei contatori asincroni, esaminati nel capitolo precedente, i bistabili commutavano in modo seriale. Con i contatori sincroni invece, è possibile trasportare i dati sia in modo seriale che parallelo.**

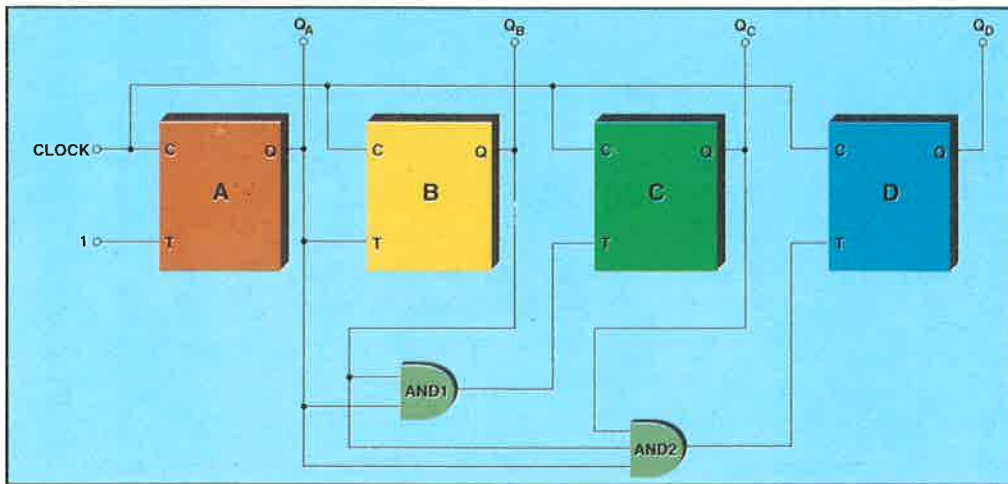
**n**el capitolo precedente si è visto che i bistabili utilizzati nei contatori asincroni hanno un segnale fisso applicato in modo permanente ai loro ingressi J-K o T, e che la loro commutazione viene abilitata da un segnale di clock. Quest'ultimo proviene dal bistabile precedente per cui, per ottenere la commutazione dell'ultimo bistabile della catena, è necessario che tutti quelli che lo precedono commutino il loro stato. Di conseguenza, se il ritardo di ogni bistabile viene indicato con  $t$ , un contatore formato da  $n$  bistabili tenderà a cambiare completamente di stato dopo un ritardo totale pari a  $n \times t$ ; questa condizione limita l'impiego di questi contatori alle basse frequenze.



*Utilizzando la trasmissione seriale, come avviene in un contatore asincrono, i tempi di propagazione aumentano limitando la frequenza degli impulsi di clock*



*Contatore sincrono con trasmissione seriale*



I bistabili che normalmente vengono utilizzati per la costruzione dei contatori sincroni sono di tipo T

Volendo verificare questa affermazione, si può considerare la situazione seguente. Il tempo di propagazione è il tempo richiesto da un contatore per completare la sua risposta ad un impulso di ingresso. Questo tempo, in un contatore asincrono, è direttamente proporzionale al numero di bistabili che formano il dispositivo, e perciò al numero di stadi che devono essere attivati in successione. In questa condizione infatti, un nuovo impulso fa cambiare di stato solo tutti i flip-flop che hanno già subito una commutazione in precedenza.

Qualsiasi bistabile, infatti, non risponde finché lo stadio che lo precede non ha completato la transizione; di conseguenza, poiché l'impulso di clock si propaga attraverso la catena dei flip-flop, il suo tempo di trasferimento assume un valore finale pari alla somma dei ritardi di propagazione di tutti i bistabili interessati. Se è presente un numero di stadi sufficientemente alto, il tempo di trasferimento può risultare maggiore dell'intervallo di tempo che trascorre tra due diversi impulsi di clock di ingresso; questa condizione rende praticamente impossibile la lettura del contatore tra due impulsi di clock.

Se il funzionamento di un contatore viene trasformato in modo tale che tutti i flip-flop risultino azionati contemporaneamente dall'im-

pulso di clock ingresso, il tempo di propagazione può essere notevolmente ridotto. La cadenza della ripetizione è limitata solo dal ritardo di un qualsiasi dei bistabili e dal tempo di propagazione delle porte di controllo presenti. Normalmente la frequenza massima di funzionamento di un contatore sincrono con quattro bistabili è di 55 MHz, quasi il doppio di quella a cui può lavorare un contatore asincrono.

Un altro vantaggio del contatore sincrono è che sull'uscita i segnali sono sempre validi,

poiché tutti i flip-flop cambiano di stato contemporaneamente. Di conseguenza, quando si decodifica un contatore sincrono non è richiesto un impulso di conferma dei dati.

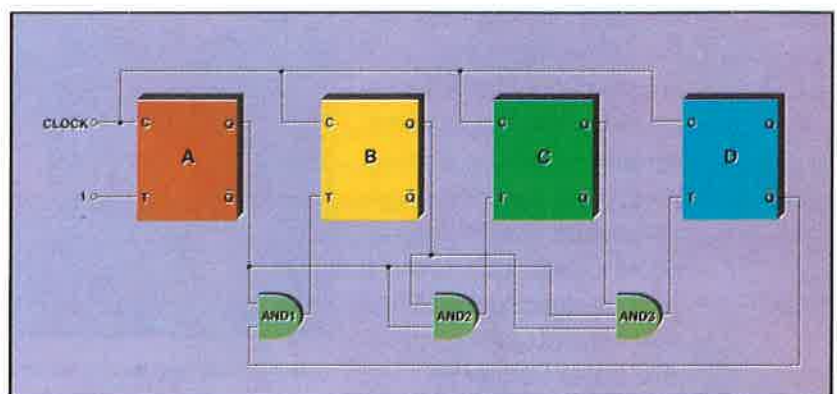
Questo fatto verrà esaminato con maggior dettaglio quando, nei prossimi capitoli, verranno trattati i decodificatori.

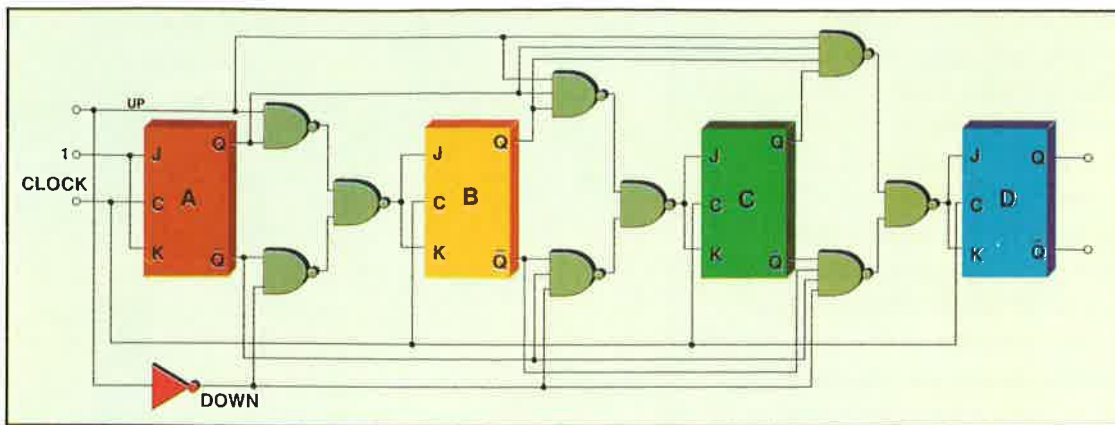
I contatori sincroni possono trasmettere i dati presenti ai loro ingressi sia in modo seriale che parallelo.

### TRASMISSIONE SERIALE

Come si può osservare nella figura corrispondente, il contatore sincrono è formato da quattro bistabili, tutti di tipo T, ottenuti partendo da flip-flop J-K nei quali i terminali J e K vengono collegati tra di loro. Come già si è visto nei capitoli precedenti, se all'ingresso di un bistabile di tipo T

Contatore sincrono decadico con trasmissione parallela





Contatore up/down con trasmissione parallela, nel quale le porte di controllo consentono di eseguire entrambe le funzioni

è presente lo stato logico 0, quando viene applicato un impulso di clock non si verifica alcun cambio di stato sulle uscite. Se invece  $J=K=1$ , l'uscita del flip-flop viene complementata ad ogni impulso.

Per ottenere un diagramma dei tempi analogo a quello ottenuto per il contatore asincrono si devono fare le seguenti premesse:

- per fare in modo che  $Q_A$  commuti a ciascun impulso di clock il valore dell'ingresso del primo bistabile deve essere 1,
- $Q_B$  può essere complementato da un impulso di clock solo quando  $Q_A$  vale 1, per cui l'ingresso del bistabile B è definito da  $Q_A$ ,
- solo quando  $Q_A$  e  $Q_B$  assumono valore 1  $Q_C$  può commutare a  $1/Q_C$ , per cui l'ingresso di questo flip-flop è definito dall'equazione  $Q_A \times Q_B$ ,
- proseguendo con questa logica, l'uscita dell'ultimo bistabile viene abilitata alla commutazione

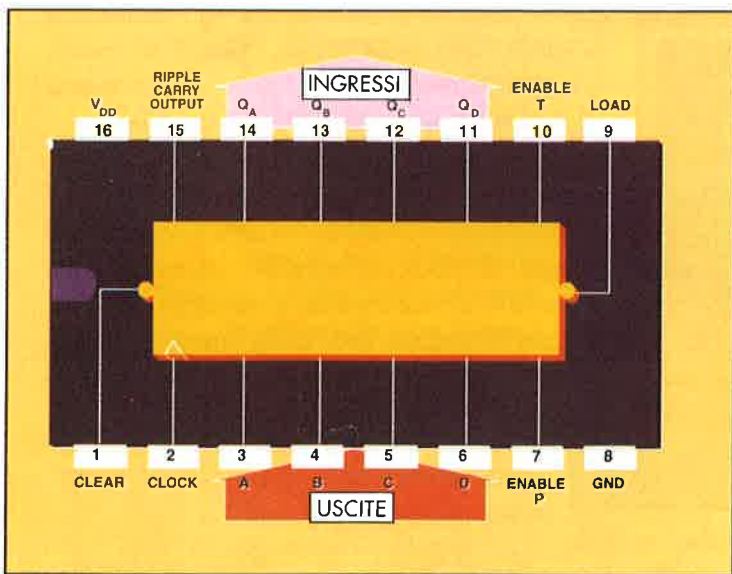
solo quando l'ingresso risulta definito dall'equazione combinatoria:  $Q_A \times Q_B \times Q_C$ .

Di conseguenza, per poter ottenere le suddette condizioni è necessario utilizzare due porte AND, come indicato nella figura. Il tempo minimo che deve intercorrere tra due impulsi di clock successivi è pari all'intervallo richiesto da ciascun J e K per raggiungere lo stato permanente, per cui la frequenza massima degli impulsi di clock deve essere uguale o inferiore all'inverso di questo valore.

**TRASMISSIONE PARALLELA**

La frequenza massima di funzionamento può essere aumentata utilizzando la trasmissione parallela, nella quale l'impulso di abilitazione di ciascun bistabile proviene da una porta AND a ingressi multipli costituiti dalle uscite dei flip-flop precedenti.

Utilizzando la stessa logica seguita per la descrizione della trasmissione seriale, si può dire che il segnale di ingresso dell'ultimo bistabile proviene da una porta AND a tre ingressi alimentata dalle uscite  $Q_A$ ,  $Q_B$  e  $Q_C$ . Il tempo minimo tra due impulsi di clock nella trasmissione di tipo parallelo, che è determinato dalla somma tra il tempo di propagazione di un flip-flop e quello di una porta AND, risulta decisamente inferiore



Schema di collegamento di un contatore sincrono a quattro bit

rispetto al corrispondente valore relativo alla trasmissione di tipo seriale, soprattutto se il numero dei bistabili che formano il contatore è elevato.

Tuttavia, la trasmissione in parallelo presenta alcuni inconvenienti:

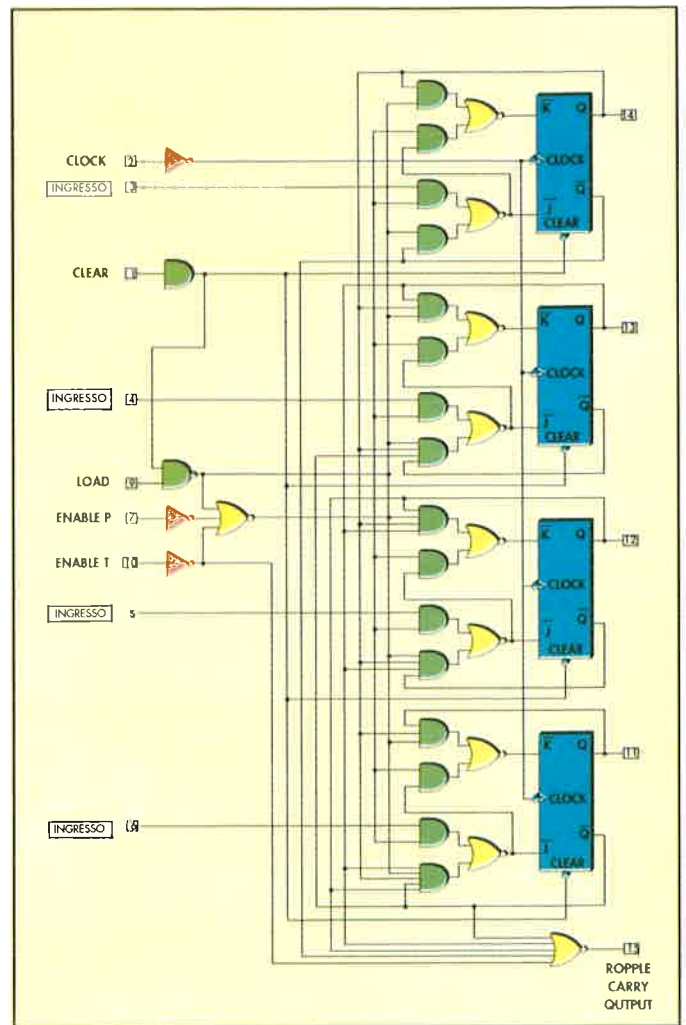
- maggior numero di ingressi delle porte,
- elevato carico che deve essere sopportato dai primi bistabili del contatore.

Dopo aver descritto le due tecniche di trasmissione dei dati nei contatori sincroni, di seguito viene esaminato un tipo particolare di dispositivo molto conosciuto dai progettisti elettronici.

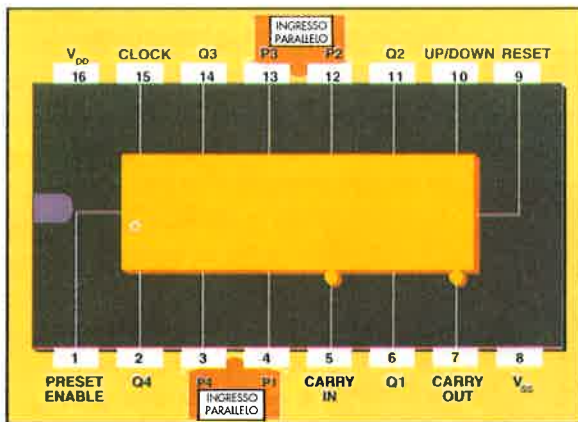
**CONTATORE REVERSIBILE**

Questo contatore utilizza la trasmissione di tipo parallelo. Un contatore diventa reversibile (up/down) se per gli accoppiamenti tra gli stadi viene utilizzata l'uscita /Q dei bistabili invece dell'uscita Q. Partendo da questo concetto è possibile costruire un contatore sincrono reversibile semplicemente inserendo alcune porte di gestione e di controllo tra i flip-flop, come si può osservare nella figura corrispondente. Queste porte di controllo sono costituite da una porta NAND-NAND.

Se le porte di controllo di un contatore asincrono reversibile erano dotate di due



Disposizione interna di un circuito integrato che contiene un contatore sincrono up/down



Circuito integrato in tecnologia CMOS che contiene un contatore binario up/down

ingressi, in un contatore sincrono il numero degli ingressi aumenta proporzionalmente al numero dei bistabili utilizzati. Gli ingressi aggiuntivi di queste porte sono utilizzati per la trasmissione parallela; detto in altro modo, i blocchi di controllo soddisfano entrambe le logiche, quella reversibile e quella della trasmissione in parallelo.

Esistono altri tipi di contatori, come quelli decadici, la cui funzione principale è quella della divisione per un numero multiplo di due della frequenza del segnale di clock di ingresso; anche se sono disponibili in commercio, i contatori decadici sincroni richiedono una configurazione estremamente complessa ed un costo di realizzazione molto elevato.

# I CODIFICATORI

**Quando si deve progettare un sistema digitale è necessario rappresentare o codificare in forma binaria l'informazione numerica e alfanumerica che deve essere gestita dal sistema stesso. Per effettuare questa trasformazione si possono utilizzare i circuiti combinatori denominati codificatori.**

**U**n *codificatore* è un circuito combinatorio dotato di un numero determinato di ingressi; di questi solo uno assume lo stato logico 1 in un dato istante, e genera in uscita un codice composto da diversi bit in funzione dell'ingresso eccitato. Per esprimere meglio questo concetto viene proposto un esempio. Si supponga di dover trasformare in codice binario il segnale generato dai tasti di una tastiera numerica, come può essere quella di una calcolatrice. Quest'ultima è generalmente dotata di almeno 10 tasti che rappresentano i numeri e di 6 tasti per i caratteri speciali; per semplificare l'esposizione però, si considerano solo le dieci cifre, che possono essere rappresentate in forma binaria con soli 4 bit. Inoltre, si suppone che la tastiera sia collegata in modo che la pressione di un tasto provochi la chiusura di una sola linea di ingresso; questa situazione circuitale si può osservare nella figura corrispondente. All'interno del blocco indicato come *codificatore* si possono immaginare alcuni conduttori incrociati che

uniscono ingressi e uscite tra di loro. Di seguito viene analizzato il modo con il quale devono essere internamente collegati per poter fornire in uscita i codici desiderati. Per rappresentare questi ultimi si è utilizzato un formato binario definito *codice BCD* (nel capitolo successivo verranno esaminati dettagliatamente i codici di numerazione più utilizzati nel progetto dei circuiti digitali). La

*Schema a blocchi di un codificatore a 10 ingressi e 4 uscite*

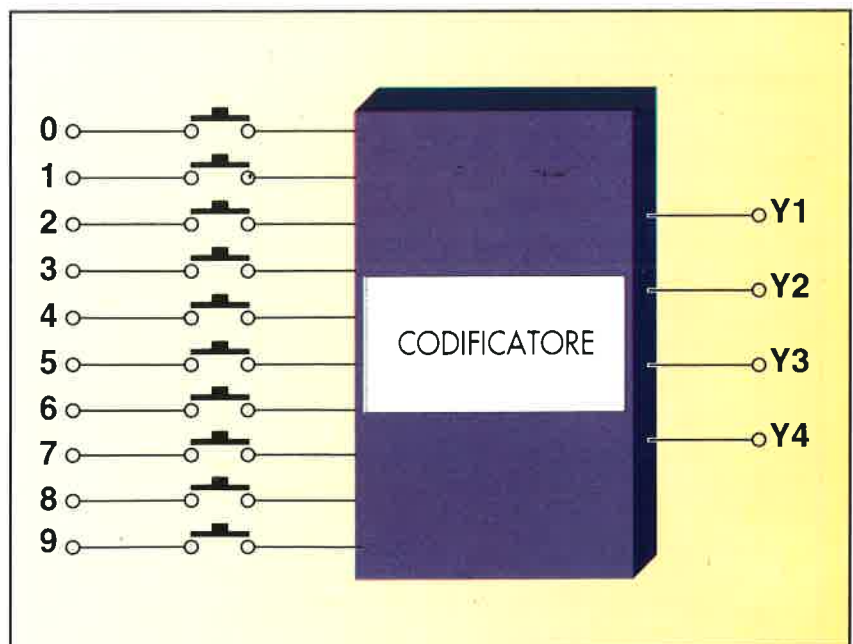


tabella della verità di questo codificatore è la seguente:

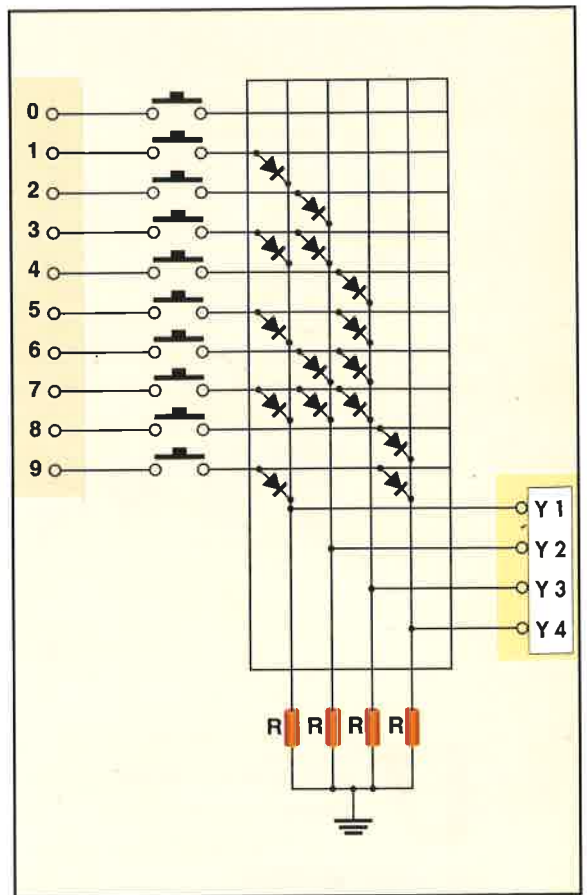
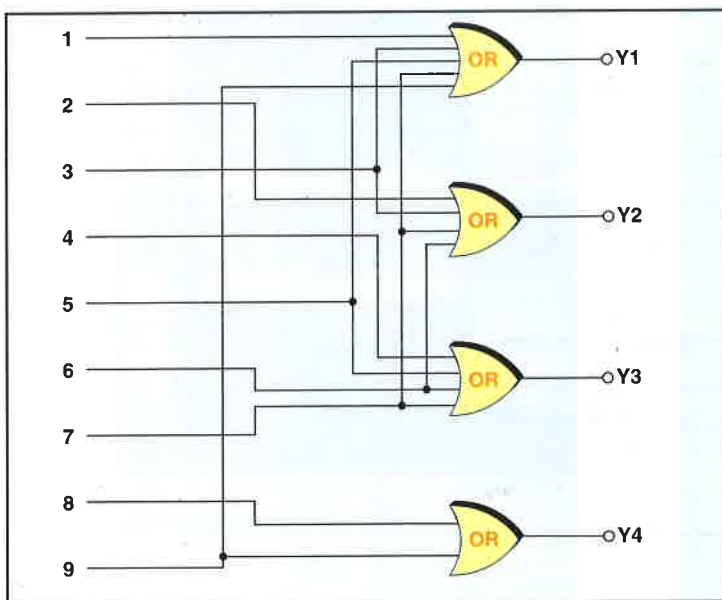
INGRESSI										USCITE			
9	8	7	6	5	4	3	2	1	0	Y4	Y3	Y2	Y1
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	0	0	0	1	0	0	0	0	0	1	0
0	0	0	0	0	1	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	1	0	0	0	0	0	0	0	1	0	1
0	0	1	0	0	0	0	0	0	0	0	1	1	0
0	0	1	0	0	0	0	0	0	0	0	1	1	1
0	1	0	0	0	0	0	0	0	0	1	0	0	0
1	0	0	0	0	0	0	0	0	0	1	0	0	1

Premendo uno qualsiasi dei pulsanti si commuta la corrispondente linea di ingresso al livello logico 1. Se per ipotesi non è possibile premere più di un pulsante alla volta, allora tutti gli ingressi saranno a livello 0 tranne quello corrispondente al pulsante premuto in quell'istante.

Osservando la tabella della verità di questo circuito, si può facilmente vedere che l'uscita Y1 assume il valore 1 quando vengono premuti i pulsanti 9, oppure 7, oppure 5, oppure 3, oppure 1, per cui la sua equazione booleana corrispondente risulta dalla somma degli ingressi 1, 3, 5, 7 e 9. Se si prosegue l'analisi della tabella si possono ottenere con lo stesso procedimento le equazioni che devono soddisfare le uscite Y2, Y3, e Y4.

Ogni equazione ricavata dalla tabella della verità può essere rappresentata con porte logiche co-

Realizzazione di un codificatore tramite porte OR



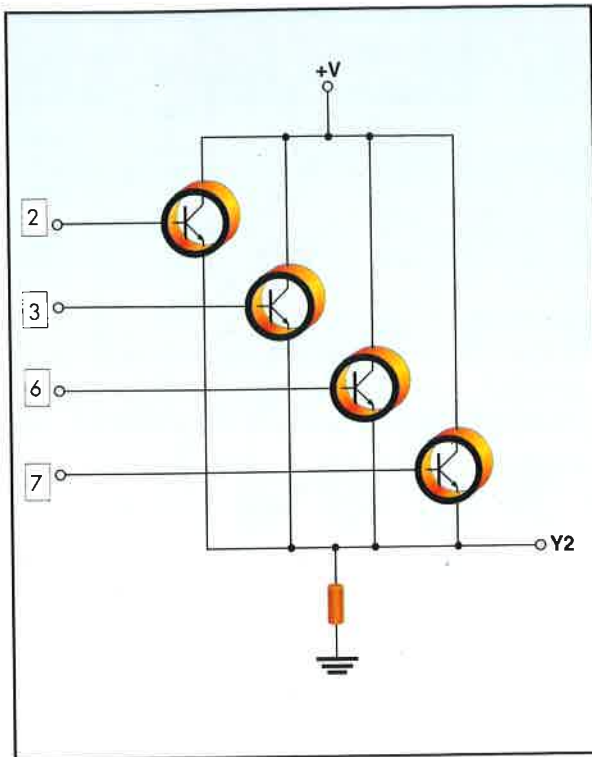
I tipi di codificatori più comuni sono quelli a matrice di diodi

struite con dei diodi. Nell'esempio proposto, il blocco codificatore che in precedenza era stato immaginato come un insieme di conduttori intrecciati tra di loro, viene di seguito rappresentato con un gruppo di diodi opportunamente collegati tra di loro; questo nuovo blocco viene definito *matrice di diodi* ed è rappresentato nella corrispondente figura.

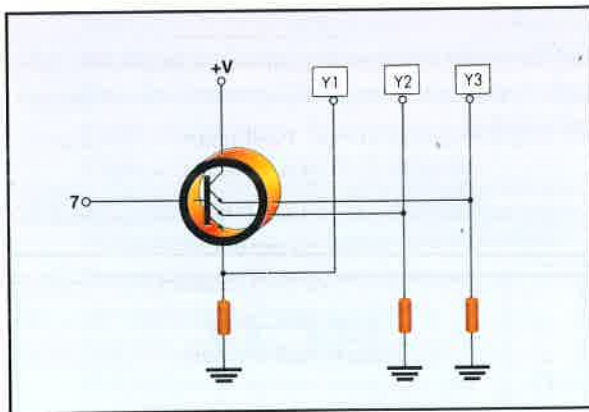
Questi diodi possono essere sostituiti anche con dei transistor, nei quali viene sfruttata la giunzione base-emettitore; se al collettore di ogni transistor viene collegata la tensione di alimentazione si ottengono delle configurazioni ad inseguitore di emettitore che formano delle porte OR, come si può osservare nella figura corrispondente.

In pratica però, per ogni ingresso del codificatore viene utilizzato un solo transistor a emettitore multiplo. La base viene collegata ad una linea di ingresso e ogni emettitore viene collegato ad una uscita diversa, in accordo con la logica del decodificatore.

La linea di ingresso 7 ad esempio, è collegata a tre diodi i cui catodi sono collegati alle uscite Y1,



I diodi possono essere sostituiti dalla giunzione base-emettitore di un transistor



La struttura più classica dei codificatori a matrice di diodi prevede l'utilizzo di un transistor multiemettitore per ciascuno degli ingressi

Y2 e Y3; questa combinazione potrebbe essere sostituita da un transistor con tre emettitori, collegato come nello schema riportato nella figura corrispondente.

Il numero massimo di emettitori richiesti è pari al numero dei bit che formano il codice di uscita. Normalmente un codificatore utilizza dei livelli TTL per cui le sue uscite possono essere di tipo *totem-pole* oppure a *collettore aperto*.

Di codificatori ne esistono di diversi tipi, come ad esempio quello descritto in precedenza a celle di

diodi oppure quelli definiti *codificatori a priorità*.

### CODIFICATORI A PRIORITÀ E SEGNALE DI ABILITAZIONE

Di seguito viene abbandonata l'ipotesi precedente, per cui non era ammissibile premere più di un tasto alla volta.

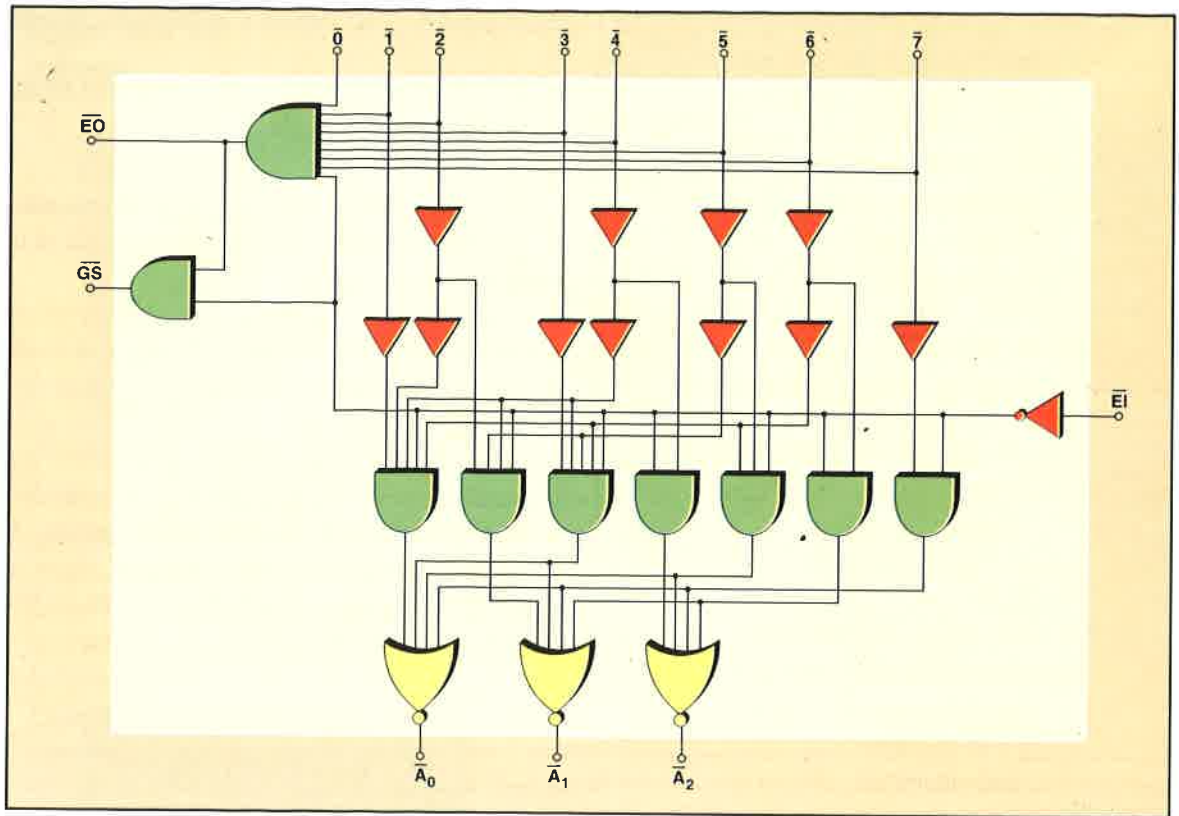
Se casualmente vengono premuti contemporaneamente più tasti, è necessario assegnare un livello di priorità alla linea di ingresso dei dati di ordine superiore.

Se ad esempio vengono premuti i tasti relativi agli ingressi 5 e 6, l'uscita deve corrispondere alla combinazione definita dall'ingresso 6. Per meglio comprendere questo tipo di decodificatori, viene di seguito riportata la loro tabella della verità:

INGRESSI										USCITE			
9	8	7	6	5	4	3	2	1	0	Y4	Y3	Y2	Y1
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	X	0	0	0	1
0	0	0	0	0	0	1	X	X	X	0	0	1	0
0	0	0	0	0	1	X	X	X	X	0	0	1	1
0	0	0	0	1	X	X	X	X	X	0	1	0	0
0	0	0	1	X	X	X	X	X	X	0	1	0	1
0	0	1	X	X	X	X	X	X	X	0	1	1	0
0	0	1	X	X	X	X	X	X	X	0	1	1	1
0	1	X	X	X	X	X	X	X	X	1	0	0	0
1	X	X	X	X	X	X	X	X	X	1	0	0	1

Questa tabella corrisponde a un *codificatore con priorità* 10 a 4 linee. La X indica che l'ingresso può assumere qualsiasi valore, poiché è irrilevante il fatto che sia 0 oppure 1. La disposizione diagonale dei valori 1 dimostra chiaramente come l'attivazione dell'ingresso relativo alla linea 9, quella a priorità maggiore, prevalga sull'attivazione di qualsiasi altro ingresso; infatti, qualunque sia il livello alto o basso (X) presente sugli ingressi da 0 a 8, lo stato delle uscite corrisponde sempre al codice 1001 che è il codice BCD del numero 9. Se si esaminano i diversi valori che assumono le uscite e si tenta di esprimere le equazioni booleane corrispondenti, è possibile notare che queste risultano notevolmente complesse.

Per costruire con delle porte logiche la tabella della verità precedente si devono utilizzare delle porte AND-OR a due e quattro ingressi. Generalmente gli integrati che contengono questo tipo di



Codificatore con priorità a 8 ingressi e segnale di abilitazione

logica vengono costruiti in media scala di integrazione MSI, la cui priorità codifica 10 linee decimali in 4 linee BCD.

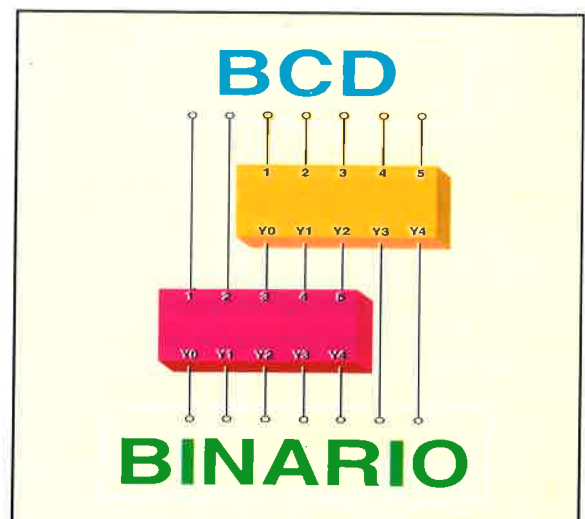
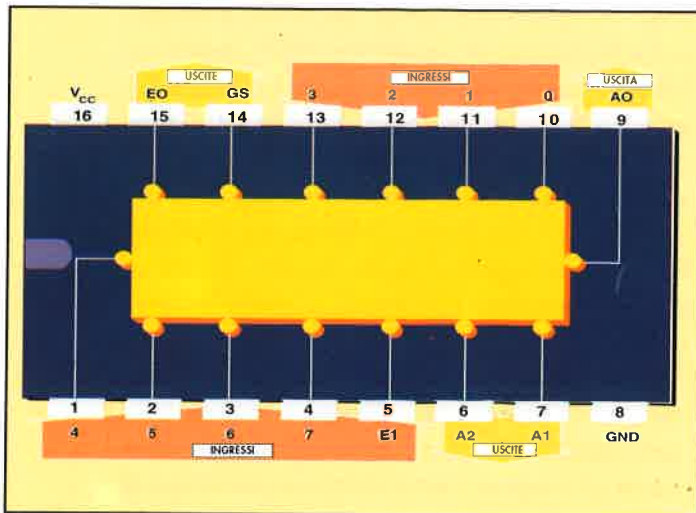
Tra le varie applicazioni di questo dispositivo, le più importanti sono la codificazione di piccole tastiere, la conversione analogico-digitale, e il controllo dei disturbi negli elaboratori.

L'applicazione più significativa però è quella che prevede l'utilizzo di questi codificatori

per la realizzazione di particolari dispositivi definiti *multiplexer*, che saranno esaminati nei prossimi capitoli.

*Una delle applicazioni più comuni dei codificatori è costituita dalla conversione tra codici; in questo caso è schematizzato un convertitore da BCD a binario a due decadi*

Circuito integrato di un codificatore con priorità





# I DECODIFICATORI

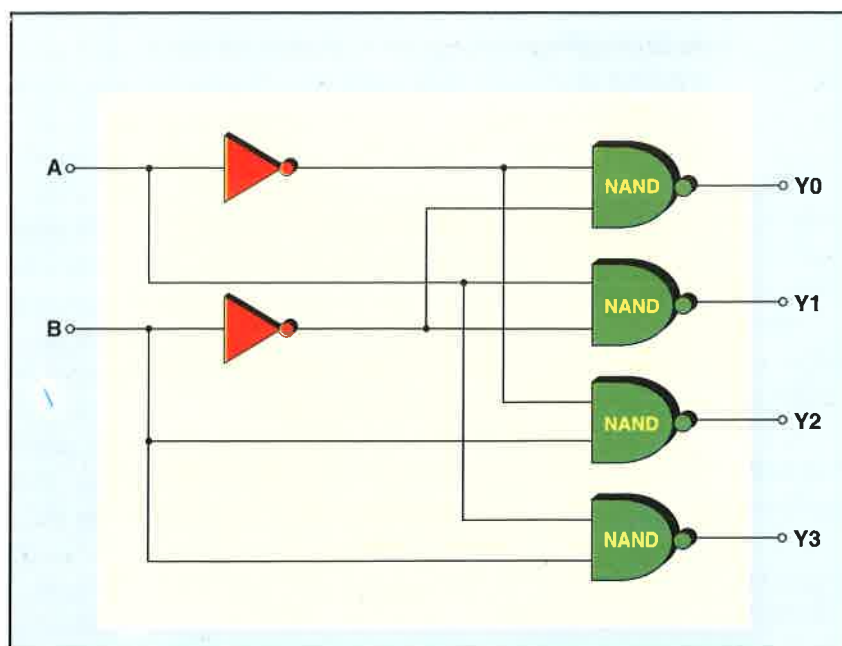
**Nel capitolo precedente sono stati descritti i codificatori, che servono per trasformare una informazione dal formato normalmente utilizzato in una struttura codificata che possa essere compresa dal calcolatore. Di seguito viene esaminato il modo per eseguire la funzione opposta, utilizzando dei dispositivi chiamati decodificatori.**

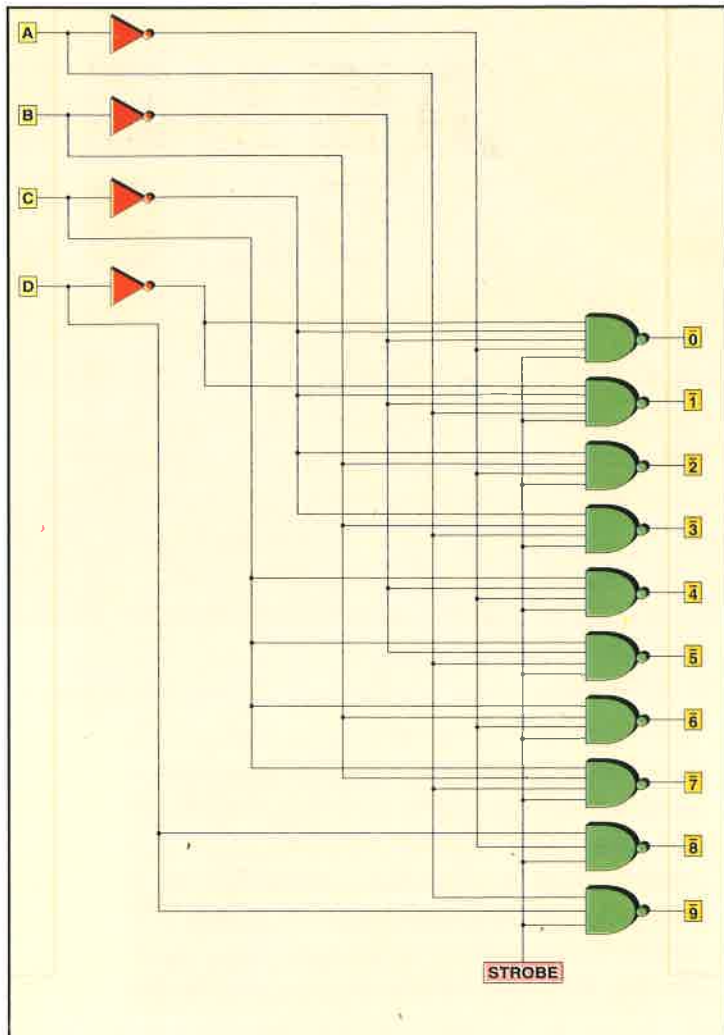
**I**n un sistema digitale, come può essere il proprio personal computer, si possono trasmettere sia istruzioni che numeri tramite livelli binari o treni di impulsi. Se ad esempio i quattro bit di un messaggio vengono utilizzati per trasmettere dei comandi, si possono ottenere 16 diverse istruzioni; il risultato di questa operazione è stato in precedenza definito come *informazione codificata nel sistema binario*. Altre volte può essere necessario che un commutatore a più posizioni funzioni in accordo con questa informazione binaria, per cui ciascuno dei 16 codici deve eccitare una sola linea. Questa operazione di identificazione di un determinato codice viene definita *processo di decodifica*. Detto in altro modo, un decodificatore svolge la funzione opposta al codificatore; trasforma il codice binario a  $n$  bit presente in ingresso in un'uscita singola.

Si possono distinguere due tipi fondamentali di decodificatori: i *convertitori di codice* e i *commutatori*. I primi servono per trasformare una

informazione rappresentata con un certo codice, nella stessa informazione definita però con un codice diverso. Un esempio tipico è costituito dai decoder BCD/7 segmenti, nei quali l'informazione di ingresso in codice BCD viene trasformata in un codice idoneo al pilotaggio di display a 7 segmenti. Il compito e il funzionamento del secondo tipo di decodificatori vengono descritti per

*Decodificatore fondamentale a 2 ingressi e 4 uscite realizzato con quattro porte NAND*





Esempio di decodificatore da BCD a decimale con ingresso di strobe o di abilitazione

mezzo degli esempi seguenti. In un decodificatore a due bit, a ciascuna delle quattro parole possibili che si possono formare dalla combinazione dei due ingressi corrisponde una delle quattro uscite. L'uscita  $Y_0$  si trova a livello logico 1 quando i bit di ingresso A e B sono a 0; di conseguenza l'espressione booleana che rappresenta questa situazione è  $Y_0 = \bar{A} * \bar{B}$ . Lo stesso ragionamento può essere applicato alle altre uscite, per cui il circuito che ne risulta è quello riportato nella figura e realizzato tramite porte NAND.

Questa categoria di decodificatori comprende anche quelli per la trasformazione da BCD a decimale. Uno schema tipico di questi dispositivi è illustrato in figura. Per il funzionamento però, si fa riferimento ad un generico decodificatore BCD-decimale senza strobe, nel quale gli ingressi corrispondono alle linee A, B, C e D (codice BCD),

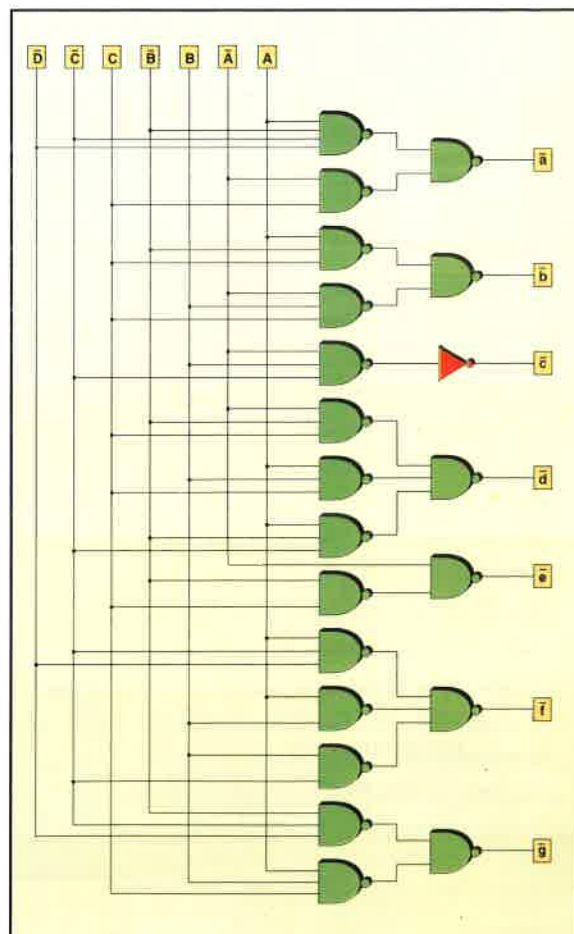
e le diverse uscite (decimale) sono definite da funzioni AND del tipo:

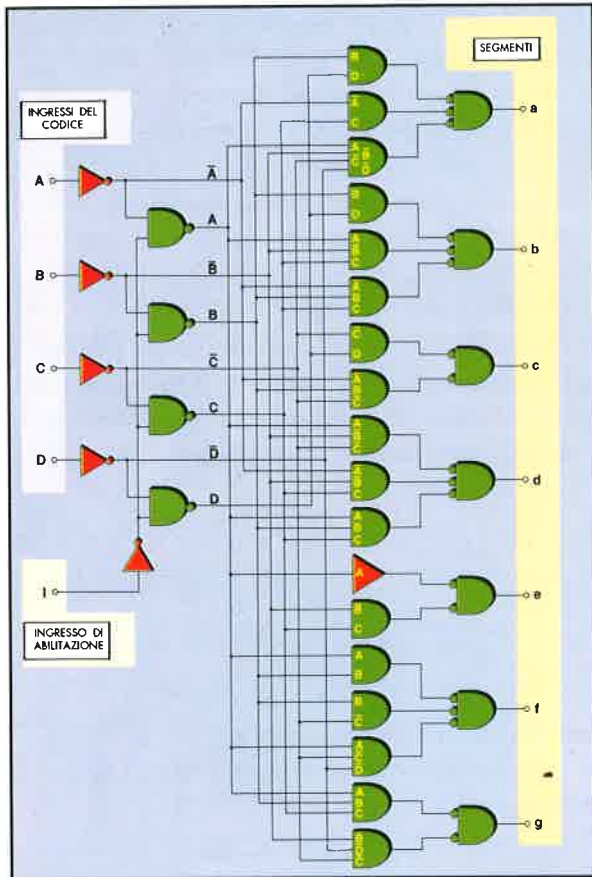
- 0 =  $\bar{D}/\bar{C}/\bar{B}/\bar{A}$  1 =  $\bar{D}/\bar{C}/B/A$  2 =  $\bar{D}/C/B/A$  3 =  $\bar{D}/C\bar{B}/A$
- 4 =  $\bar{D}/C/B/A$  5 =  $\bar{D}/C/B/\bar{A}$  6 =  $\bar{D}/C\bar{B}/\bar{A}$  7 =  $\bar{D}/C\bar{B}/A$
- 8 =  $D/C/B/A$  9 =  $D/C/B/\bar{A}$

La tabella della verità di questo decodificatore BCD-Decimale è la seguente:

INGRESSI BCD				USCITE DECIMALI ATTIVE
D	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

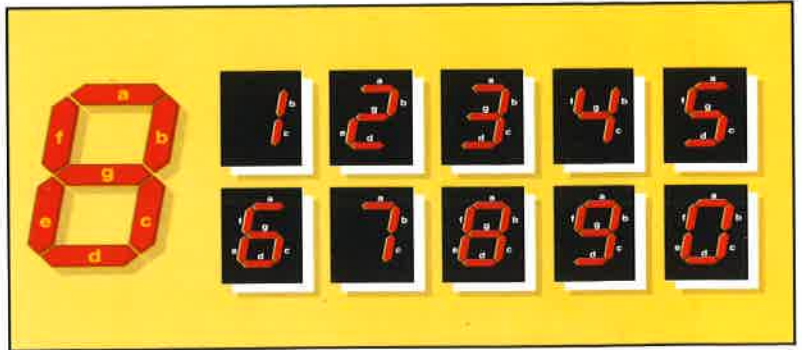
Decodificatore commutatore a 4 ingressi e 7 uscite





Decodificatore da BCD a sette segmenti con ingresso di abilitazione incorporato

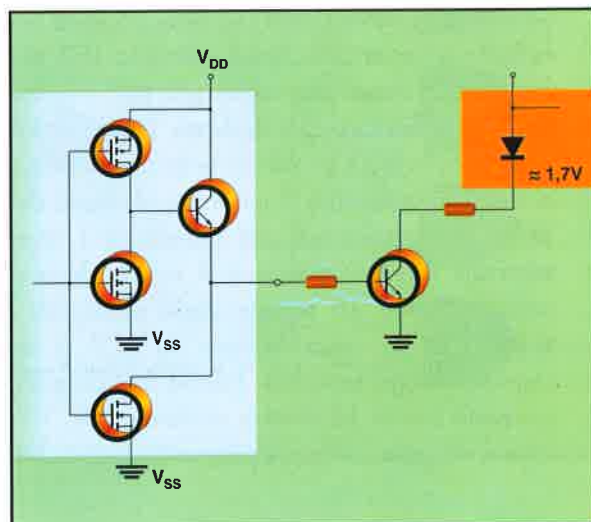
Si noti che la combinazione dei quattro bit di ingresso possono formare 16 combinazioni di uscita; nel decodificatore citato invece ne vengono utilizzate solo 10. Le altre sei combinazioni non provocano alcuna reazione sulle uscite, che rimangono perciò inattive. Gli ingressi complementari,  $\bar{A}$ ,  $\bar{B}$ ,  $\bar{C}$  e  $\bar{D}$  si possono ottenere tramite degli invertitori inseriti all'interno dell'integrato stesso. Generalmente per la loro costruzione si utilizzano delle porte NAND, per cui una uscita assume il valore 0 in corrispondenza del relativo codice in ingresso, mentre vale 1 se in ingresso è presente qualunque altra combinazione. Questo sistema digitale viene anche definito decodificatore 4 a 10, per indicare che un ingresso a 4 bit seleziona una delle 10 linee di uscita. In questo decodificatore le combinazioni di ingresso non utilizzate corrispondono agli stati 1010, 1011, 1100, 1110, 1101 e 1111, che vengono considerati come falsi dati di ingresso e portano tutte le uscite a livello 1, come detto in precedenza.

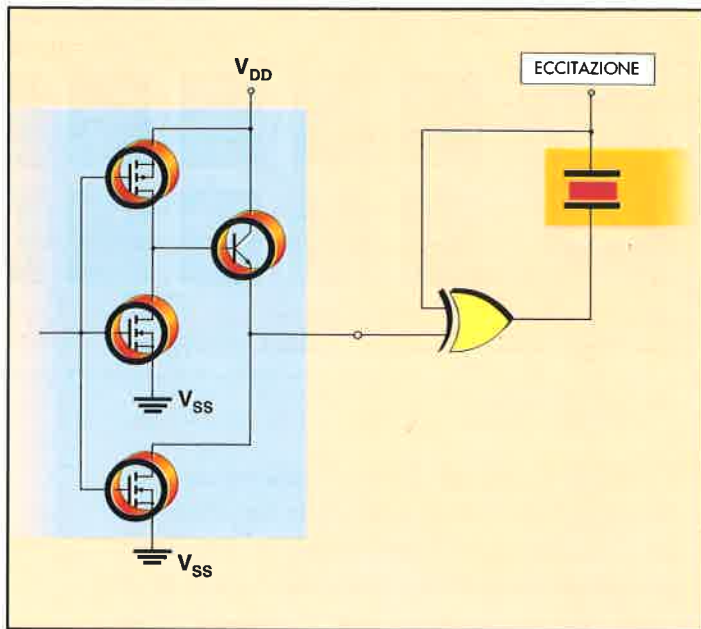


La rappresentazione visiva delle dieci cifre decimali si ottiene sfruttando un codice definito a sette segmenti

Si può quindi definire questo dispositivo come un decodificatore da BCD a decimale con rifiuto dai dati di ingresso falsi. È però possibile costruire un decodificatore da BCD a decimale che non rifiuti i falsi dati di ingresso; questo decodificatore minimizza il numero di ingressi delle porte NAND. In questo dispositivo, ad esempio, se sugli ingressi del decodificatore si applica la combinazione 1111 vengono attivate le uscite 7 e 9. Si può quindi dire che i dati di ingresso falsi vengono interpretati come condizioni aggiuntive. In molte applicazioni è richiesto che la decodifica avvenga esclusivamente durante intervalli di tempo predefiniti, in modo che i dati di ingresso che non compaiono durante questi intervalli vengano rifiutati. Questa condizione si ottiene aggiungendo un ingresso indicato con *strobe*, che se assume il valore logico 1 abilita il processo di decodifica, mentre se assume il valore 0 il processo viene inibito. Il modo in cui questo segnale viene appli-

Tipica applicazione di un decodificatore collegato ad un LED





I decodificatori sono normalmente collegati agli stadi di ingresso del dispositivo di visualizzazione, che può essere costituito da un display a cristalli liquidi

cato varia in funzione del fatto che il decodificatore rifiuti o meno i dati falsi. Un tipico circuito decodificatore con segnale di strobe è riportato nella figura corrispondente, nella quale l'inibizione della decodifica si ottiene tramite un ingresso aggiuntivo presente su ciascuna porta NAND. Quando questo ingresso è a 0 le uscite sono tutte a 1 e la decodifica è inibita.

Tra i diversi tipi di decodificatori convertitori di codice si prende come esempio uno dei più utilizzati in elettronica digitale: il *decodificatore da BCD a sette segmenti*. Attualmente per la rappresentazione visiva di dati o numeri vengono utilizzati dei dispositivi costituiti da sette barre luminose indipendenti definite *sette segmenti*. Tecnologicamente questi segmenti possono essere costruiti con cristalli liquidi, con diodi LED, ecc.; per pilotare questi dispositivi sono stati sviluppati dei decodificatori che ricevono l'informazione codificata in BCD, proveniente da un calcolatore o da un apparecchio di misura, e abilitano delle uscite già predisposte per alimentare i diversi segmenti che compongono il valore decimale corrispondente. Di seguito viene esaminata la struttura di un decodificatore da BCD a sette segmenti molto semplice. Poiché il codice BCD consente sino a 16 diverse combinazioni, 10 di queste vengono utilizzate per i valori decimali e 5

per i segni speciali; la combinazione rimanente viene utilizzata per spegnere tutti i segmenti. In questo dispositivo è presente un ulteriore ingresso, oltre a quelli dei quattro bit relativi al codice, che viene utilizzato per attivare l'uscita del decodificatore nel momento opportuno, per cui permette il controllo del trasferimento dei dati presenti in ingresso al visualizzatore. Pertanto, il decodificatore in questione rappresenta un sistema combinatorio a 5 ingressi e 7 uscite. Di seguito è riportata la tabella della verità corrispondente, riferita esclusivamente ai valori decimali, nella quale l'ingresso di inibizione o strobe viene considerato sempre a 1:

INGRESSI				USCITE							
A	B	C	D	a	b	c	d	e	f	g	N.
0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	0	1	1	0	0	0	0	1
0	1	0	0	1	1	0	1	1	0	1	2
1	1	0	0	1	1	1	1	0	0	1	3
0	0	1	0	0	1	1	0	0	1	1	4
1	0	1	0	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
1	1	1	0	1	1	1	0	0	0	0	7
0	0	0	1	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9

Con riferimento a questa tabella si possono ricavare tutte le espressioni booleane necessarie per la realizzazione di ciascuna delle uscite del codice a sette segmenti. L'ingresso di strobe può essere applicato con diversi metodi e in differenti stadi, in funzione delle particolari esigenze richieste dalla costruzione fisica del circuito integrato. Si deve tener presente che ogni sistema di visualizzazione utilizzato per rappresentare l'informazione richiede un diverso tipo di decodificatore: a sette segmenti, a matrice di punti, per stampanti, ecc. I circuiti combinatori di decodifica vengono progettati, in funzione della loro complessità, utilizzando come base una memoria ROM, che sarà argomento di uno dei prossimi capitoli.

# I MULTIPLEXER

**In questo capitolo verranno descritti alcuni circuiti combinatori utilizzati per il trasferimento delle informazioni; in particolare, verrà esaminato il modo in cui possono essere gestiti i diversi segnali binari presenti in una rete digitale.**

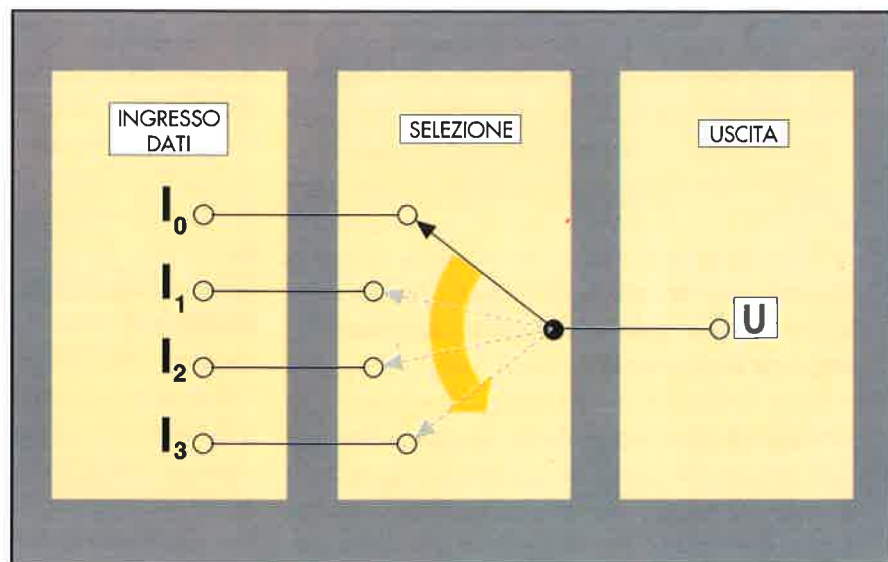
**I** multiplexer sono circuiti combinatori il cui compito è quello di trasferire all'uscita, convogliandoli su di un'unica linea, i dati digitali presenti ai suoi ingressi; la selezione del dato che deve essere trasferito avviene tramite segnali di controllo e selezione indicati genericamente con il nome di *data select*.

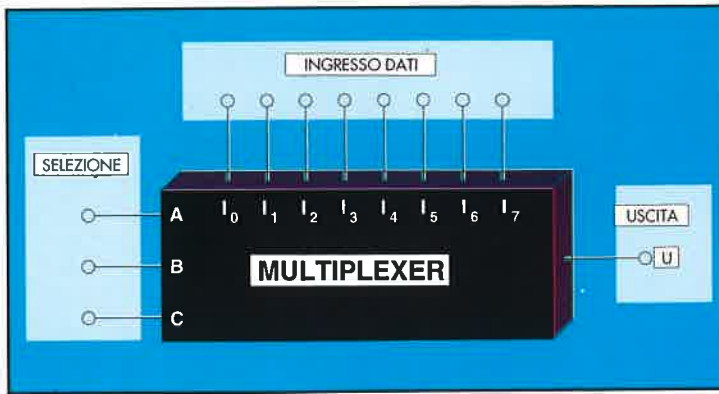
La selezione dell'ingresso prescelto viene determinata dalla combinazione degli zero (0) e degli uno (1) logici presenti sugli ingressi di controllo. Il numero di terminali destinati ai segnali di controllo corrisponde al valore della potenza che bisogna assegnare alla base 2 per ottenere il numero degli ingressi per i dati. Ad esempio, un multiplexer con otto ingressi dati ha bisogno di tre ingressi per i segnali di controllo, poiché  $8 = 2^3$ . Si può dire che la funzione di un multiplexer

è quella di eseguire una selezione tra un certo numero di linee di ingresso per abilitare la trasmissione del dato presente sulla linea prescelta verso un unico canale di uscita: pertanto, come si può vedere nello schema riportato nella figura corrispondente, un multiplexer equivale praticamente ad un commutatore con diversi ingressi e una sola uscita.

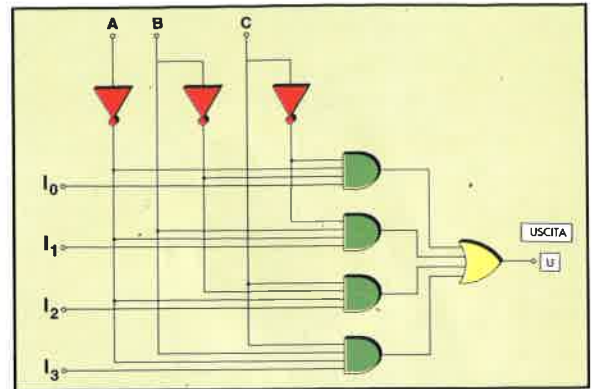
La realizzazione di un multiplexer si ottiene sfruttando gli stessi metodi utilizzati per i sistemi

*Un multiplexer può essere paragonato ad un commutatore con diverse posizioni, nel quale l'uscita corrisponde al segnale selezionato all'ingresso*





All'interno del multiplexer sono presenti tre categorie di segnali: i dati di ingresso, gli ingressi di controllo e l'uscita



Multiplexer a 16 combinazioni di ingressi, con strobe e quattro ingressi di controllo

combinatori esaminati in precedenza.

Di seguito verrà esaminato come esempio un multiplexer a quattro ingressi ed una uscita che, per quanto già detto, deve avere due ingressi di controllo.

La sua tabella della verità indica chiaramente come uno dei quattro possibili ingressi dei dati venga trasmesso in uscita in funzione della combinazione presente sugli ingressi di controllo.

CONTROLLO		INGRESSO DATI				USCITA
A	B	I0	I1	I2	I3	U
0	0	0	X	X	X	0
0	0	1	X	X	X	1
0	1	X	0	X	X	0
0	1	X	1	X	X	1
1	0	X	X	0	X	0
1	0	X	X	1	X	1
1	1	X	X	X	0	0
1	1	X	X	X	1	1

Volendo ricavare da questa tabella l'equazione booleana che definisce l'uscita, si ottiene la seguente espressione:

$$U = (\bar{A} \cdot \bar{B} \cdot I_0) + (\bar{A} \cdot \bar{B} \cdot I_1) + (A \cdot \bar{B} \cdot I_2) + (A \cdot \bar{B} \cdot I_3)$$

Con questa equazione si può progettare il circuito logico opportuno, che può essere realizzato sia con porte logiche miste che con solo porte NAND.

Quasi tutti i dispositivi integrati presenti in commercio prevedono, oltre ai segnali di controllo precedentemente descritti, un altro segnale indicato con *strobe* o *enable* per il controllo dell'uscita, che serve per abilitarla nel momento desiderato.

### TIPI DI MULTIPLEXER

Tra i numerosi tipi di multiplexer disponibili in commercio, vale la pena di segnalarne alcuni per il notevole impiego a cui sono soggetti nel campo digitale, ed in particolare nei circuiti utilizzati per i personal computer:

- multiplexer a 8 ingressi,
- multiplexer a 16 ingressi,
- doppio multiplexer a 4 ingressi.

I dispositivi appartenenti alla prima categoria possono essere ancora suddivisi in due sottogruppi che comprendono i circuiti con ingresso di strobe e quelli senza ingresso di strobe. La tecnologia utilizzata per la costruzione di questi circuiti è la TTL ad alta integrazione, e la potenza che dissipano è di circa 150 mW. Il tempo di ritardo tipico è di circa 25 nanosecondi, con un valore di fan-out pari a 10.

Generalmente questi circuiti sono dotati sia dell'uscita principale che di quella complementare o negata.

I multiplexer appartenenti alla seconda categoria si differenziano dai primi solo per il numero degli ingressi, che è il doppio. Anche in questo caso esiste una sola uscita principale e la sua negata, che permette di ricavare in uscita il dato di ingresso complementato.

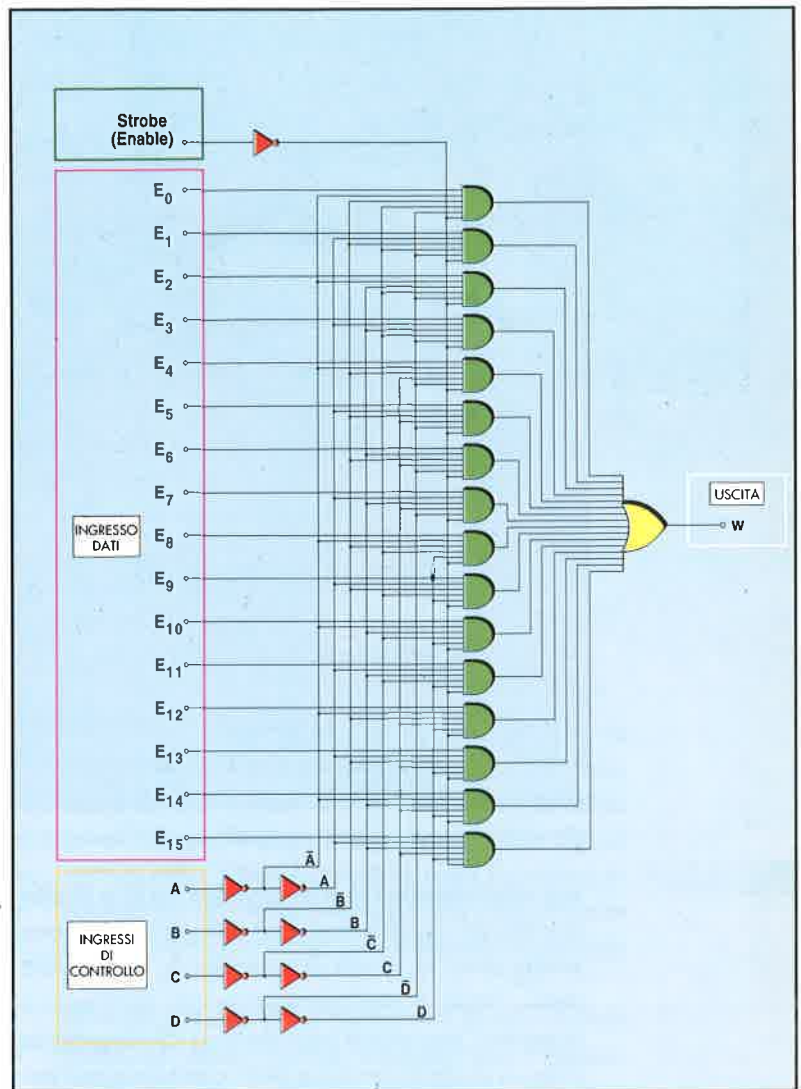
La potenza dissipata da questi ultimi dispositivi è di circa 200 mW. Il tempo di ritardo ed il fan-out hanno valori praticamente identici a quelli dei multiplexer a 8 ingressi.

Nella figura corrispondente è riportato lo schema di un multiplexer a 16 ingressi nel quale la presenza di un 1 sul terminale di strobe provoca l'abilitazione dell'uscita del dato di ingresso selezionato per mezzo dei quattro ingressi di controllo.

La terza categoria di multiplexer proposta comprende dei dispositivi che, all'interno dello stesso contenitore, integrano due multiplexer a quattro ingressi dati, con due ingressi controllo e due segnali di strobe.

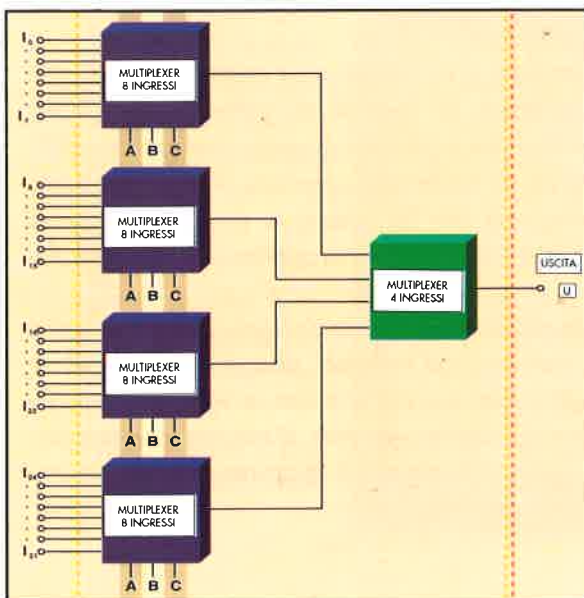
Gli ingressi di controllo sono comuni ad entrambi i circuiti, come si può osservare nello schema riportato nella figura corrispondente. Come i precedenti, anche questi vengono generalmente costruiti in tecnologia TTL ad alta integrazione, ed hanno una dissipazione di potenza di circa 180 mW.

Utilizzando in modo opportuno questi tre tipi di multiplexer è possibile realizzare sistemi multiplexer di ordine superiore, vale a dire con un maggior numero di ingressi. Per ottenere quest'ultima categoria di dispositivi è sufficiente combinare adeguatamente un certo numero di multiplexer a quattro, otto oppure quattro+quattro ingressi secondo uno schema di collegamento circuitale



Multiplexer a 16 ingressi e quattro segnali di controllo

Multiplexer a 32 ingressi realizzato con 4 multiplexer ad 8 ingressi e uno a 4 ingressi



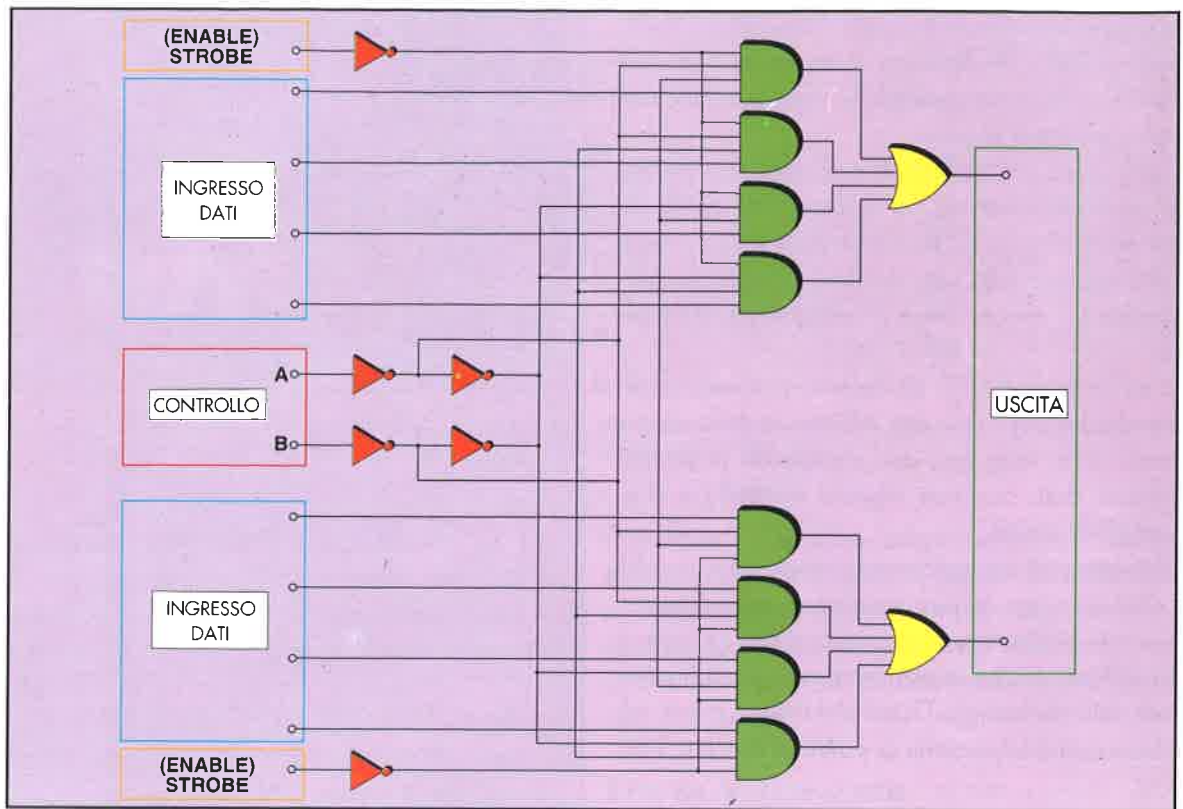
che dipende esclusivamente dal tipo di funzione che devono svolgere.

In questo caso però bisogna considerare che ogni stadio provoca un ritardo di propagazione, per cui il tempo di ritardo totale del circuito sarà dato dalla somma dei ritardi parziali di ogni stadio.

Per descrivere il funzionamento di un multiplexer di ordine superiore verrà di seguito analizzato, a titolo di esempio, il dispositivo a 32 ingressi schematizzato nella figura corrispondente.

In questo caso sono stati utilizzati quattro multiplexer a 8 ingressi e un multiplexer a quattro ingressi, collegati in modo che le uscite dei quattro multiplexer ad otto bit vengano selezionate dal multiplexer a quattro bit per fornire un solo valore di uscita.

Il primo multiplexer a 8 ingressi trasferisce



Doppio multiplexer a quattro ingressi, nel quale i segnali di controllo sono comuni

sequenzialmente i dati di ingresso da I0 a I7 alla sua linea di uscita in funzione della combinazione presente sui terminali di controllo A, B e C. Allo stesso modo, il secondo multiplexer, anch'esso a 8 ingressi, trasferisce i dati da I8 a I15 alla propria linea di uscita in funzione della combinazione dei segnali di controllo.

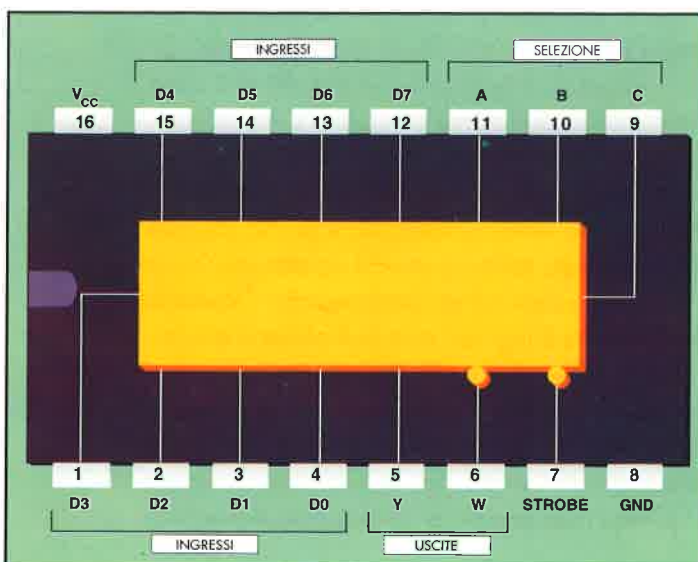
Gli ingressi di controllo sono collegati tra di loro e perciò comuni a tutti i multiplexer; in questo modo, quando ad esempio compare sulla linea di uscita del primo multiplexer I1, sull'uscita del secondo è presente I9, su quella del terzo I17 e sull'ultima I25.

Se si desidera ottenere una sola uscita dal sistema, corrispondente ad una qualsiasi delle linee indicate in precedenza, è necessario utilizzare un multiplexer a quattro ingressi che selezioni la linea desiderata.

Per avere in uscita la linea I1 ad esempio, bisogna applicare ai segnali di controllo dell'ultimo multiplexer a quattro ingressi la combinazione 00. Infine, è doveroso segnalare che i multiplexer, oltre che per la selezione dei dati, vengono utilizzati anche per altre applicazioni di particolare interesse:

- la conversione parallelo-seriale. Questa funzione è richiesta, ad esempio, quando si deve inviare l'uscita parallela di un computer verso un terminale remoto tramite una linea di trasmissione seriale,
- la generazione di funzioni per la logica combinatoria.

Schema di collegamento di un integrato che contiene un multiplexer ad 8 ingressi con segnale di strobe





# I DEMULTIPLEXER

**Si è già detto nei capitoli precedenti che una delle applicazioni tipiche dei decodificatori era la loro trasformazione in circuiti digitali chiamati demultiplexer, ottenuta tramite la conversione di qualche segnale nella loro circuiteria interna.**

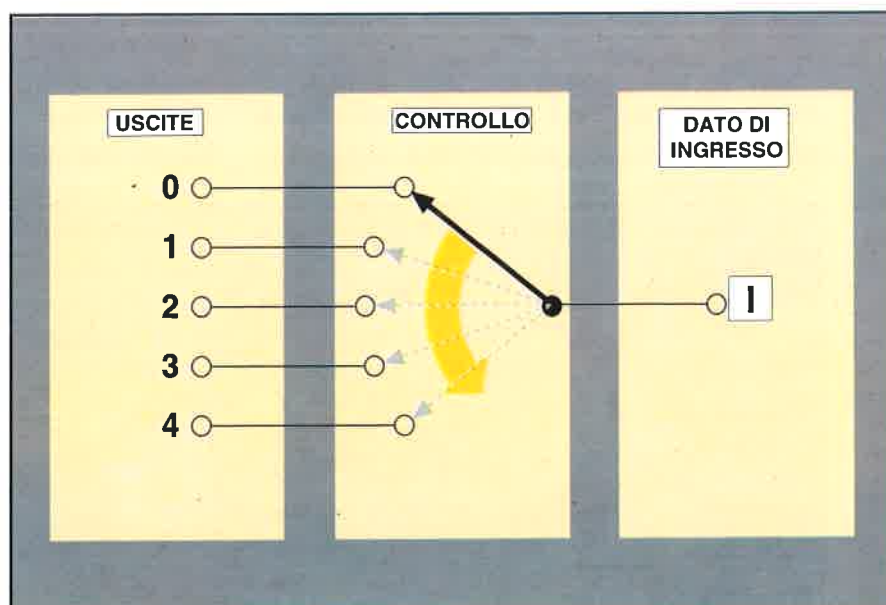
Il demultiplexer è un circuito destinato a trasmettere un segnale binario ad una determinata linea, scelta tramite un selettore tra quelle esistenti. Il dispositivo meccanico equivalente a un demultiplexer è un commutatore rotativo unipolare a tante posizioni quante sono le linee che si desiderano selezionare, come quello riportato nella figura corrispondente. Il selezionatore determina l'angolo di rotazione del braccio del commutatore.

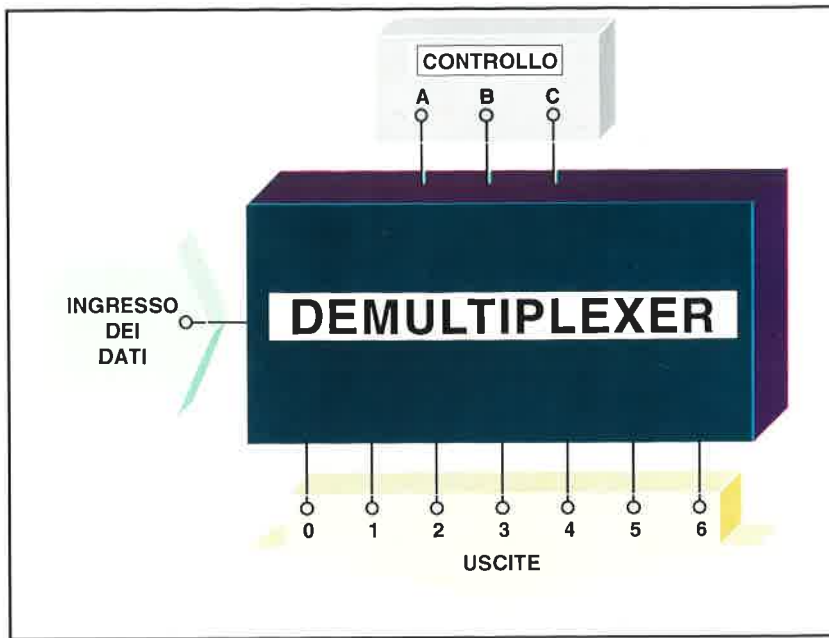
Un decodificatore si può convertire in un demultiplexer semplicemente utilizzando una delle linee di abilitazione come linea di ingresso del dato. Gli altri terminali di abilitazione mantengono la loro funzione, e servono per selezionare l'uscita desiderata.

Per semplificare la descrizione si fa riferimento alla figura

corrispondente; è possibile trasformare un codificatore in un demultiplexer dotato di un segnale di abilitazione o *enable*, utilizzando un circuito composto da una porta AND e due porte NOT collegate in cascata, i cui ingressi corrispondono al segnale di abilitazione stesso e al dato che si desidera trasmettere. Se l'ingresso di enable vale 0, l'uscita della porta AND corrisponde al dato stesso; ciò significa che il dato compare sulla

*L'equivalente meccanico di un demultiplexer è un selettore con un ingresso e diverse uscite*





Un demultiplexer è dotato di un ingresso dati, di alcuni segnali di controllo, e delle linee di uscita

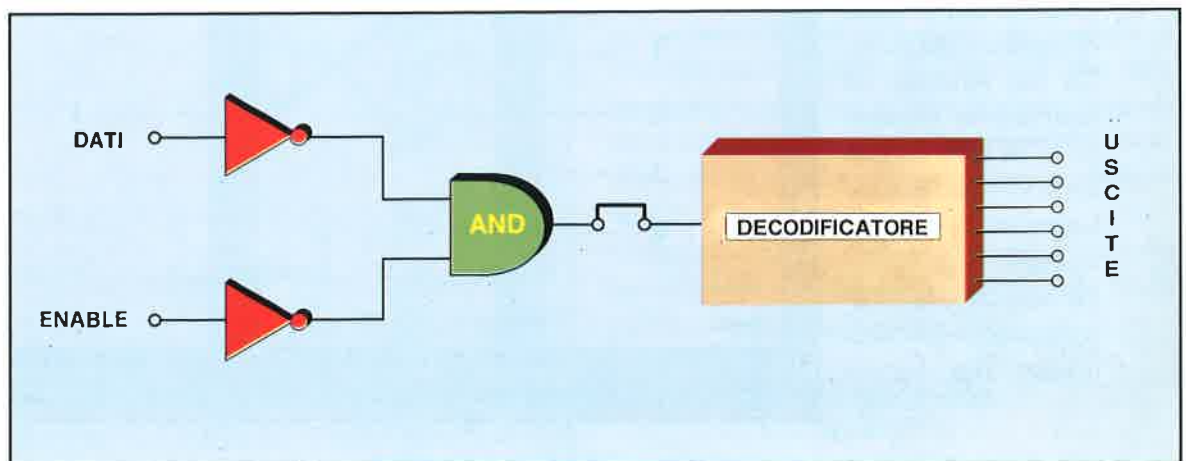
linea con il codice opportuno. Se l'ingresso di enable vale 1 l'uscita della porta AND vale sempre 0, per cui la trasmissione dei dati viene inibita e le uscite del decodificatore non vengono modificate.

Volendo analizzare sotto un altro aspetto quale è il comportamento di un demultiplexer, si può notare che questo circuito svolge la funzione contraria a quella realizzata dai multiplexer: è infatti dotato di un solo ingresso dati che, tramite alcuni ingressi controllo, viene commutato verso una delle diverse uscite. L'uscita selezionata è

funzione della combinazione dei valori logici presenti sugli ingressi di controllo. Dalla definizione data si può facilmente comprendere come qualsiasi decodificare che abilita solamente una delle diverse uscite di cui è dotato (commutatore), e provvisto di ingresso di enable, può comodamente essere utilizzato come demultiplexer; in questo caso gli ingressi del codice possono essere utilizzati come ingressi di controllo mentre il segnale di abilitazione può essere adibito ad ingresso per i dati. Al contrario, i decodificatori del tipo BCD-

sette segmenti, che forniscono diverse uscite per ciascuna delle combinazioni presenti in ingresso (convertitori di codice), non possono essere utilizzati come demultiplexer. In pratica non esistono circuiti integrati demultiplexer, ma vengono utilizzati dei circuiti decodificatori/demultiplexer, che in realtà sono decodificatori con ingresso di abilitazione *enable* o *strobe*. Di seguito viene esaminato il funzionamento di un decodificatore come demultiplexer, e a tale scopo si fa riferimento ad un decoder a tre ingressi A, B e C e ad otto linee di uscita, come può essere il circuito integra-

Per convertire un decodificatore in un demultiplexer bisogna utilizzare una porta AND e due invertitori



to '138. Si supponga di applicare agli ingressi la combinazione logica 101, corrispondente ad A-/B-C; quando si commuta ad 1 l'ingresso di enable sull'uscita 5 è presente uno 0 mentre le altre uscite sono tutte ad 1. Se invece all'ingresso di enable viene applicato uno 0 sia l'uscita 5 che tutte le altre sono ad 1. Ciò significa che il dato in ingresso viene trasferito in forma complementata all'uscita corrispondente alla combinazione logica di ingresso (101 = 5) quando il dispositivo viene abilitato dal segnale di enable; questa però è proprio la funzione che deve svolgere un demultiplexer. La famiglia dei demultiplexer comprende diversi tipi di dispositivi con caratteristiche differenti, molti dei quali sono ampiamente utilizzati all'interno dei PC. Di seguito verranno descritti quelli più comuni.

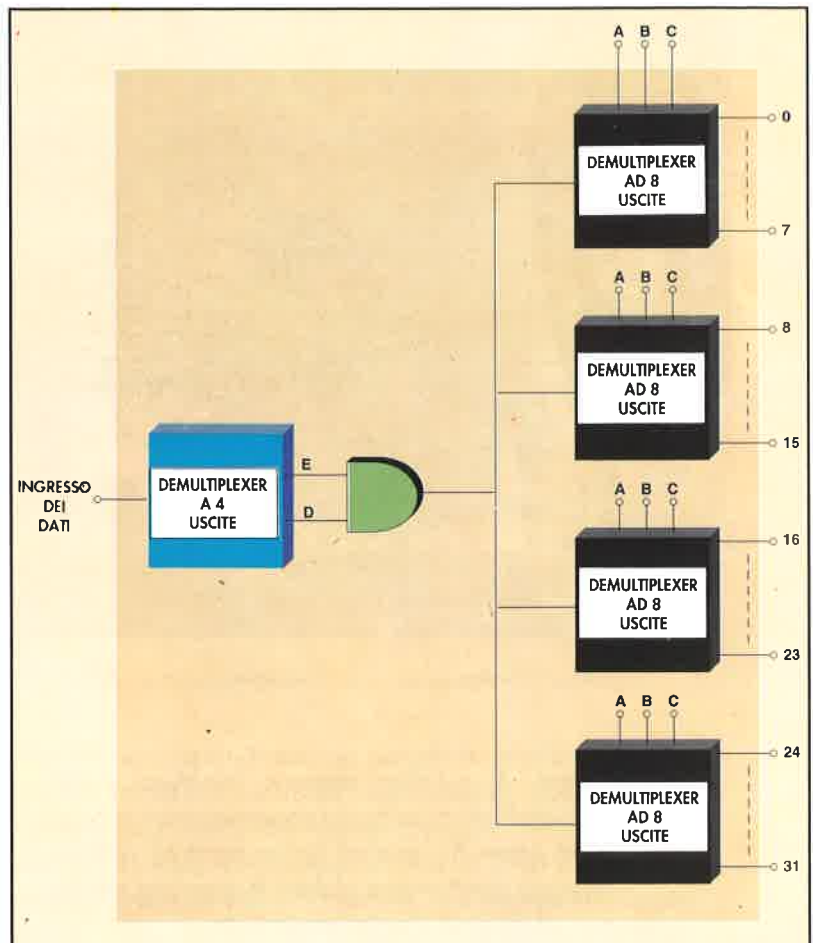
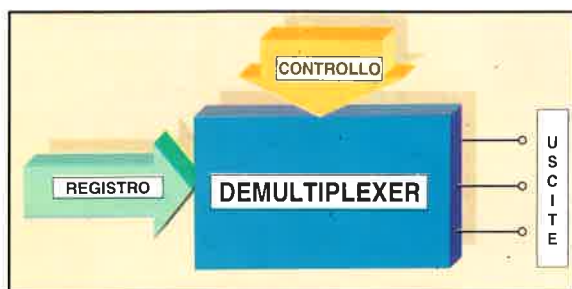
### DEMULTEPLEXER DA 4 A 16 LINEE

Se un valore corrispondente a un numero decimale che supera il 9 viene applicato agli ingressi di un demultiplexer, l'ordine viene rifiutato, per cui sulle 10 uscite è presente il livello logico 1.

Se si desidera selezionare una delle 16 possibili linee di uscita, bisogna ampliare il sistema con altre 6 porte AND, che permettono di sfruttare completamente i 16 codici realizzabili con 4 bit binari.

Il demultiplexer da 4 a 16 linee è dotato di quattro linee di selezione, 16 linee di uscita, un ingresso di enable, un ingresso dati, una linea di massa e un'altra di alimentazione; complessivamente sono necessari 24 terminali per cui, a livello integrato, deve essere incapsulato in un contenitore tipo DIL 24. Esistono comunque demultiplexer da 2 a 4 e da 3 a 8 linee incapsulati individualmente.

*Una delle applicazioni tipiche dei demultiplexer è costituita dal trasferimento dei dati da un registro*



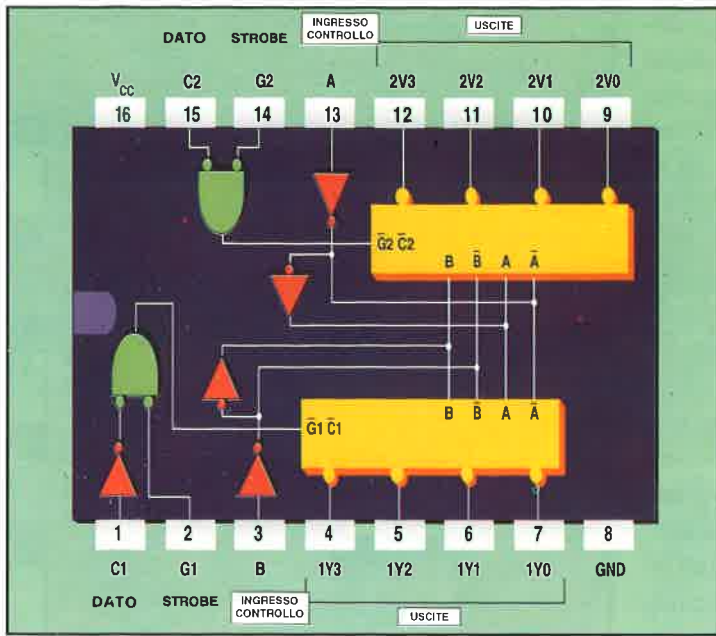
*Per realizzare un demultiplexer con un numero di linee superiore a 16 bisogna combinare diversi tipi di demultiplexer a 2, 4, 8 o 16 linee. In questa figura è schematizzato un demultiplexer a 32 linee*

### DEMULTEPLEXER CON UN ELEVATO NUMERO DI LINEE

Se le uscite sono superiori a 16 si utilizzano demultiplexer da 16, 8, 4 o 2 linee, come quelli esaminati in precedenza, disposti in cascata in modo da ottenere il numero di uscite desiderato. Ad esempio, per un demultiplexer a 32 linee si può utilizzare un demultiplexer a 4 linee che pilota quattro demultiplexer a 8 linee, come indicato nella figura corrispondente.

Come si può osservare, il numero di uscite complessivo è dato dal prodotto del numero di linee di ogni demultiplexer per il numero di demultiplexer:  $8 * 4 = 32$ . Le linee da 0 a 7 vengono decodificate dal primo demultiplexer, mentre il secondo decodifica le otto successive, e così via.

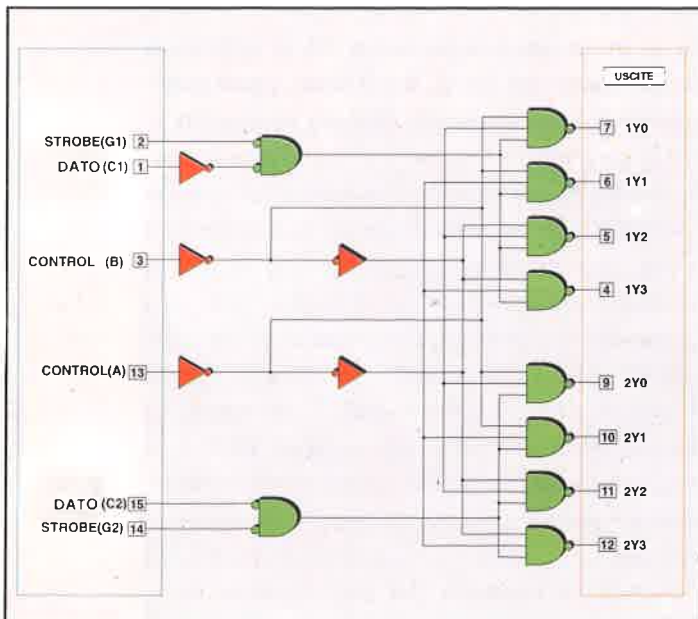
I segnali di controllo del demultiplexer sono



Schema di collegamento di un demultiplexer da 2 a 4 linee

cinque, di cui due vengono inviati al primo demultiplexer a quattro bit per selezionare uno dei quattro demultiplexer ad otto bit, mentre gli altri tre arrivano direttamente ai demultiplexer ad otto bit per selezionare l'uscita desiderata. Ad esempio, se si vuole attivare la dodicesima linea, corrispondente ad Y11, i segnali di controllo che devono essere applicati devono avere la

Realizzazione con porte logiche di un decodificatore/demultiplexer da 2 a 4 linee



combinazione binaria 01100; in questo modo i primi due (01) servono per selezionare il secondo decoder ad otto bit che pilota le linee di uscita 8-15, mentre gli altri tre (100) selezionano la quarta uscita di quel demultiplexer, corrispondente ad Y11. Si può notare però che se si codifica il numero decimale 12 in binario, si ottiene il valore 01100, che corrisponde proprio alla combinazione fornita sugli ingressi di controllo.

La combinazione citata come esempio, o altre equivalenti con un numero di linee di uscita superiore a 16, si possono ricavare utilizzando delle combinazioni di circuiti integrati diversi, come ad esempio uno pilota con due linee di uscita e due server con sedici linee di uscita, oppure

utilizzando un numero inferiore di demultiplexer e creando una rete logica esterna opportuna con porte AND per il loro controllo. La scelta dipende quasi esclusivamente da considerazioni di costo complessivo del dispositivo.

**APPLICAZIONI DEI DEMULTIPLEXER**

Il trasferimento dell'informazione è una operazione basilare in qualsiasi sistema digitale. Anche se i particolari interni di un registro, il modo con il quale viene trasferita l'informazione al registro dall'esterno, e come esce da questo verso l'esterno verrà esaminato successivamente, si può già dire che l'impiego dei multiplexer e dei demultiplexer è fondamentale nel processo di trasferimento di dati tra registri.

In funzione del valore assunto dal segnale di controllo viene selezionato l'ingresso che deve essere trasferito all'uscita del multiplexer. Quando viene applicato l'impulso di trasferimento, il segnale di uscita del multiplexer viene trasferito al registro.

Analogamente si può progettare il circuito demultiplexer a più bit, come indicato nella figura corrispondente.

# OPERAZIONI CON I CIRCUITI DIGITALI

**Un calcolatore digitale deve essere dotato di circuiti in grado di eseguire operazioni aritmetiche, quali somme, sottrazioni, moltiplicazioni e divisioni. Le operazioni di base sono l'addizione e la sottrazione, poiché la moltiplicazione è fondamentalmente una somma ripetitiva, e la divisione una sottrazione concatenata.**

**I**n questo capitolo vengono esaminati i processi utilizzati per lo svolgimento di alcune operazioni di base, molto importanti per comprendere il funzionamento di alcuni circuiti fondamentali di un computer, come ad esempio l'unità aritmetica logica o il microprocessore stesso.

Inizialmente viene affrontato il problema relativo all'esecuzione di una addizione.

Quando si sommano due numeri decimali superiori a 100, il cui risultato è costituito da un numero di tre cifre, non è sufficiente sommare le cifre relative alle centinaia di ogni numero, ma anche le cifre che rappresentano le decine, se esistono. Analogamente, quando si utilizzano i numeri binari e si deve eseguire una somma, non si devono solo considerare i digit più significativi dei numeri che devono essere sommati, ma anche i digit meno significativi. Questa condizione si può ottenere con due fasi distinte:

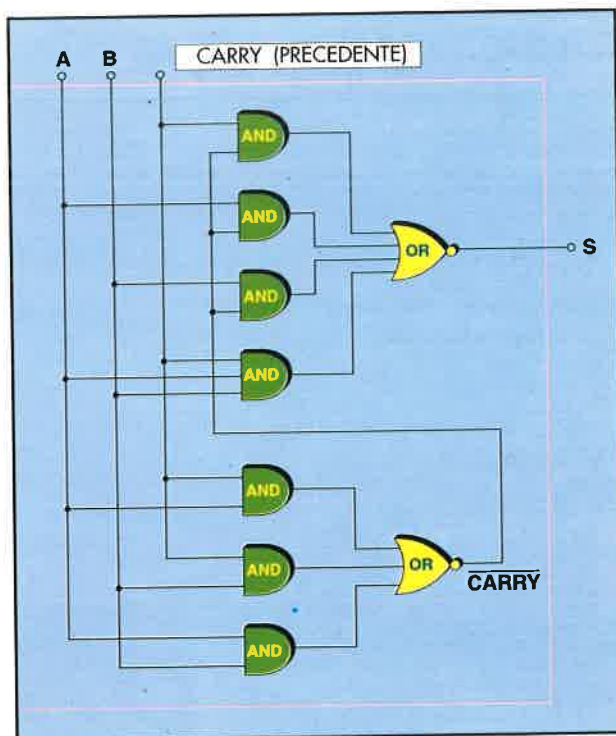
1° - sommando i due bit corrispondenti ai digit meno significativi,

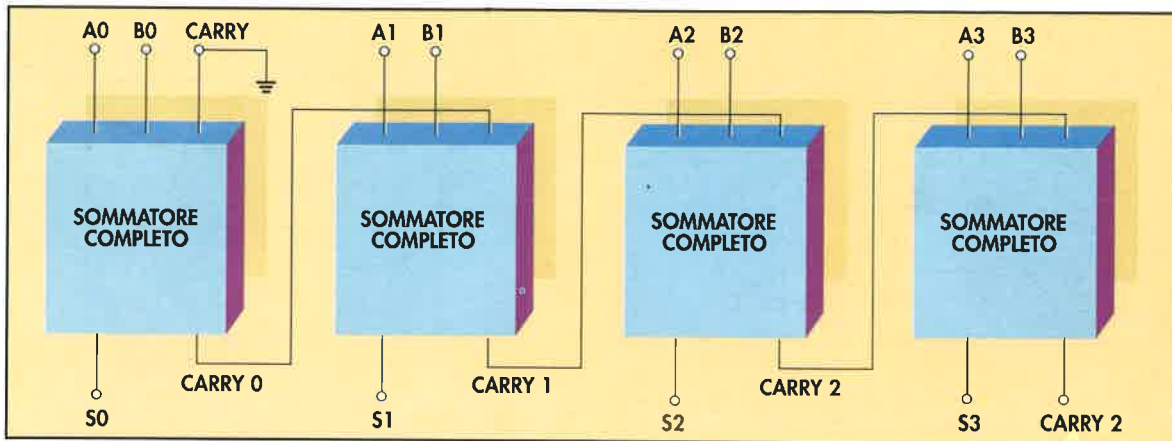
2° - sommando al risultato che si ottiene dalla somma dei digit immediatamente successivi anche il riporto della somma precedente.

Il sommatore a due ingressi viene chiamato *semisommatore* (half adder), e una somma

completa richiede l'utilizzo di due semisommatori. La descrizione del semisommatore è già stata fornita nei capitoli precedenti, per cui di seguito verrà esaminato il *sommatore completo* (full adder). Due numeri con più digit possono essere sommati

*Circuito relativo ad un sommatore completo, nel quale si possono notare l'uscita relativa alla somma e quella di riporto negata*





Sommatore parallelo a quattro bit formato da quattro sommatore completi, uno per ciascun bit

in serie, vale a dire una colonna per volta, oppure in parallelo, con tutte le colonne contemporaneamente. Volendo studiare il funzionamento del sommatore parallelo, si considerano dei numeri binari formati da n digit che rappresentano anche gli n livelli logici che costituiscono ciascun numero. La linea ennesima del numero A, corrispondente ad  $A_n$ , rappresenta il digit più significativo.

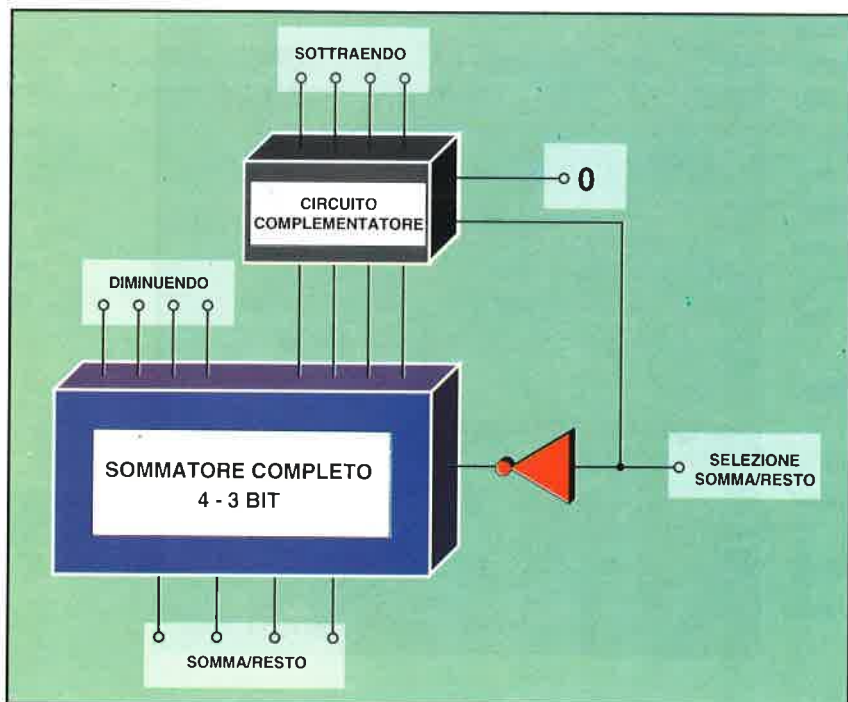
**SOMMATORE PARALLELO**

Nei circuiti integrati la somma viene realizzata per mezzo di sommatore completi e non con due

semisommatore. Generalmente il circuito sommatore ha tre ingressi relativi agli addendi  $A_n$  e  $B_n$  e al riporto, o carry,  $C_{n-1}$ . Le uscite sono costituite dalla somma S e dal riporto  $C_n$ . La tabella della verità che segue è relativa a un sommatore parallelo.

$A_n$	$B_n$	$C_{n-1}$	S	$C_n$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Circuito digitale nel quale sono integrati un sommatore e un circuito di sottrazione

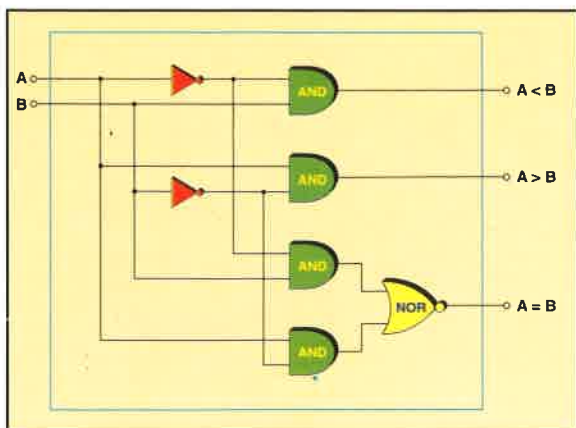


Da questa tabella della verità si possono facilmente dedurre le equazioni logiche corrispondenti alle uscite S e  $C_n$ , che corrispondono rispettivamente alla somma e al riporto finale.

Il circuito di figura rappresenta una soluzione per le equazioni relative a un sommatore completo.

**SOMMATORE SERIE**

In un sommatore serie gli ingressi A e B sono costituiti da due linee sulle quali i bit  $A_n$  e  $B_n$  vengono inviati in modo sequenziale



Comparatore digitale in cui due porte AND e una NOR realizzano l'equazione di un circuito NOR-Esclusivo

e sincronizzato. Si è detto in precedenza che la somma di due numeri con più digit può essere eseguita aggiungendo alla somma dei digit con lo stesso peso il riporto derivato dal risultato della somma immediatamente precedente. Per quanto riguarda il sommatore serie vale la stessa premessa; l'operazione di somma completa di due numeri ad n bit avviene in n cicli sequenziali, e il bit di riporto di ogni ciclo di somma viene memorizzato e sommato nel ciclo di somma immediatamente successivo. La configurazione di questo circuito differisce da quella del sommatore parallelo completo a causa della presenza di circuiti in grado di generare un tempo di ritardo, corrispondente all'intervallo di tempo che intercorre tra due impulsi successivi. Infatti, l'impulso di riporto deve essere ritardato di questo tempo per fare in modo che possa essere applicato agli impulsi dei digit A e B seguenti nell'istante corretto.

Si osservi che la somma in parallelo è più rapida di quella in serie, poiché tutti i digit vengono sommati contemporaneamente; nel sistema seriale la somma avviene invece in modo sequenziale. Tuttavia, per il sommatore serie è richiesto solamente un sommatore completo, mentre per il sommatore parallelo ne occorre uno per ciascun bit. La somma in parallelo comporta quindi un incremento dei costi rispetto a quella in serie.

### COMPARATORE DIGITALE

A volte è necessario sapere se un numero binario A è maggiore, minore, o uguale ad un altro numero B. Il sistema in grado di eseguire questo confronto è denominato *comparatore digitale* o

*binario*. Per poter descrivere il suo funzionamento si prendono in considerazione numeri formati da un solo bit.

Come è già stato detto nei capitoli precedenti, la porta NOR-Esclusiva è un rilevatore di uguaglianza. In effetti, ricordando l'espressione booleana che definisce la porta, si può verificare questa condizione:

$$U = \overline{(A \times B) + (\overline{A} \times \overline{B})}$$

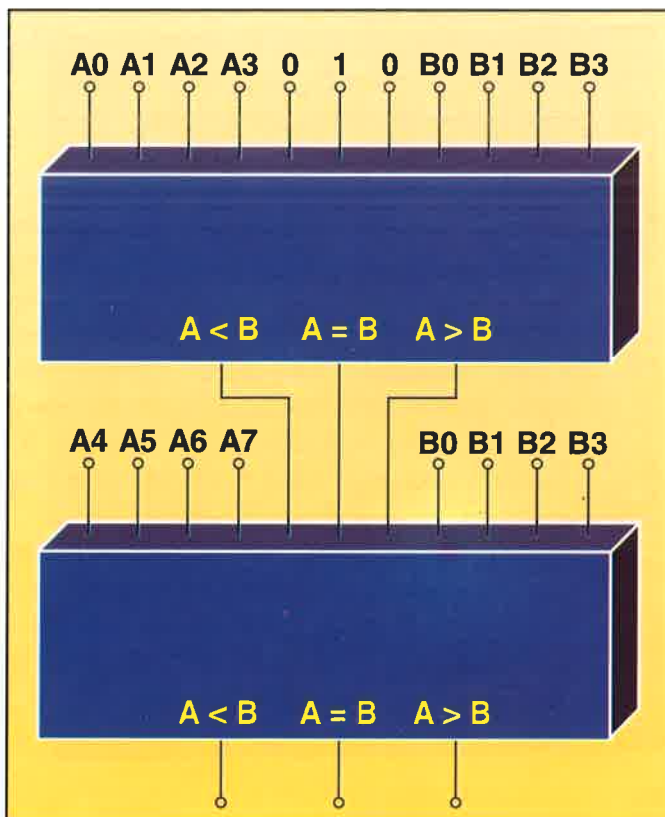
La condizione per cui A risulta maggiore di B è stabilita dall'equazione  $A \times \overline{B} = 1$ , poiché con A maggiore di B si ha che  $A = 1$  e  $B = 0$ , e solo in questo caso il risultato del prodotto precedente corrisponde ad 1.

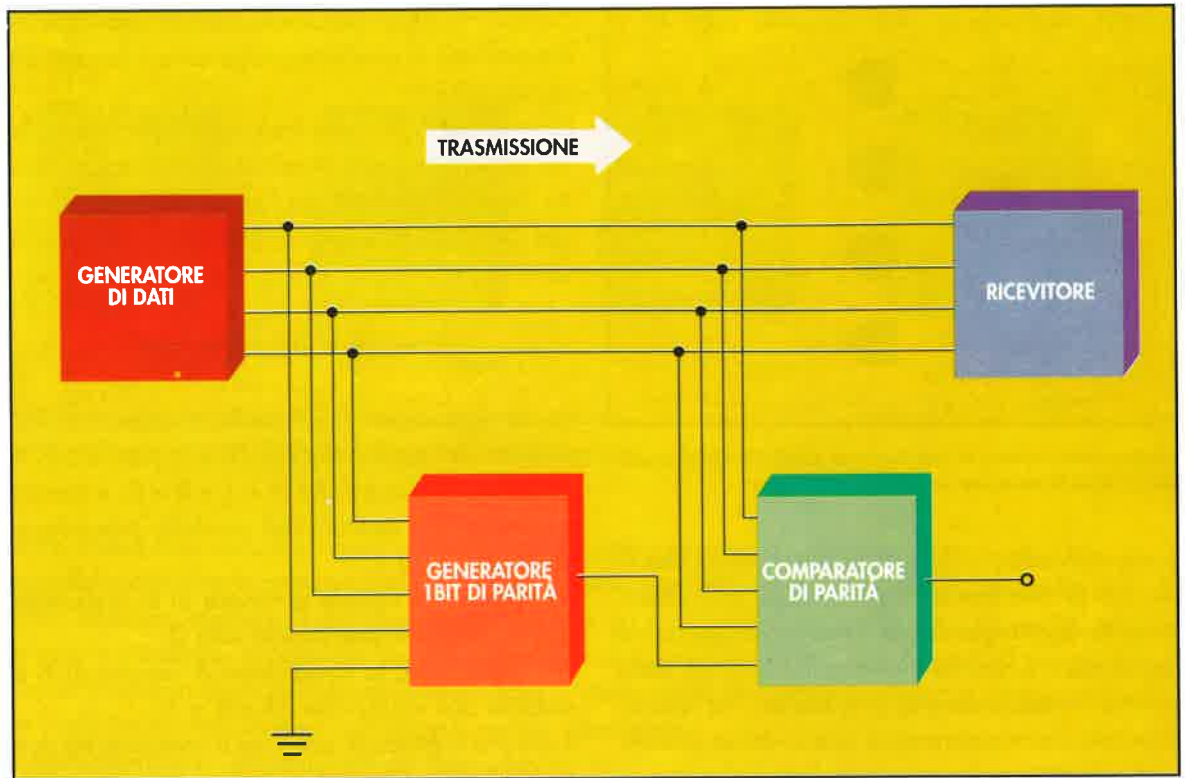
Se invece A è uguale o minore di B, il risultato dell'espressione precedente vale 0.

Analogamente, la condizione A minore di B è stabilita dall'equazione  $\overline{A} \times B = 1$ .

Il circuito in grado di eseguire il confronto tra due numeri binari, riportato nella figura corrispondente, è formato da due invertitori, due porte AND e da una rete che realizza una porta OR-Esclusiva

Quando è necessario confrontare due numeri binari con molte cifre si devono utilizzare comparatori collegati in cascata





La verifica del bit di parità risulta di grande utilità quando si deve garantire una certa sicurezza durante la trasmissione di una informazione binaria

con due porte AND e una NOR. I circuiti integrati a media scala di integrazione utilizzati per confrontare valori digitali sono normalmente a 4 bit. Se è necessario confrontare numeri con più cifre si devono utilizzare più elementi in cascata.

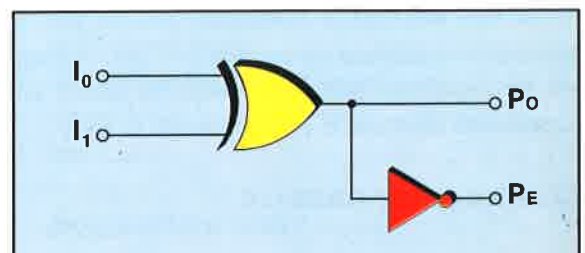
### CONTROLLO DI PARITÀ

Un'altra operazione aritmetica utilizzata molto spesso nei sistemi digitali è costituita dalla somma dei bit binari contenuti in una informazione per determinare se il numero di livelli logici 1 presenti è pari o dispari: per eseguirla si utilizzano delle porte OR-Esclusive, nelle quali l'uscita assume il valore 1 se uno degli ingressi vale 1 e l'altro 0. In questo modo si può dire che l'uscita vale 1 se la somma dei diversi ingressi vale 1. Se invece si collega uno degli ingressi della porta a massa, si otterrà la condizione opposta per cui l'uscita vale 0 se la parità è dispari (il dato contiene un numero pari di 1), mentre vale 1 se la parità è pari (contiene un numero dispari di 1).

L'utilizzo del codice di parità aumenta la sicurezza nelle trasmissioni delle informazioni binarie; ad esempio, se si genera un bit di parità che viene trasmesso con i segnali relativi all'informazione, nel ricevitore è possibile verificare la parità del segnale ricevuto e confrontarla con quella trasmessa.

Se il risultato del confronto vale 0 si può supporre che nella trasmissione non vi siano stati errori, mentre se compare un 1 significa che in fase di ricezione è stato rilevato un errore.

Controllo di parità realizzato con una porta OR-Esclusivo





# LE MEMORIE

**Un aspetto importantissimo che coinvolge la maggior parte dei calcolatori è relativo allo spazio necessario per contenere l'informazione che il sistema sta elaborando. A questo proposito sono stati sviluppati numerosi metodi per immagazzinare le informazioni digitali, definiti genericamente memorie.**

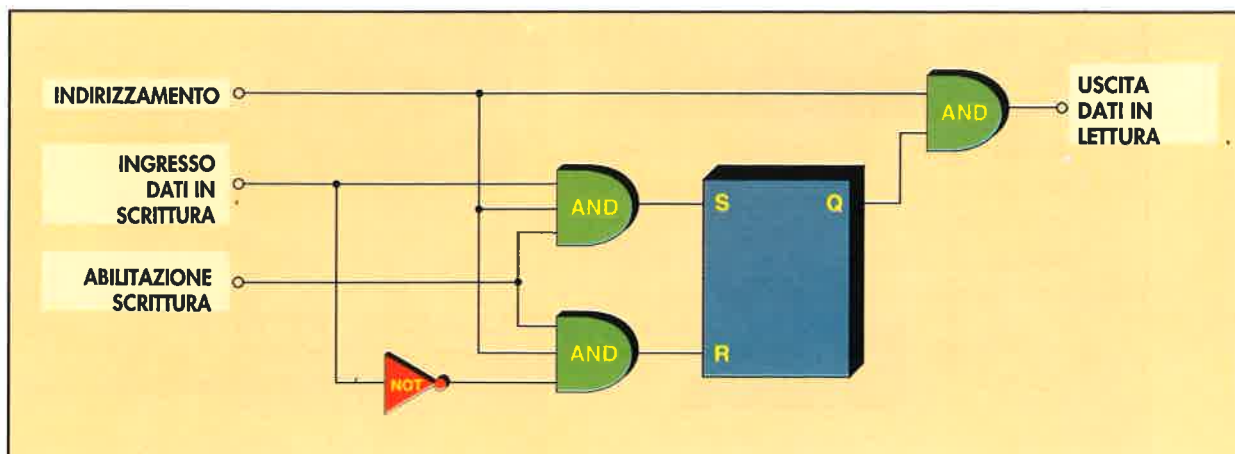
L'evoluzione dei sistemi elettronici si prepone di raggiungere determinati obiettivi: alta velocità, possibilità di memorizzare una grande quantità di dati e basso costo.

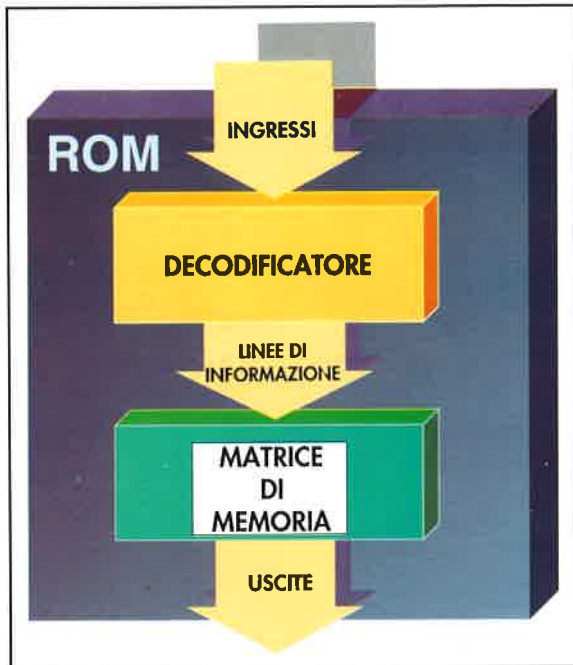
In questo capitolo verranno esaminate principalmente le memorie come elementi elettronici, ma ne esistono anche altre categorie, sempre dedicate alla memorizzazione di dati digitali, che sono state costruite con tecnologie completamente diverse, come le memorie magnetiche, quelle magneto-ottiche o quelle ottiche.

La memoria è un dispositivo che immagazzina

temporaneamente o permanentemente l'informazione codificata, e la restituisce quando le viene richiesta. In un sistema elettronico possono essere presenti diversi tipi di memorie; tuttavia, in assenza di altre specifiche, il termine *memoria* è generalmente riferito alla memoria principale dell'unità centrale del calcolatore. Il raggiungimento o meno degli obiettivi citati in precedenza dipende dal mezzo fisico utilizzato come supporto, dalla tecnologia utilizzata per la sua fabbricazione, dal modo in cui vengono scritti e letti i dati, ecc. In commercio esistono diversi tipi di memorie elettroniche, che presentano una tale differenziazione

*Una memoria può essere realizzata con un bistabile ed alcune porte AND*





Schema a blocchi di una memoria ROM

nelle caratteristiche da rendere più facile la scelta che il progettista deve fare per una determinata applicazione. In questo e nei capitoli successivi verranno descritte le caratteristiche e il principio di funzionamento delle memorie integrate attuali, prescindendo dalle memorie di altro tipo come gli hard disk, i floppy, i nastri di backup e, in

generale, da tutte quelle che non appartengono alla famiglia dei circuiti elettronici integrati.

### CARATTERISTICHE E TIPI DI MEMORIE

Le memorie si differenziano tra di loro principalmente per:

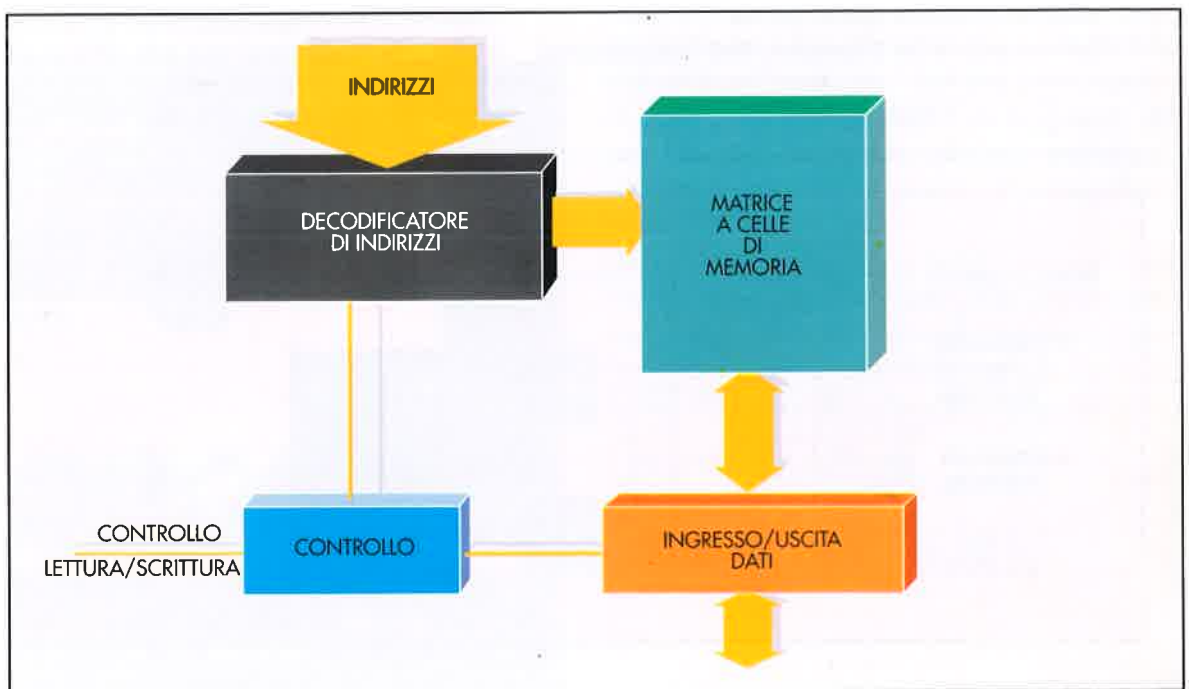
- tempo di accesso,
- capacità di immagazzinamento,
- tecnologia costruttiva, come ad esempio il laser, le bolle magnetiche, ecc.
- supporto fisico.

Data l'enorme quantità di tipi, tecnologie, e sistemi che si possono incontrare nel mondo delle memorie integrate, si è considerato più opportuno per il loro studio classificarle secondo un criterio legato alle loro applicazioni e, nell'ambito di ciascuna di queste, in funzione della tecnologia utilizzata per la loro costruzione. Con questo sistema è possibile apprezzarne meglio le differenze esistenti tra i diversi dispositivi di memoria disponibili per una determinata applicazione.

In base a questa classificazione si possono distinguere quattro gruppi principali:

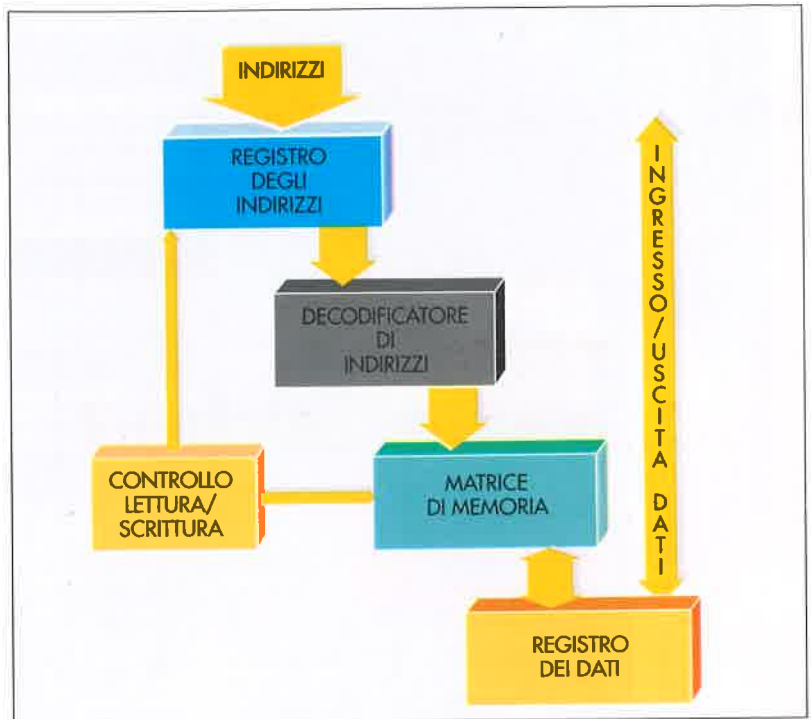
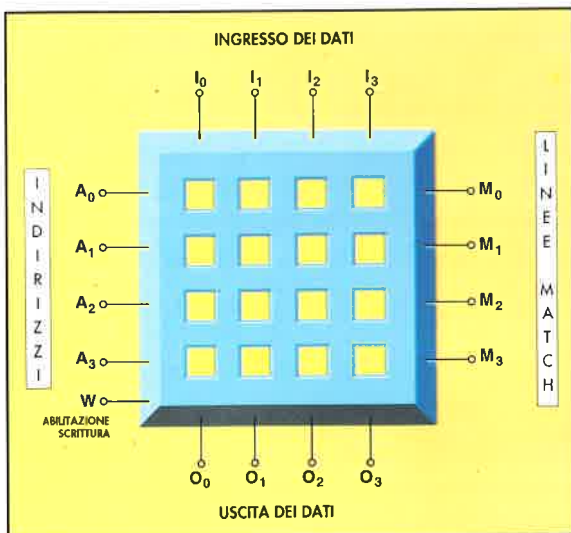
- *memorie ad accesso casuale*: adatte per applicazioni nelle quali è necessario leggere e scrivere in qualsiasi posizione di memoria, accedendo direttamente alla stessa;

Una memoria RAM è formata principalmente da un decodificatore di indirizzi e da una matrice di celle di memoria



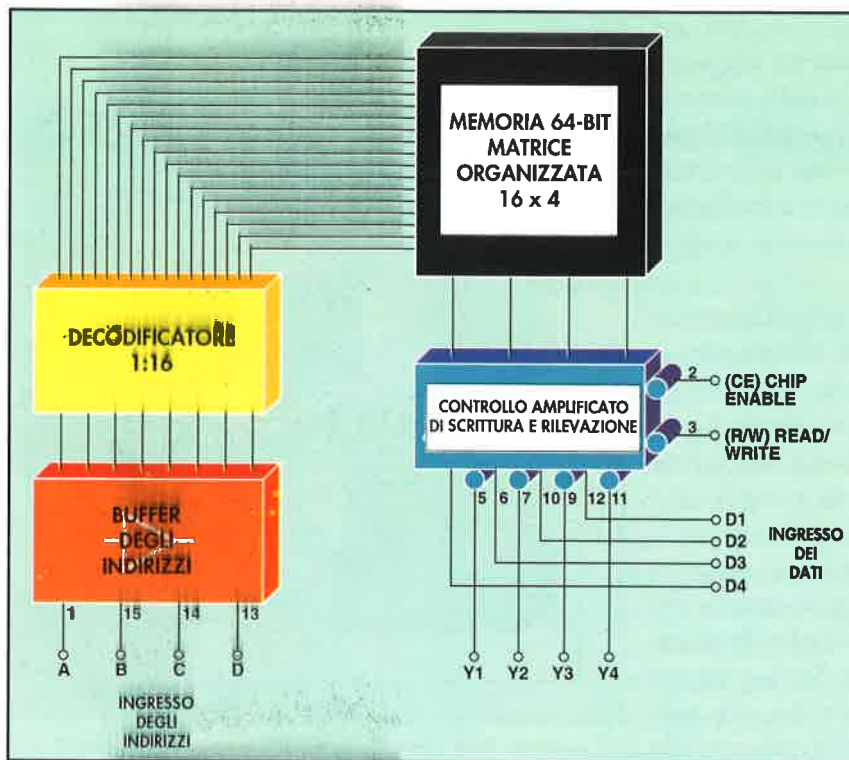
- *memorie ad accesso sequenziale*: utili per applicazioni nelle quali è necessario leggere o scrivere parte o tutto il contenuto della memoria in forma sequenziale e per ordine di posizione;
- *memorie a contenuto permanente*: utilizzate in quelle applicazioni in cui è necessario effettuare solo la lettura dei dati memorizzati, e non è richiesta una loro modifica;
- *memorie associative*: utilizzate in quei casi in cui è necessario sapere se una informazione è o meno presente in memoria, senza dover leggere o conoscere la posizione in cui si trova. In questi quattro grandi gruppi è possibile fare una ulteriore suddivisione che comprende i seguenti sottogruppi:
  - *memoria centrale*: è quella in cui vengono memorizzati i dati e le istruzioni proprie dei programmi e i risultati intermedi e finali ricavati dall'elaborazione degli stessi. Si trova sia nell'unità centrale di elaborazione che nelle periferiche di ingresso e uscita, ed è collegata alla CPU attraverso i bus di sistema. La sua capacità è limitata dalle caratteristiche intrinseche del processore. Nei computer a otto bit è normalmente di 64 Kbyte; tuttavia, sfruttando tecniche particolari, in certi processori la capacità di memoria può raggiungere e anche superare il Mbyte;
  - *memoria interna*: è anche conosciuta con il nome di memoria tampone o *buffer*. Si tratta di un modulo di memoria che immagazzina temporaneamente una informazione quando questa viene

Tra le memorie associative si segnalano quelle indicate con la sigla CAM, Content Addressable Memory (memoria dal contenuto indirizzabile)



Le memorie RAM sono il mezzo di comunicazione che il calcolatore utilizza per comunicare con le periferiche

- trasferita dalla memoria centrale a una periferica, o viceversa. Viene utilizzata per accorciare al massimo il tempo che l'unità centrale impiega per stabilire l'accesso alla periferica. Quasi tutte le stampanti sono provviste di una memoria tampone. Il trasferimento dei dati con una unità disco avviene sfruttando una zona della memoria centrale che agisce come memoria intermedia;
- *memoria virtuale*: è un insieme hardware e software con il quale si può ottenere una simulazione di espansione della memoria reale per mezzo di un traduttore dinamico di indirizzi e di una tabella di memorizzazione degli indirizzi reali e virtuali. Con questo metodo si ottiene un'espansione graduale del sistema, specialmente in quelle configurazioni in linea nelle quali la dimensione può rappresentare un ostacolo. Questa espansione consente di mantenere completamente in memoria anche file di grandi dimensioni. La parte di spazio teoricamente indirizzabile sarà quella che apparirà effettivamente all'utente come memoria reale;
- *memoria cache*: è una memoria con una velocità che supera addirittura quella della memoria centrale; per contro, il suo costo è molto più elevato. In questa memoria vengono immagazzinati i dati



Schema a blocchi di una memoria di tipo comune

che hanno più probabilità di essere letti. Viene allocata tra il microprocessore e la memoria centrale;

- *memoria dinamica*: è una memoria nella quale l'informazione viene persa con il passare del tempo, per cui deve essere continuamente

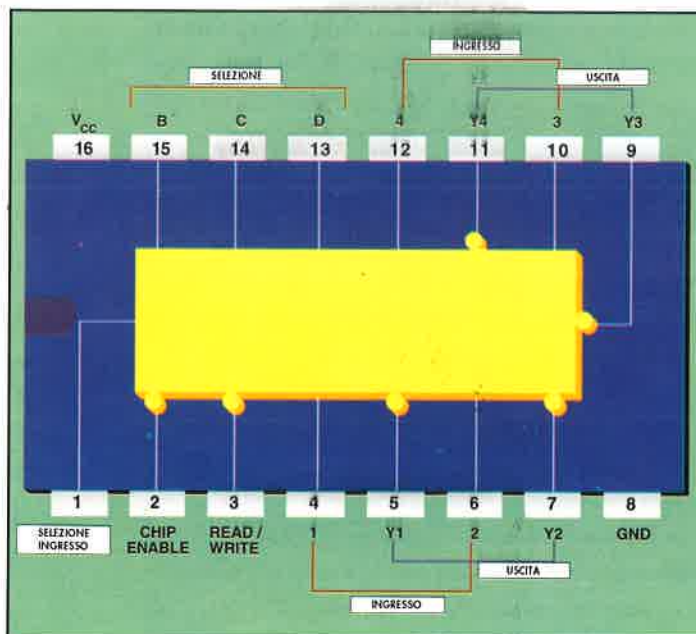
rigenerata per mantenere i dati sempre integri;  
 - *memoria statica*: in questo tipo di memoria l'informazione non deve essere rigenerata;  
 - *memoria volatile*: se una memoria perde completamente il suo contenuto quando viene a mancare la tensione di alimentazione si è in presenza di una memoria di tipo volatile. Al contrario, in una memoria *non volatile* l'informazione memorizzata viene mantenuta anche se viene a mancare la tensione di alimentazione;  
 - *memoria RAM*: in inglese corrisponde alle iniziali di *Random Access Memory*, o memoria ad accesso casuale. Questo

dispositivo offre la possibilità di leggere e scrivere le informazioni, e costituisce la memoria centrale del sistema a microprocessore;

- *memoria ROM*: in inglese corrisponde alle iniziali di *Read Only Memory*, o memoria a sola lettura. Questo è un dispositivo nel quale è possibile unicamente, come del resto indica il suo nome, leggere e non scrivere. Questa memoria viene programmata in fase di costruzione, e l'utente non può variarne il contenuto. I dati che questa contiene sono generalmente relativi ai programmi di controllo, ma può essere utilizzata anche per eseguire calcoli o per contenere software particolari.

Nei prossimi capitoli verrà presa in esame ogni singola categoria di memorie citate precedentemente, e alcuni altri componenti simili derivati dai dispositivi fondamentali particolarmente significativi per il tipo di applicazione a cui sono destinati.

Schema di collegamento di una memoria RAM



# LE MEMORIE RAM

**Nei calcolatori, nei processi di elaborazione delle informazioni, e nei sistemi di controllo è necessario poter memorizzare e recuperare a piacere i dati digitali. In una memoria, al contrario di quanto avviene in un registro a scorrimento, l'informazione può essere inserita o estratta in modo non sequenziale; per questo motivo viene definita RAM, o memoria ad accesso casuale.**

**P**er molti anni come elementi di memoria sono stati utilizzati i nastri magnetici, che però sono stati rapidamente sostituiti dalle memorie a semiconduttore. Le RAM monolitiche vengono costruite con le tecnologie proprie della microelettronica, che sfruttano per la memorizzazione dei transistor bipolari o MOS. Il bistabile esaminato nei capitoli precedenti ad esempio, è un elemento fondamentale per la realizzazione delle memorie statiche. I vantaggi che i dispositivi a semiconduttore presentano rispetto ai tradizionali nastri magnetici sono molteplici, e tra questi si possono evidenziare:

- un minor assorbimento,
- un basso consumo di potenza,
- una maggior velocità.

Per contro le memorie RAM (abbreviazione di Random Access Memory), o memorie ad accesso casuale, hanno l'inconveniente di essere volatili; se per qualunque motivo viene a mancare la tensione di alimentazione, tutte le informazioni memorizzate vengono irrimediabilmente perse.

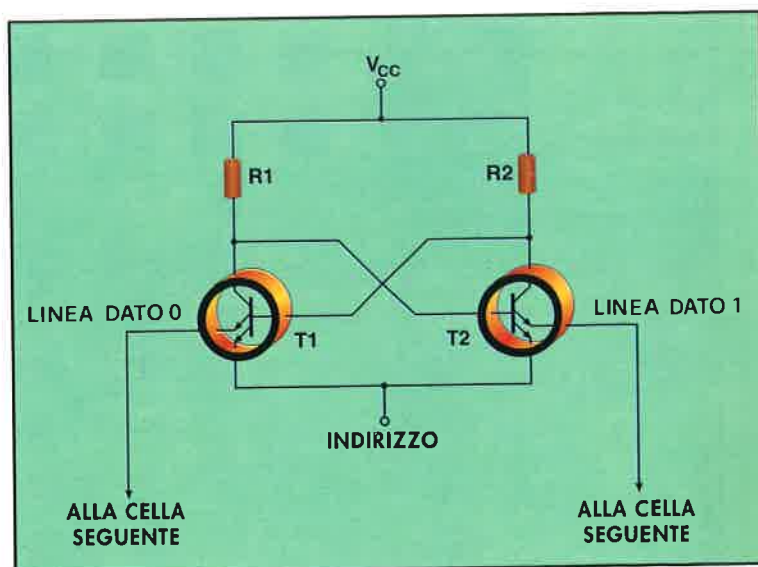
Riassumendo, si può dire che nelle memorie appartenenti a questa categoria ogni cella

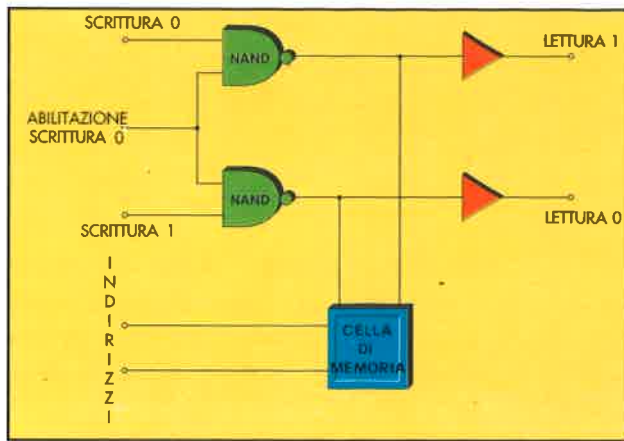
può essere letta e scritta direttamente, senza la necessità di dover coinvolgere nel processo altre celle che non siano quella desiderata.

Pertanto, in qualsiasi operazione di lettura o di scrittura l'unico dato che deve essere conosciuto è l'indirizzo della cella nella quale si desidera operare e, per la lettura, il dato che si desidera memorizzare.

Poiché le memorie di questo tipo possono conte-

*La classificazione delle memorie RAM viene fatta in funzione della struttura delle celle di memoria*

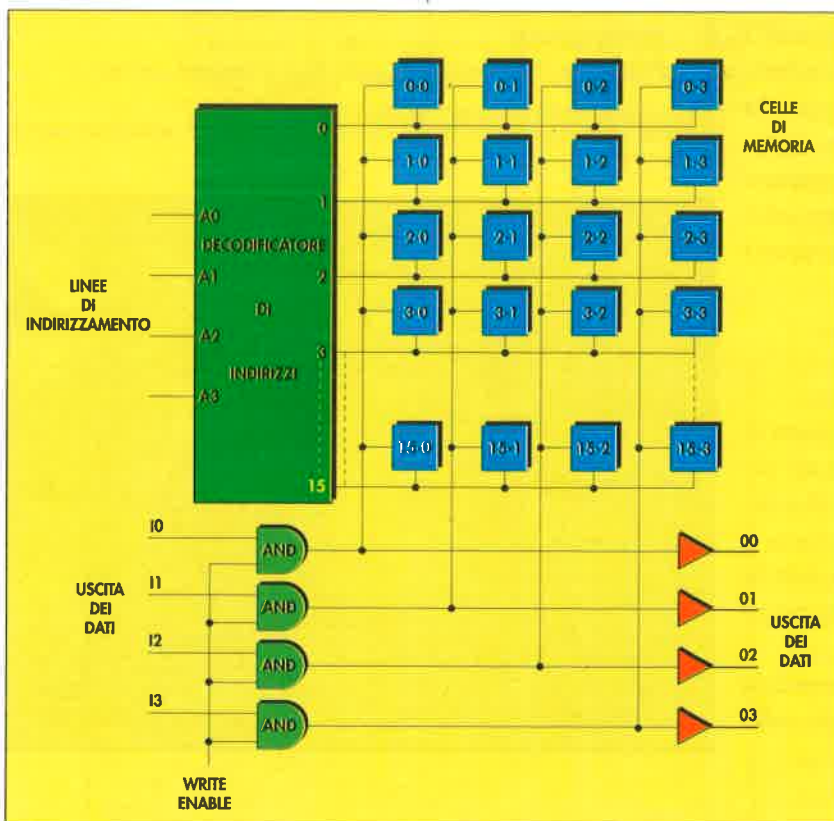




Con questo semplice circuito si può comprendere più facilmente il principio di funzionamento di una memoria RAM

nera migliaia di celle, queste vengono organizzate in modo che il loro indirizzamento possa essere eseguito in forma codificata e che l'uscita o l'ingresso dei dati possa avvenire tramite terminali comuni a tutte le celle, che dipendono dalla struttura interna della memoria.

L'indirizzamento della memoria RAM si può effettuare tramite un decodificatore (selezione lineare), oppure con un sistema chiamato ad indirizzamento bidirezionale



## TIPICI DI MEMORIE RAM

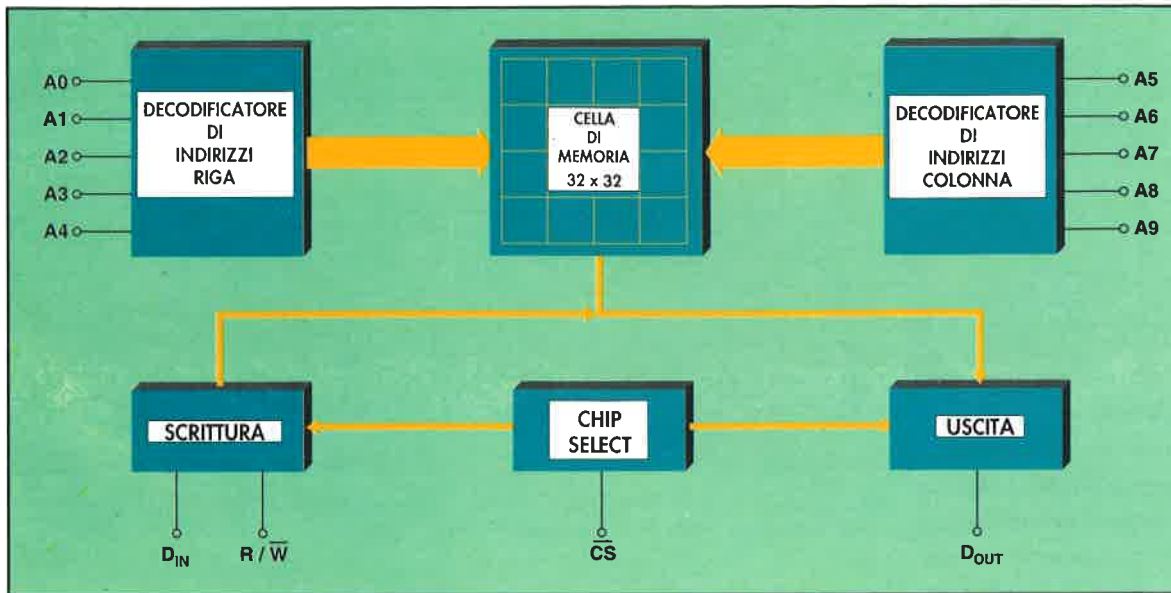
In funzione del tipo di organizzazione interna della memoria si possono distinguere due grandi categorie di dispositivi:

- le memorie statiche,
- le memorie dinamiche.

Nelle memorie appartenenti alla prima categoria la singola cella è costituita nella maggior parte dei casi da un multivibratore bistabile. Nelle RAM dinamiche invece, il bit relativo all'informazione viene memorizzato per mezzo di un elemento capacitivo.

Riprendendo in esame la struttura interna di questi dispositivi, è opportuno chiarire che possono essere organizzati in modo tale che ciascun indirizzo corrisponda a un bit, oppure che ciascuna cella corrisponda a una parola o ad un insieme di più bit. Le memorie del primo tipo vengono definite come memorie RAM con parole di 1 bit. Anche se potrebbe apparire sconveniente lavorare con memorie così limitate, sono invece molto

utilizzate a causa del loro costo relativamente contenuto dovuto alla semplicità dei processi impiegati per la loro costruzione; nel caso sia necessario usare un sistema di memorizzazione dotato di parole con una maggior quantità di bit (per esempio di 32 bit come quelle impiegate nei computer 486 dell'ultima generazione), molti progettisti preferiscono utilizzare queste memorie più semplici organizzando gli opportuni collegamenti esterni per ottenere la lunghezza desiderata della parola. In commercio esistono memorie con parole di lunghezza diversa: attualmente le più utilizzate hanno parole di 1, 4 e 8 bit anche se ultimamente, soprattutto nei computer delle famiglie 386 e 486, cominciano ad essere impiegate memorie con parole da 16 e 32 bit. Un altro parametro molto importante che contraddistingue le memorie RAM è costituito dalla tecnologia utilizzata per la loro costruzione; le memorie statiche infatti, possono essere fabbricate sia in tecnologia bipolare che in tecnologia MOS, mentre quelle dinamiche possono essere costruite esclusivamente in tecnologia MOS.



Schema a blocchi della struttura generica di una memoria RAM

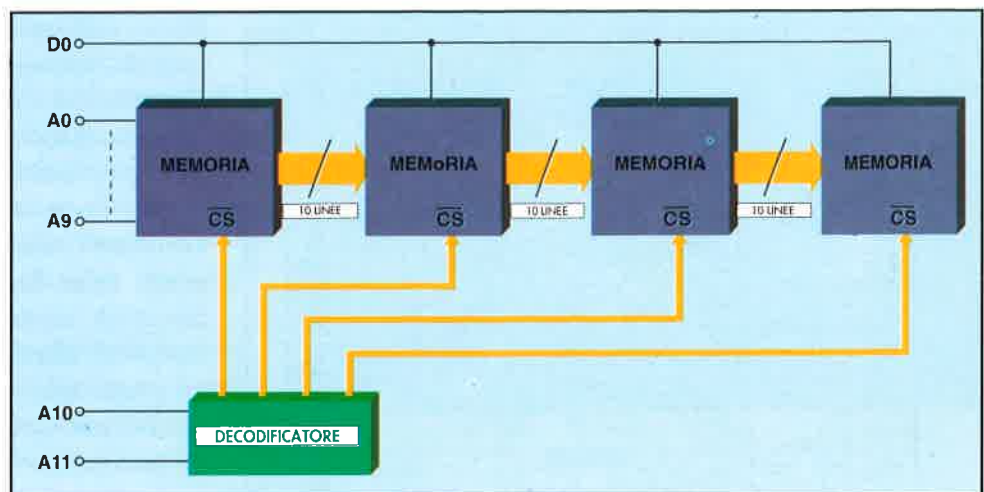
### PRINCIPIO DI FUNZIONAMENTO DI UNA RAM

Per comprendere il funzionamento di una RAM si prende in esame un circuito formato da un semplice flip-flop R-S ad un bit nel quale il dato di ingresso *SCRITTURA* viene trasferito alla cella solo se viene attivato anche l'ingresso di *ABILITAZIONE ALLA SCRITTURA*. Il dato di uscita *LETTURA* è sempre presente, ma viene letto solo quando il circuito esterno lo richiede. Come si può osservare nella corrispondente figura, gli ingressi per la scrittura del dato in memoria sono due, di cui uno negato rispetto all'altro; i segnali provenienti da questi terminali confluiscono attraverso le porte NAND a quelle che vengono definite *linee dati*, comuni a tutti i flip-flop appartenenti alla stessa colonna, e contemporaneamente vengono trasferiti in uscita dove sono presenti degli amplificatori invertenti, definiti *sense amplifier*, che negano il dato di ingresso.

Si supponga di voler realizzare una RAM da 8 Kbit organizzata in 1.024 paro-

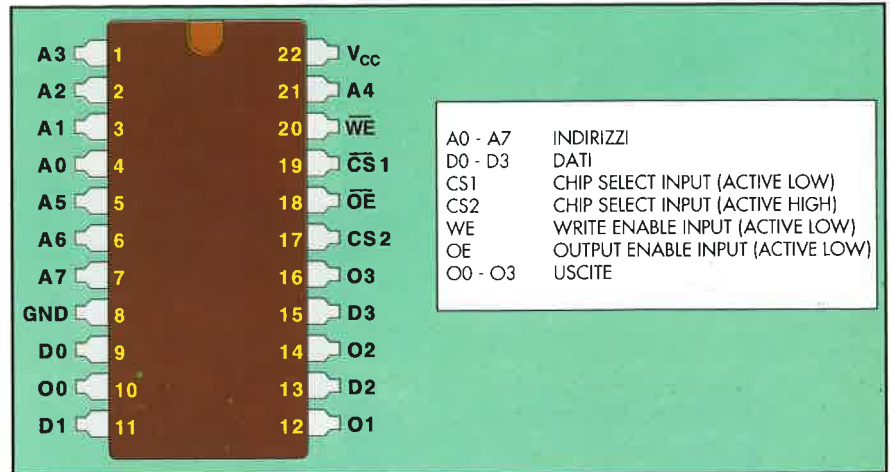
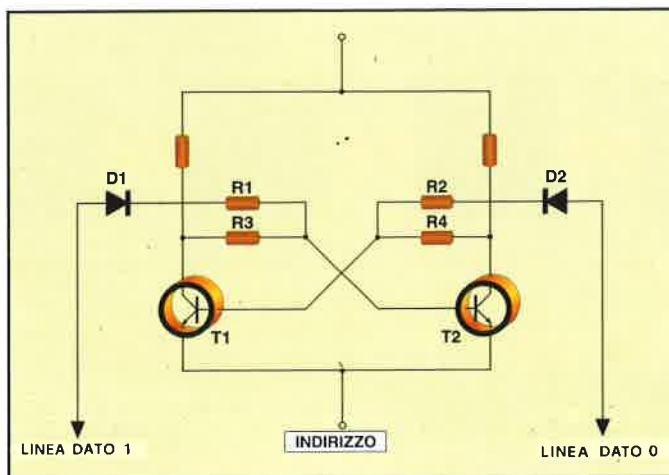
le da 8 bit ciascuna. Se ogni cella di memoria è in grado di memorizzare un solo bit, saranno necessarie 8.192 celle complessive. Questo sistema, secondo quanto detto in precedenza, dovrebbe richiedere 1.024 linee di indirizzo, 8 per l'ingresso dei dati e 8 di uscita. Utilizzando opportunamente un decodificatore di indirizzi, è possibile ridurre drasticamente il numero di terminali richiesti ad un valore accettabile. Infatti, disponendo le celle in modo da formare 1.024 gruppi uguali composti ciascuno da otto celle allineate sulla stessa riga orizzontale e abilitate dalla stessa linea di indirizzo, è possibile ottenere

Per ottenere memorie con una lunghezza di parola maggiore è necessario collegare esternamente delle memorie con parola da 1 bit



l'abilitazione delle 1.024 parole da otto bit con solo 10 linee di indirizzamento, corrispondenti a  $2^{10}$ . Il decodificatore di indirizzi richiesto dovrà perciò essere del tipo da 10 a 1.024 linee. Questo sistema di indirizzamento viene definito *indirizzamento lineare*. Il numero delle porte NAND necessarie per il decodificatore può essere ulteriormente ridotto disponendo i 1.024 elementi di memoria in una matrice da 32 x 32, nella quale ciascun elemento serve per memorizzare il singolo bit di una parola. Complessivamente sono perciò necessari otto di questi gruppi, equivalenti a ciascuno degli otto bit di ogni parola. Tutta la parola viene quindi identificata estraendo da ciascuna matrice l'informazione contenuta nella cella relativa alla parola stessa, tramite un valore di indirizzamento espresso nella forma x-y. Ad esempio, per leggere o scrivere in una determinata cella un decodificatore identifica il numero  $y_n$  della colonna, mentre un altro identifica quello della riga  $x_n$ . Questo tipo di indirizzamento viene definito *bidimensionale*.

*Le celle di memoria consentono di distinguere i diversi tipi di memorie RAM disponibili in commercio*



*La dimensione del contenitore integrato di una memoria dipende dal numero di bit per parola della stessa e dalla sua capacità di immagazzinamento*

## ORGANIZZAZIONE DI UNA MEMORIA RAM

Anche se ogni tipo di memoria è organizzato in modo leggermente diverso da un'altro, poiché dipende dalle diverse caratteristiche proprie del dispositivo quali la capacità, la lunghezza della parola, ecc., si può però dire che in generale hanno tutti una struttura pressoché simile. Si possono infatti distinguere i seguenti blocchi:

- *decodificatore di indirizzi,*
- *ingresso e uscita dati,*
- *matrice delle celle di memoria.*
- *logica di controllo.*

Il decodificatore di indirizzi ha il compito, come detto in precedenza, di ricevere l'indirizzo al quale l'utente desidera eseguire una operazione di lettura o di scrittura, e di decodificarlo per individuare e abilitare la cella relativa in modo che l'operazione venga eseguita solo su quella. Il blocco principale è costituito dalla matrice delle celle di memoria, che rappresenta il cuore del dispositivo; è composto da un gruppo di celle statiche o dinamiche che determinano le caratteristiche principali della memoria. Proprio per questo motivo l'analisi delle memorie RAM verrà focalizzata sullo studio e sulla descrizione di queste celle. Sia la logica di controllo, che il blocco di ingresso e di uscita dati, hanno il compito di adattare le correnti e le tensioni interne ed esterne alle memorie e di generare i segnali richiesti per eseguire le operazioni di lettura o scrittura nella cella selezionata.

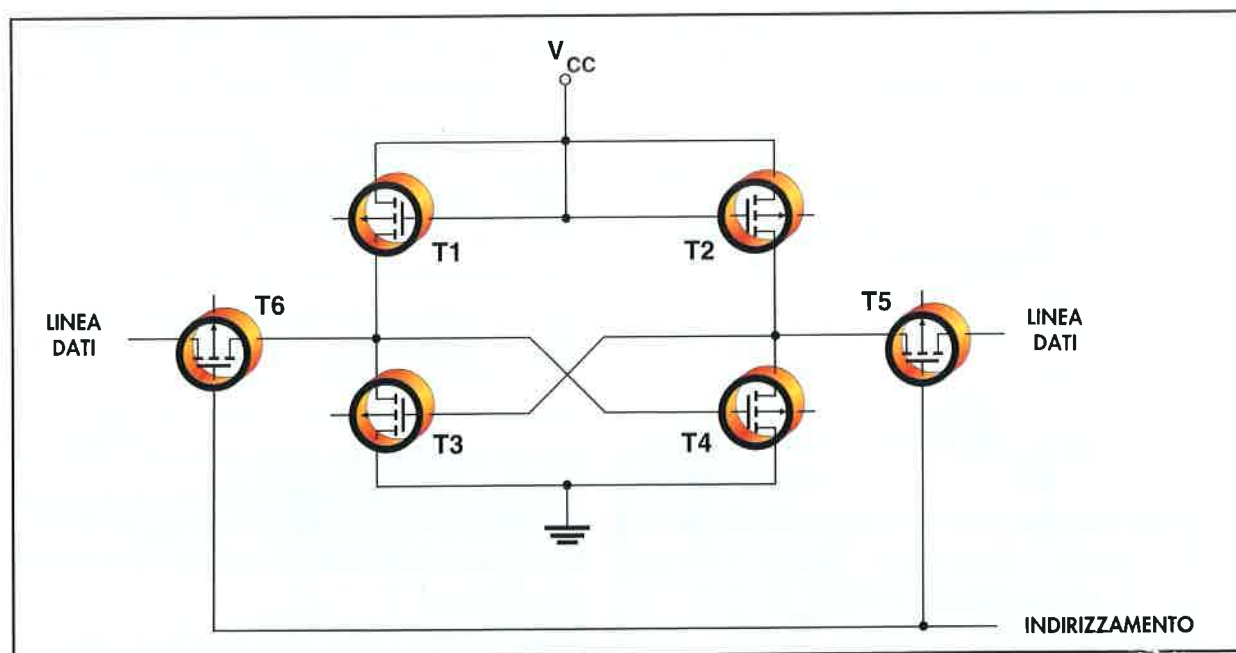


# LE MEMORIE RAM IN TECNOLOGIA MOS

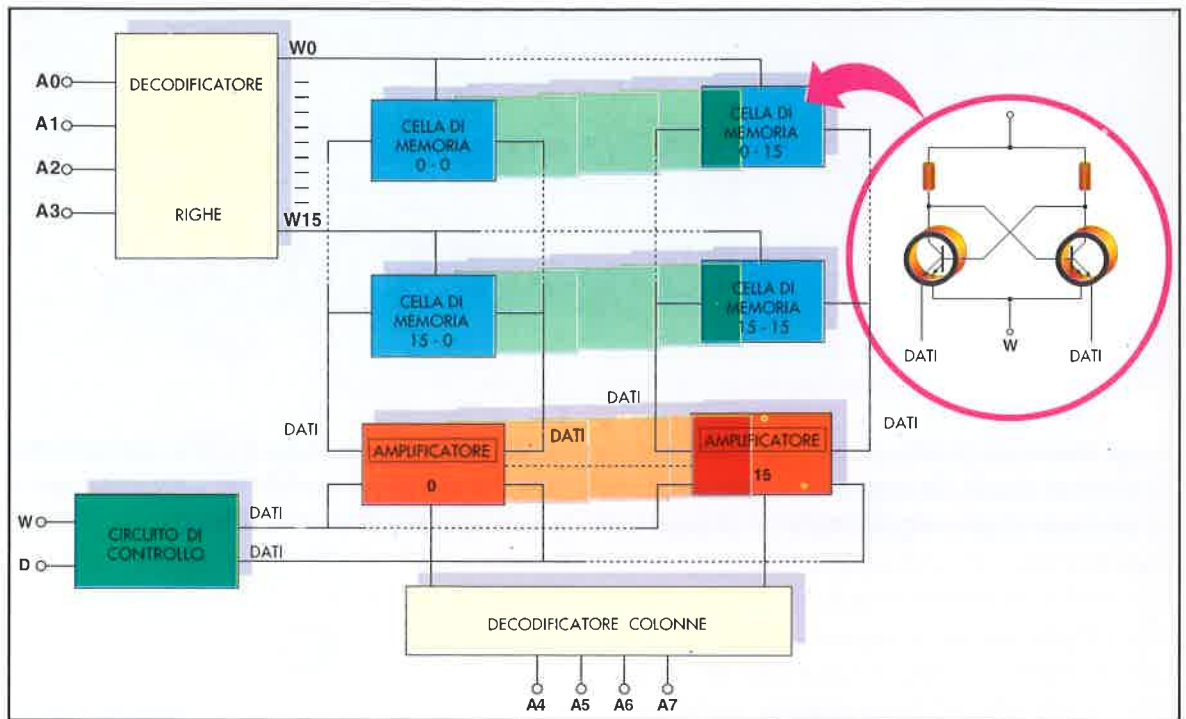
Le memorie RAM, come visto nel capitolo precedente, possono essere classificate in diversi modi. Di seguito verranno esaminati i dispositivi suddivisi secondo uno dei parametri più significativi e importanti: la tecnologia di costruzione.

**P**rima di addentrarsi nell'analisi di ciò che sono realmente le memorie in tecnologia MOS, è opportuno cercare di comprendere le nozioni fondamentali relative alle RAM più semplici, che sfruttano dei transistor a multiemettitore come base per la loro costruzione e progetto, chiamate RAM bipolari.

Come circuito di partenza viene considerata una cella base composta da due transistor multiemettitore e due resistenze, la cui configurazione era già stata indicata nella corrispondente figura riportata all'inizio del capitolo precedente. Inizialmente si suppone che la cella stia memorizzando un 1 logico definito dalla conduzione di T1 e dall'interdizione di T2.



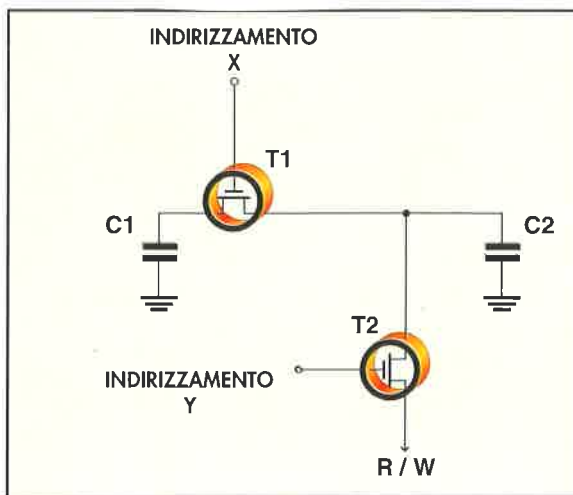
Cella di memoria RAM statica in tecnologia MOS



Memoria statica RAM a 16 righe per 16 colonne e cella di memoria da 1 bit in tecnologia bipolare

Quando si desidera eseguire una lettura della cella, bisogna indirizzarla tramite la linea di selezione, che in condizione di riposo ha generalmente un valore di 0,3 V mentre assume il valore di circa 3 V quando gli arriva l'impulso di indirizzamento; questo impulso causa il trasferimento della corrente dell'emettitore di T1 collegato alla linea di selezione all'altro emettitore collegato alla linea del dato, dove viene rilevata tramite un amplificatore di lettura e interpretata come presenza di un 1 logico.

*La cella di memoria più semplice, nella famiglia delle memorie dinamiche, è costituita da un transistor e da un condensatore che agisce come magazzino di memoria*

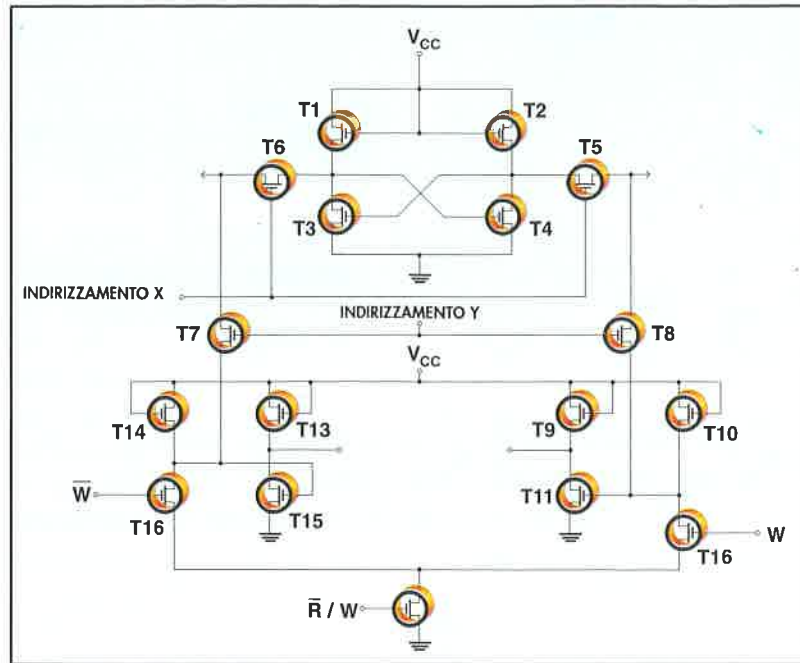


Per leggere uno 0 logico, la corrente deve essere rilevata sulla linea dei dati negata. L'impulso che arriva sulla linea di selezione deve essere sufficientemente ampio da permettere il trasferimento della corrente da un emettitore all'altro e la successiva rilevazione da parte dell'amplificatore di lettura. Quando si desidera scrivere un dato in una cella bisogna indirizzarla con lo stesso metodo visto in precedenza, ma in questo caso è necessario inviare il dato desiderato sulla linea del dato corrispondente, in modo che venga memorizzato nella cella selezionata. Si supponga di voler scrivere uno 0 nella cella definita in precedenza, nella quale era già memorizzato un 1 logico. Per poterla eseguire è necessario inviare l'impulso di indirizzamento sulla linea di selezione e contemporaneamente il segnale relativo al dato sulla linea dei dati collegata all'emettitore di T2. Ciò provoca la commutazione dello stato di T2, che si satura portando in interdizione T1 grazie alla retroazione positiva generata dal primo transistor. Quando l'impulso sulla linea di selezione viene a mancare, rimane perciò memorizzato il livello logico 0 come conseguenza dello stato di conduzione di T2 e di interdizione di T1.

Se questa cella di base viene inserita all'interno di una vera memoria RAM il suo comportamento è identico, e i diversi segnali necessari per il suo

pilotaggio vengono generati dai decodificatori e dai circuiti di controllo presenti nell'integrato. Considerando lo schema a blocchi di una RAM statica da 16 righe per 16 colonne riportata nella figura corrispondente, è possibile studiare il comportamento di tutti gli elementi che la compongono.

Tramite gli ingressi di indirizzamento A0, A1, A2 e A3 viene selezionata una delle 16 righe che compongono la memoria, mentre gli ingressi A4, A5, A6 e A7 servono per selezionare uno dei 16 amplificatori invertenti di lettura/scrittura collegati a ciascuna delle 16 colonne. Quando si desidera eseguire una operazione di lettura bisogna innanzi tutto selezionare tramite le linee A0, A1, A2, A3 la riga corrispondente alla cella prescelta, e tramite le linee A4, A5, A6, A7 l'amplificatore di colonna relativo alla suddetta cella. Se questo amplificatore rileva corrente sulla linea del dato, genera in uscita uno 0 logico, mentre gli amplificatori non selezionati non rilevano nulla anche se su qualche altra linea dati è presente corrente. Per eseguire delle operazioni di scrittura invece, bisogna abilitare questa condizione tramite il terminale corrispondente W. Ciò provoca la conversione del dato in ingresso in due livelli di tensione opposti applicati alle due linee dei dati. Questa differenza di tensione viene rilevata dall'amplificatore di scrittura, che abilita la colonna corrispondente; la riga relativa viene sempre



Alla cella di memoria a 6 MOS vengono aggiunti degli elementi circuitali di controllo che consentono la selezione delle operazioni di lettura e di scrittura

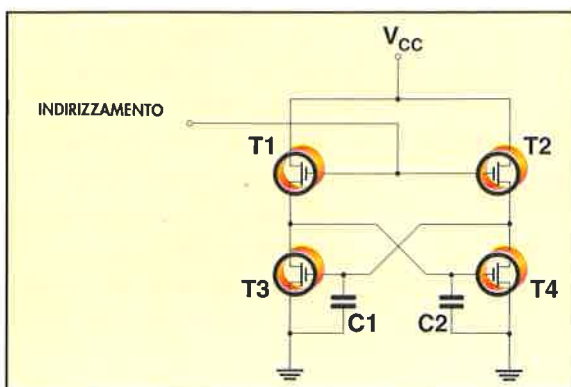
selezionata tramite le linee A0-A3 già definite in precedenza. L'indirizzamento incrociato riga-colonna individua la cella prescelta per la scrittura, nella quale avviene il processo di scrittura e memorizzazione del dato descritto precedentemente per la singola cella.

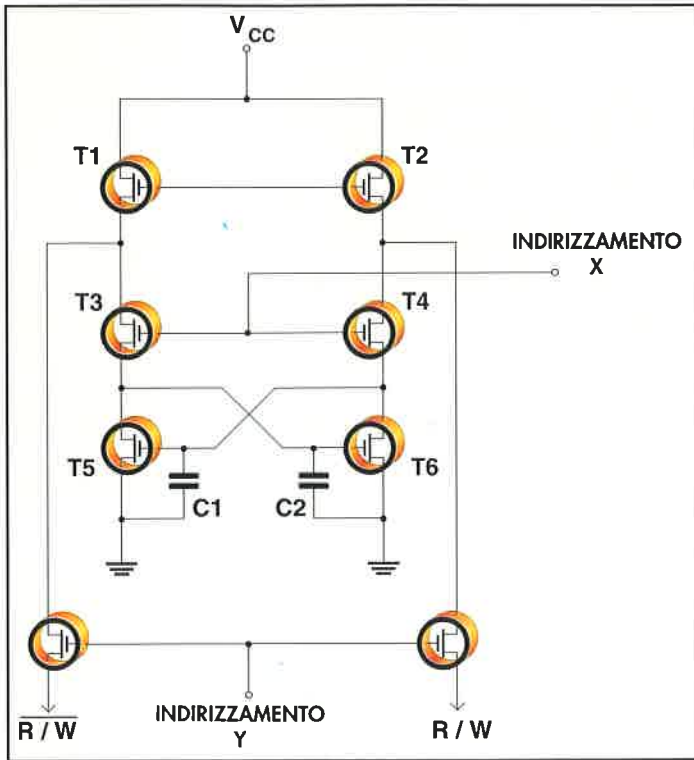
### LE MEMORIE STATICHE IN TECNOLOGIA MOS

La tecnologia MOS ha permesso la costruzione dei dispositivi in alta scala di integrazione (LSI) appartenenti alla famiglia logica MOS. Questo fatto ha reso possibile la realizzazione di memorie di capacità molto elevata, utilizzate soprattutto in quelle applicazioni nelle quali la velocità di lavoro non è il requisito principale richiesto. Esistono diversi modelli di celle di memoria statiche in tecnologia MOS. In questo caso viene esaminata la cella più tipica, costituita da un bistabile realizzato con due invertitori MOS ad accoppiamento incrociato.

I transistori che vengono utilizzati in questa configurazione sono ad arricchimento a canale P. Il loro substrato è collegato alla tensione più positiva, e le tensioni di alimentazione sono quelle tipiche dei MOSFET, -12 V per il drain e 0 V per il source.

Cella dinamica a quattro MOSFET

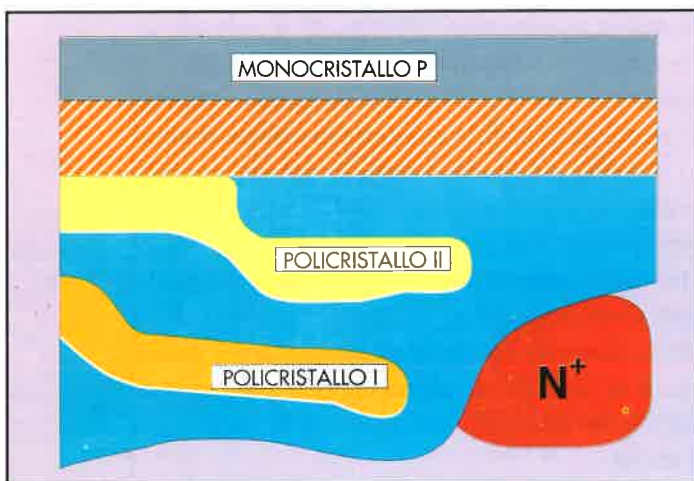




Circuito completo di una memoria RAM realizzato in tecnologia MOS dinamica

Il suo funzionamento è il seguente: si suppone inizialmente che nella cella sia memorizzato un livello logico 1, situazione definita dalla conduzione del transistor T3 e dall'interdizione del transistor T4. In condizione di riposo la cella risulta completamente isolata dagli altri circuiti esterni, poiché le porte di trasferimento T5 e T6 risultano aperte per effetto della polarizzazione applicata ai loro terminali tramite la linea di indirizzamento.

Sezione di una cella RAM dinamica realizzata con un transistor MOS e un condensatore



Per leggere il contenuto della cella bisogna indirizzarla tramite un impulso sulla linea di indirizzamento. In questa condizione T5 e T6 conducono e la tensione presente sui terminali dei transistor T3 e T4 viene trasferita alla linea dei dati. Se è presente un circuito in grado di rilevare la tensione presente sulle linee dei dati è possibile determinare se una cella contiene un 1 o uno 0. Questo circuito lo si può osservare nella figura corrispondente, nella quale T7 e T8 rilevano l'informazione letta che viene poi elaborata tramite dei circuiti dedicati.

Per scrivere in questa cella bisogna indirizzarla con un impulso negativo sulla linea di indirizzamento. Questo impulso apre un percorso per la corrente attraverso T5 e T6. Se si desidera scrivere un 1 è necessario mantenere la linea dei dati a 0 V e diminuire la tensione sulla linea dei dati negata che, attraverso T6, porta in conduzione T3; ciò provoca l'interdizione di T4. Quando la linea degli indirizzi torna al valore iniziale, questo 1 rimane memorizzato nella cella.

### MEMORIE DINAMICHE CON MOSFET

Gli elementi di memoria sono costituiti da condensatori, il cui processo di carica e scarica può essere controllato tramite dei flip-flop. È possibile però progettare una memoria dinamica utilizzando semplicemente un condensatore e un transistor che agisce come porta di trasmissione per la carica o la scarica del condensatore. L'informazione memorizzata è rappresentata proprio dalla carica del condensatore, che richiede però un segnale di rigenerazione (segnale di *refresh*) per rimanere stabile e invariata. Questo segnale viene generato ad intervalli regolari dagli elementi circuitati ai quali la memoria viene collegata. Questo tipo di cella, la più semplice tra quelle viste per la realizzazione di una RAM, viene utilizzata per la costruzione di dispositivi ad alta capacità di memorizzazione. Le operazioni di lettura e scrittura vengono abilitate dal transistor N-MOS, che collega direttamente il condensatore alla linea del dato. Poiché la carica di questo condensatore ha un valore estremamente basso, l'operazione di lettura provoca l'annullamento della stessa, per cui è necessario effettuare un ciclo di refresh immediatamente successivo per ripristinare l'informazione.

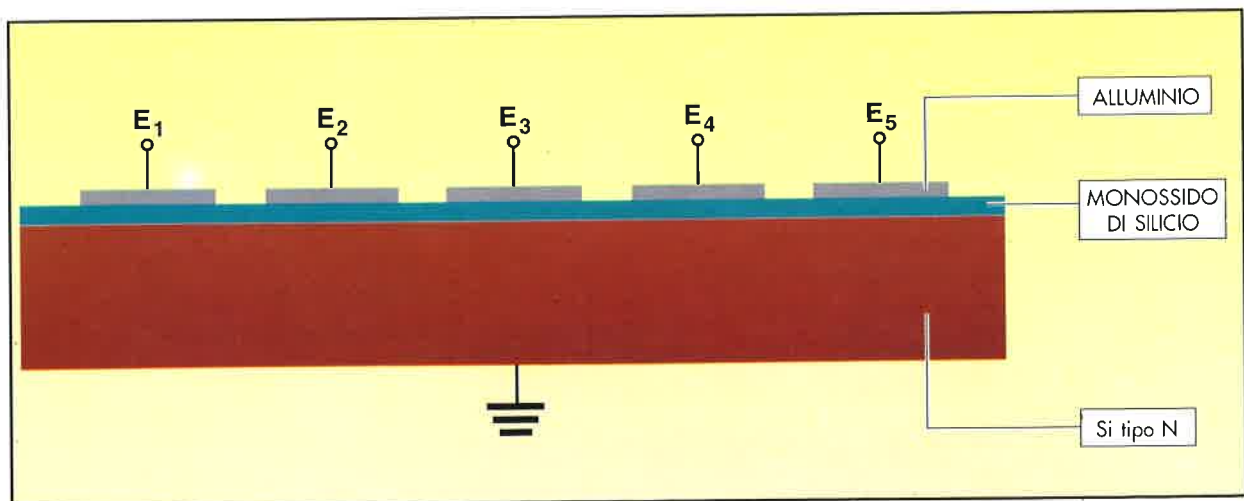
# STRUTTURA DELLE MEMORIE

Finora sono state descritte alcune categorie di memorie costruite in tecnologia bipolare, a multiemettitore, e CMOS; esistono però altre tecniche costruttive che consentono la realizzazione di memorie speciali. In questo capitolo verranno esaminati alcuni dei sistemi attualmente più utilizzati.

**S**i consideri un transistor costruito in tecnologia MOS, con un canale molto profondo ed elettrodi di drain e source molto vicini tra di loro; questa configurazione può essere utilizzata come registro a scorrimento. Ogni elettrodo forma con il substrato un condensatore MOS in grado di immagazzinare una carica. Con riferimento alla figura corrispondente, si supponga di applicare una certa tensione al primo elettrodo  $E_1$ ; se si elimina questa tensione, e

contemporaneamente la si applica all'elettrodo successivo, la carica passa dal primo al secondo degli elettrodi. Ripetendo il procedimento, la carica viene trasferita di condensatore in condensatore fino all'ultimo elettrodo  $E_5$ , che agisce come terminale di uscita. Questo funzionamento identifica un dispositivo chiamato *ad accoppiamento di carica* o *CCD* che, utilizzato nel campo della memorizzazione dei dati, consente la costruzione di memorie con grande capacità di immagazzinamento.

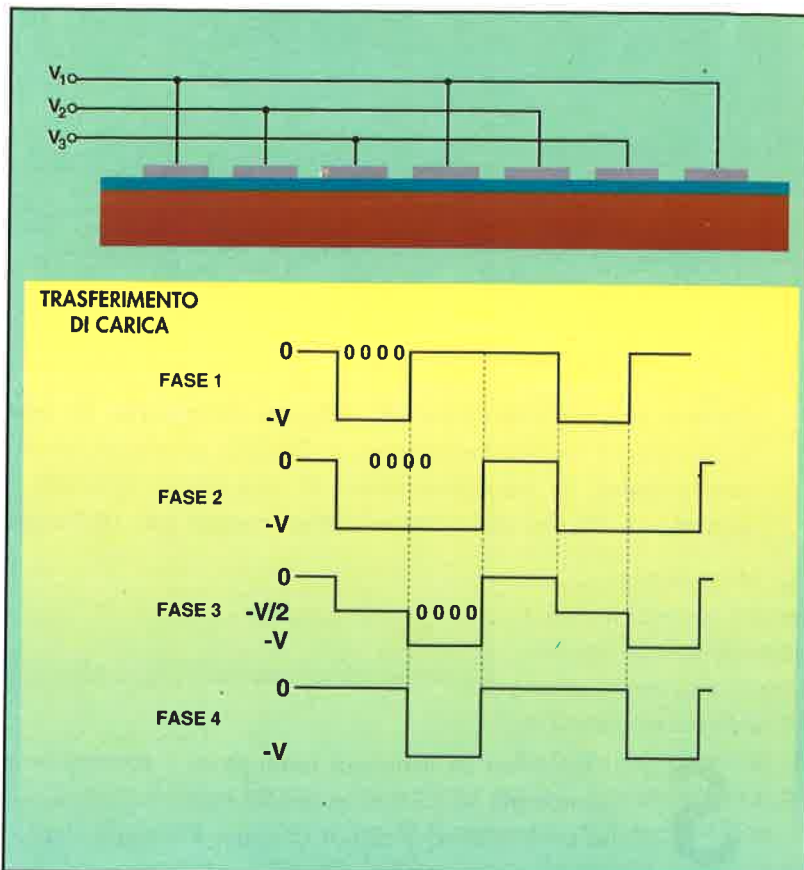
Struttura fondamentale di un dispositivo ad accoppiamento di carica o CCD



## STRUTTURA DEL CCD

Per comprendere meglio il funzionamento di un CCD viene preso in esame un esempio pratico. Si supponga di partire da un substrato di silicio di tipo N ricoperto da un sottile strato di ossido, sul quale vengono formati per evaporazione degli elettrodi metallici molto vicini tra di loro. Di seguito viene analizzato il modo in cui la carica si sposta da sinistra verso destra per tutta la lunghezza del dispositivo.

Applicando a  $V_1$  un potenziale negativo e collegando  $V_2$  e  $V_3$  a massa, si formano delle sacche di energia potenziale al di sotto delle armature collegate a  $V_1$ . Trascorso un determinato periodo di tempo la tensione di  $V_2$  diventa negativa, mentre  $V_1$  e  $V_3$  mantengono il valore di potenziale che avevano in precedenza. La carica immagazzinata risulta in questo caso ripartita tra i due elettrodi adiacenti, a causa della diffusione delle lacune dalla sacca originale a quella nuova che si è creata. Un istante dopo, la tensione di  $V_1$  viene portata alla metà del suo valore, mentre  $V_2$  e  $V_3$  mantengono la condizione precedente. La deformazione del campo elettrico, generata dalla differenza di potenziale che si è venuta a creare

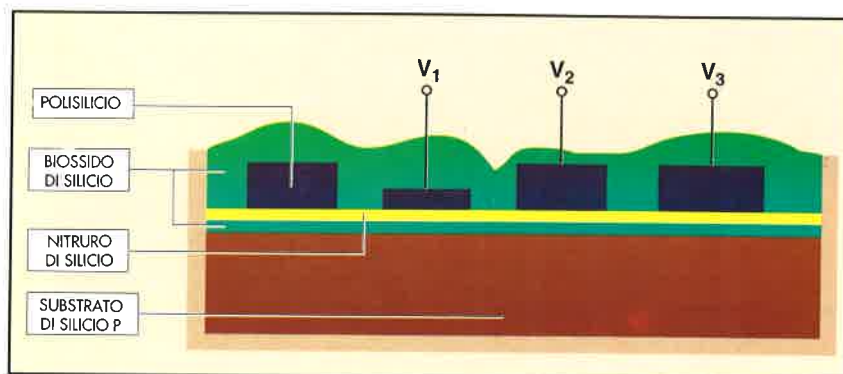


Trasferimento di carica in un dispositivo CCD a tre fasi

tra  $V_1$  e  $V_2$ , sposta le lacune verso la sacca maggiore, in questo caso quella relativa all'armatura collegata a  $V_2$ . Nell'ultimo intervallo di tempo  $V_1$  viene collegato a massa,  $V_2$  mantiene il suo potenziale negativo e  $V_3$  rimane a potenziale 0. Come risultato di questo cambio sequenziale di tensioni, la carica immagazzinata inizialmente si è spostata di un elettrodo verso destra.

Il trasferimento descritto rappresenta il movimento da un elettrodo verso il successivo del registro a scorrimento in tecnologia CCD. Bisogna tener presente che, poiché sono richieste tre diverse tensioni, sono necessari anche tre diversi clock ognuno dei quali con una fase differente. Evidentemente in ogni ciclo di lavoro relativo ad un determinato periodo avvengono tre diversi spostamenti, uno per ciascuna sacca; durante lo spostamento da una sacca a quella successiva però, la tensione di clock rimane costante e la forma d'onda del suo potenziale inalterata.

*Esistono diverse tecniche per la costruzione dei dispositivi ad accoppiamento di carica, che permettono di evitare alcuni inconvenienti tipici di questi componenti*



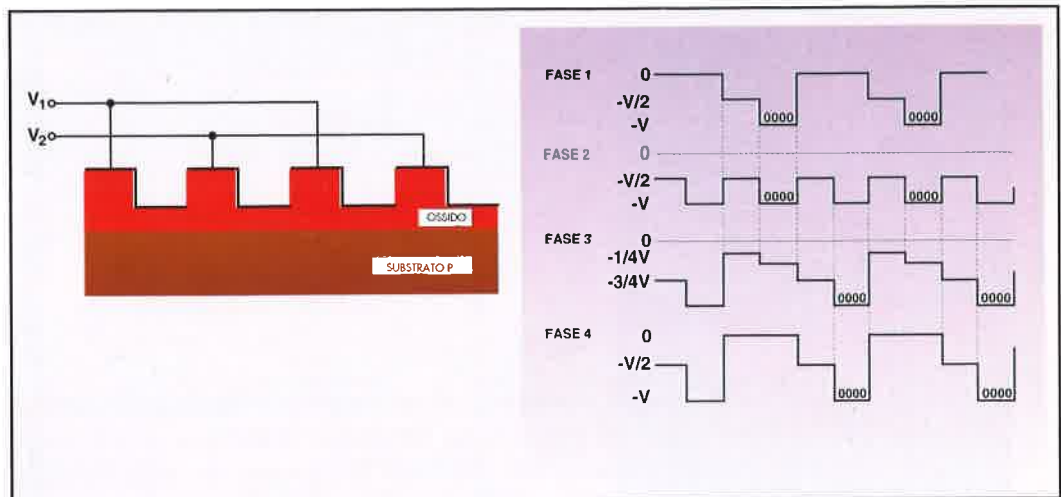
## CARATTERISTICHE DEL CCD

Se la sacca di energia potenziale presente sotto ogni terminale viene considerata come addensamento di cariche corrispondenti al livello alto di una informazione binaria, è possibile applicare questa tecnica ai circuiti digitali. Quando questa carica, o bit, occupa uno dei tre elettrodi, in base a quanto

esaminato in precedenza non è possibile memorizzare nessun'altra informazione nei due elettrodi successivi. Detto in altro modo, una cella di memoria CCD è composta da tre elettrodi, e in essa si può memorizzare un solo bit; si può quindi affermare che in questo tipo di celle gli elettrodi per bit sono tre.

L'informazione viene letta sull'elettrodo di uscita, rilevando in un determinato istante il valore della carica presente sullo stesso. Ovviamente un livello logico 1 corrisponde alla presenza di una carica, mentre un livello logico 0 corrisponde all'assenza della stessa in quel determinato istante. Poiché per trasferire un bit sono necessari tre spostamenti successivi, dall'elettrodo di "scrittura" a quello di "lettura", ogni ciclo deve comprendere le tre fasi di traslazione dell'informazione. La fase di memorizzazione deve perciò avvenire all'inizio del ciclo, mentre la fase di lettura può avvenire solo al termine dello stesso.

I dispositivi ad accoppiamento di carica sono unipolari poiché le cariche sono di un solo segno.



Dispositivo ad accoppiamento di carica a due fasi

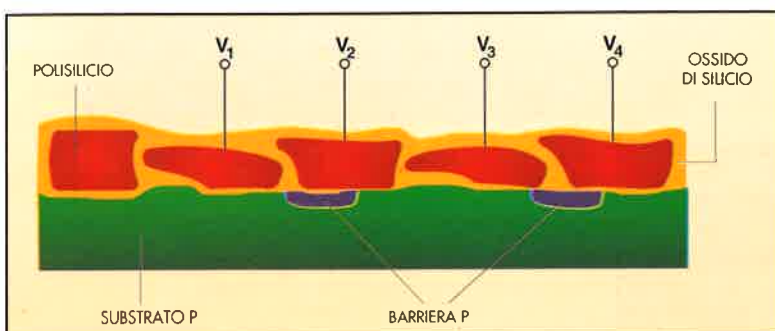
Il dispositivo descritto in precedenza è a canale P, poiché le cariche sono formate da lacune presenti nel substrato di silicio di tipo N. Se si considera un dispositivo a canale N, questo viene eccitato con tensioni positive anziché negative, per cui le forme d'onda risultano invertite.

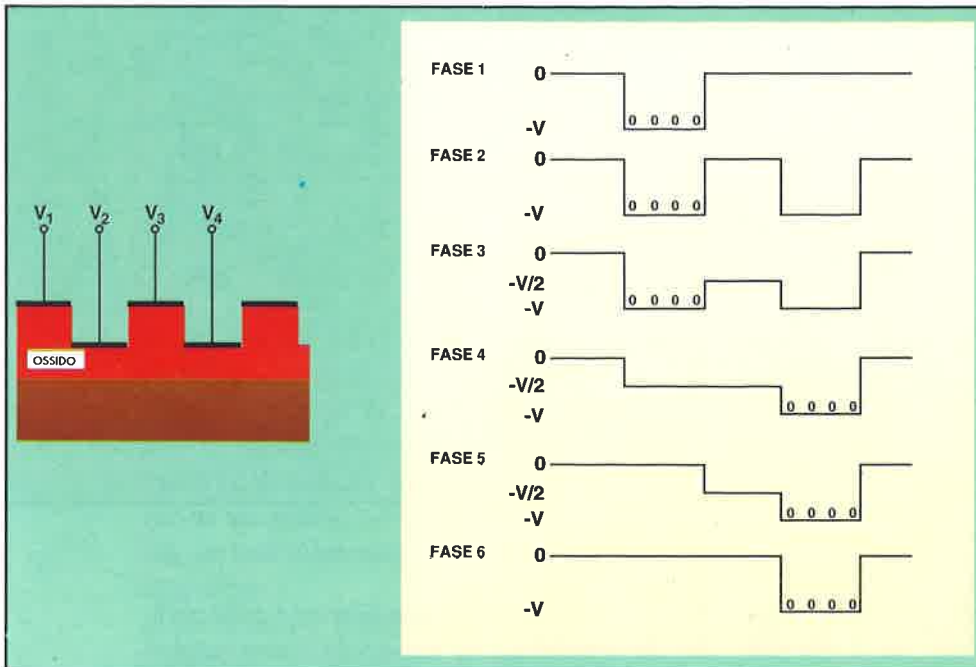
Il processo di memorizzazione dell'informazione avviene in questo modo: applicando all'elettrodo di scrittura una tensione negativa maggiore in modulo rispetto a quella applicata agli altri elettrodi, i portatori negativi N presenti nel canale adiacente allo strato isolante vengono allontanati, mentre quelli positivi P presenti nel substrato vengono attirati; in questo modo si forma la sacca di carica definita in precedenza sotto l'elettrodo di scrittura che determina la memorizzazione dell'1 logico.

Il funzionamento dei CCD in regime permanente non è possibile, poiché si verificherebbe una variazione di potenziale sui diversi elettrodi che li compongono. Infatti, come già capita nei condensatori, la carica immagazzinata nelle sacche di energia potenziale tende con il tempo a disperdersi, e ciò potrebbe provocare la variazione dello stato logico memorizzato. Questo fenomeno fissa il limite inferiore della frequenza di clock a cui possono lavorare questi dispositivi tra 50 kHz e 1 MHz.

D'altra parte i CCD a riposo non dissipano alcuna potenza,

Costruzione di un CCD a due fasi a canale N



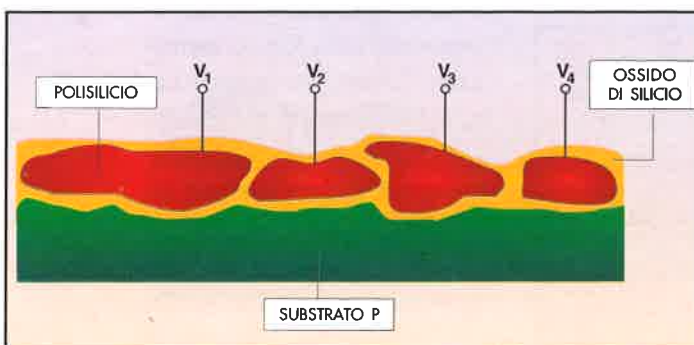


Trasferimento di carica in un CCD a quattro canali

poiché l'unico assorbimento è provocato dalla carica dei condensatori di scrittura; il limite superiore della frequenza di clock a cui possono lavorare queste celle, compreso tra 1 MHz e 10 MHz, viene perciò determinato dalla massima potenza dissipabile dalle stesse, che corrisponde al massimo numero ammissibile di operazioni di scrittura nell'unità di tempo.

Inoltre, un aumento della frequenza riduce l'efficienza del trasferimento della carica da un elettrodo a quello successivo, per cui la frequenza superiore deve essere limitata ad un valore per il quale le perdite di trasferimento risultino minime.

La struttura di un dispositivo a quattro canali prevede la presenza di quattro elettrodi, sui quali vengono applicati i diversi potenziali necessari per il suo funzionamento



## TIPICI DI CCD

In base a quanto descritto finora i dispositivi ad accoppiamento di carica non possono essere costruiti con componenti discreti, poiché richiedono un solo canale continuo per stabilire l'accoppiamento tra le sacche di energia che si formano sotto gli elettrodi.

Come già detto in precedenza, per ottenere questo accoppiamento gli elettrodi devono essere disposti ad una distanza molto breve; questa condizione provoca delle difficoltà nei processi di

fabbricazione dovuti a difetti di mascheratura, ad imperfezioni del processo di fotoemulsione, a particelle di polvere, ecc. Per evitare, o perlomeno cercare di minimizzare questi problemi, sono stati sviluppati alcuni metodi costruttivi che prevedono l'utilizzo di elettrodi metallici, sacche in silicio policristallino, processi di impiantazione ionica oppure tecniche miste.

Ciò ha portato alla creazione di diversi tipi di CCD, che si differenziano sia per i processi costruttivi che per il numero di fasi necessarie per il loro funzionamento.

Si possono perciò distinguere:

- le memorie CCD a due fasi,
- le memorie CCD a tre fasi,
- le memorie CCD a quattro fasi.

Ovviamente queste diversità influiscono notevolmente anche sugli aspetti funzionali, per cui la scelta di un dispositivo piuttosto che un altro dipende dall'applicazione a cui è destinato. Nel prossimo capitolo verranno descritte le applicazioni che interessano più da vicino gli elaboratori, vale a dire le memorie ad accesso sequenziale.



# LE MEMORIE AD ACCESSO SEQUENZIALE

**Dopo aver descritto la struttura delle memorie, verranno di seguito analizzati i diversi tipi presenti in commercio. In particolare, in questo capitolo verrà esaminata una famiglia di memorie chiamate ad accesso sequenziale, che sono un'applicazione diretta dei dispositivi CCD trattati nel capitolo precedente.**

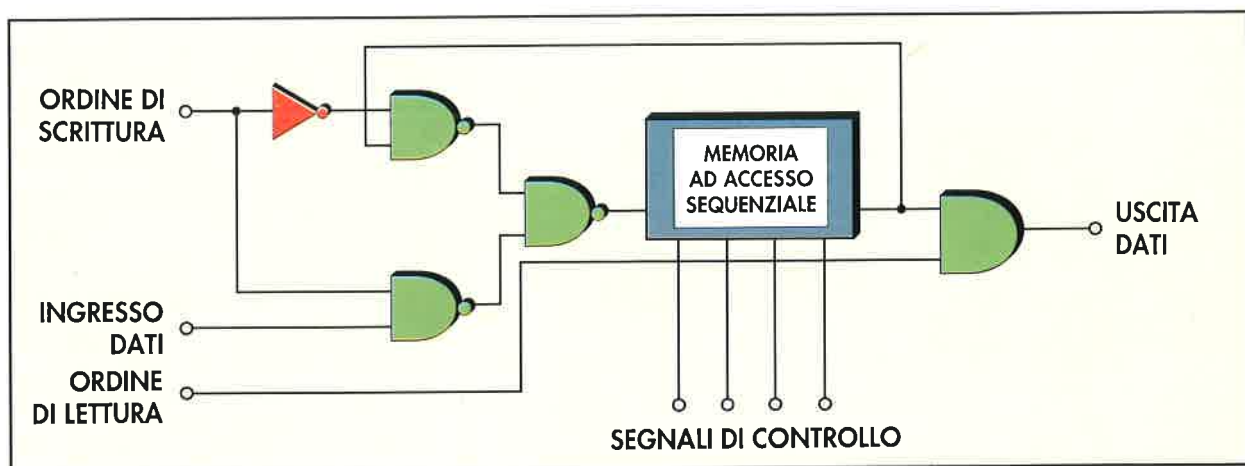
**a** differenza delle memorie ad accesso casuale (o aleatorio), definite RAM e già descritte nei capitoli precedenti, una memoria ad accesso sequenziale è un dispositivo nel quale non è possibile accedere direttamente alla cella desiderata della matrice, ma per arrivarvi bisogna obbligatoriamente passare per tutte quelle che la precedono.

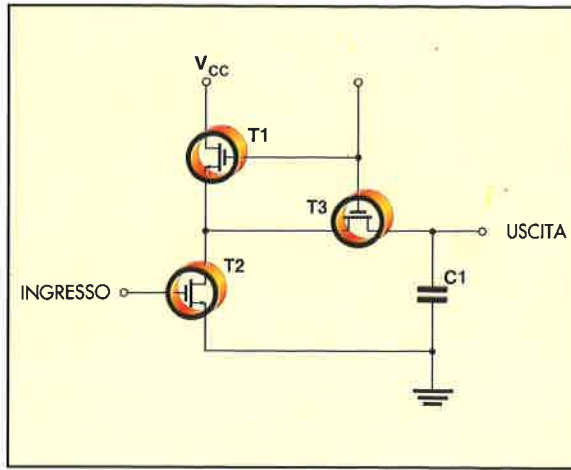
Per comprendere meglio questa definizione si pensi ad esempio ad un nastro magnetico, che rappresenta un dispositivo nel quale, se si desidera scrivere o leggere in una determinata posizio-

ne, è necessario passare una ad una tutte le posizioni precedenti sino ad arrivare a quella desiderata.

Le memorie ad accesso sequenziale, per loro stessa definizione, non vengono utilizzate come memoria per dati o per programmi negli elaboratori; infatti, supponendo che l'intervallo di tempo impiegato dal calcolatore per passare da una posizione a quella successiva sia di 100 nanosecondi, volendo accedere alla posizione numero 512.000 sarebbero necessari almeno 50 millisecondi, intervallo di tempo inammissibile per qualsiasi computer.

*Schema di una memoria sequenziale con registro a scorrimento*





Schema di un registro a scorrimento realizzato tramite NMOS dinamiche

Queste memorie sono invece molto utilizzate nelle periferiche dei calcolatori o nei sistemi di trasmissione dati. Per comprendere meglio il funzionamento di questi dispositivi si analizza come esempio il modo con cui viene formata l'immagine su di uno schermo di visualizzazione o su di un display. Si supponga che il terminale, costituito da un display o da uno schermo, riceva le istruzioni necessarie per rappresentare una linea di testo. Questa linea è ipoteticamente composta da 32 caratteri, e l'informazione relativa a ciascun carattere è codificata in parole binarie (word) di 16 bit, per cui viene ricevuta una sequenza di 512 bit. Tramite le opportune scansioni orizzontali e verticali del fascio elettronico la linea viene rappresentata sullo schermo,

ma la permanenza dei punti luminosi è di durata molto inferiore rispetto al tempo necessario all'occhio dell'operatore per recepire la stessa, per cui è necessario rigenerare ciclicamente la medesima informazione per un certo numero di volte in modo che il tempo di permanenza dell'immagine sullo schermo sia superiore all'inerzia dell'occhio umano.

Generalmente l'elaboratore trasmette l'informazione una sola volta, per cui è necessario che il terminale di visualizzazione sia dotato di un sistema di memorizzazione in grado di immagazzinare l'informazione e riprenderla continuamente in modo sequenziale.

Le memorie ad accesso sequenziale possono essere classificate in due grandi gruppi, in funzione della loro struttura interna:

- con registro a scorrimento,
- con dispositivi ad accoppiamento di carica.

## MEMORIE CON REGISTRO

### A SCORRIMENTO

Il loro funzionamento, come indica il nome stesso, è basato sull'impiego dei registri a scorrimento già descritti nei capitoli precedenti.

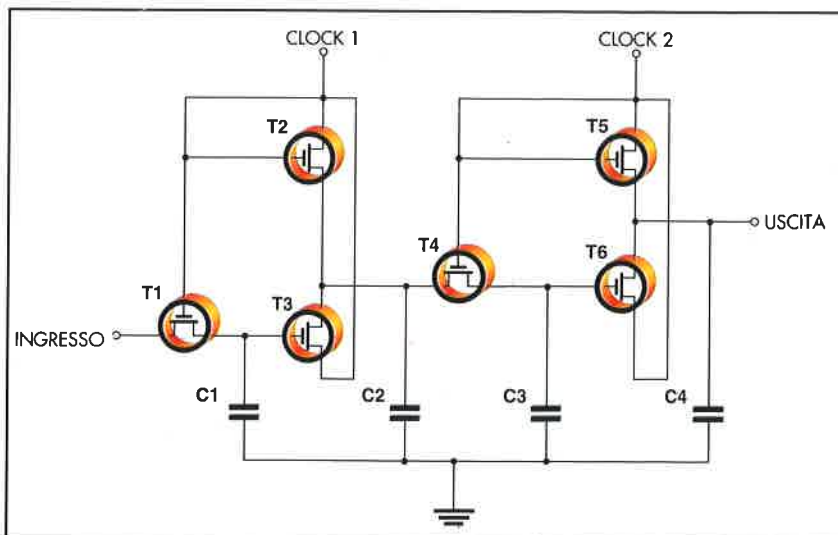
La loro struttura è formata da un registro a scorrimento e da un circuito elettronico, il cui compito è quello di mantenere l'informazione all'interno del registro in modo che non venga persa.

Il funzionamento è molto semplice: si supponga di operare con una memoria costituita da un solo

registro a scorrimento formato da  $n$  stadi o celle di memorizzazione. Per effettuare una operazione di scrittura è sufficiente applicare il dato logico da scrivere sulla linea di ingresso dati e mantenere basso il terminale di abilitazione R/W; al primo impulso di clock l'informazione viene memorizzata nel primo stadio del registro, mentre al secondo impulso di clock viene fatta scorrere al secondo stadio e viene caricata una successiva informazione nel primo stadio. Solo dopo  $n$  impulsi di clock il primo dato memorizzato è presente sull'uscita per poter essere letto.

L'operazione di lettura avviene con la stessa sequenza dell'operazione di

Cella di memoria formata da un registro a scorrimento ad uno stadio pilotato da due clock

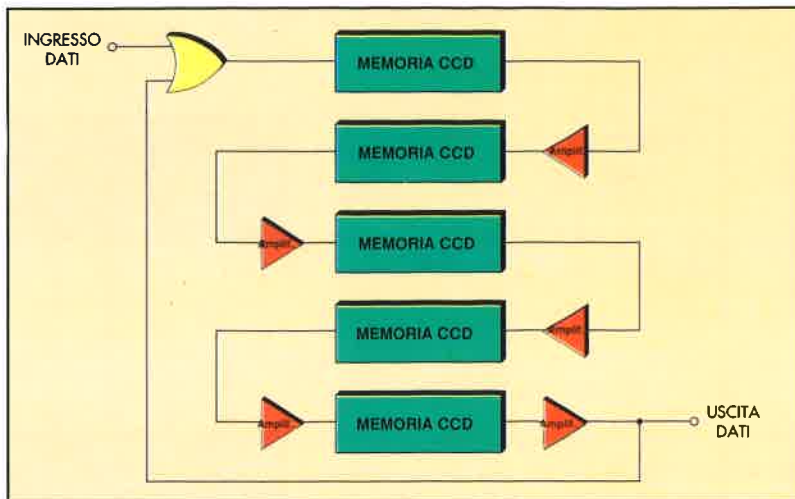


scrittura, portando a livello alto il terminale di abilitazione R/W. Di conseguenza, la prima informazione scritta diventa anche la prima informazione che può essere letta; questo è il motivo per cui le memorie di questo tipo vengono indicate come memorie *FIFO* (First In-First Out)

### MEMORIE CON DISPOSITIVI AD ACCOPPIAMENTO DI CARICA

Queste memorie occupano una posizione intermedia tra le RAM e le memorie magnetiche. Rispetto alle prime presentano un minor costo di produzione ma un tempo di accesso decisamente superiore, a causa della loro stessa filosofia di funzionamento. D'altra parte, le CCD sono più costose delle memorie magnetiche, ma hanno un tempo di accesso inferiore rispetto a queste ultime.

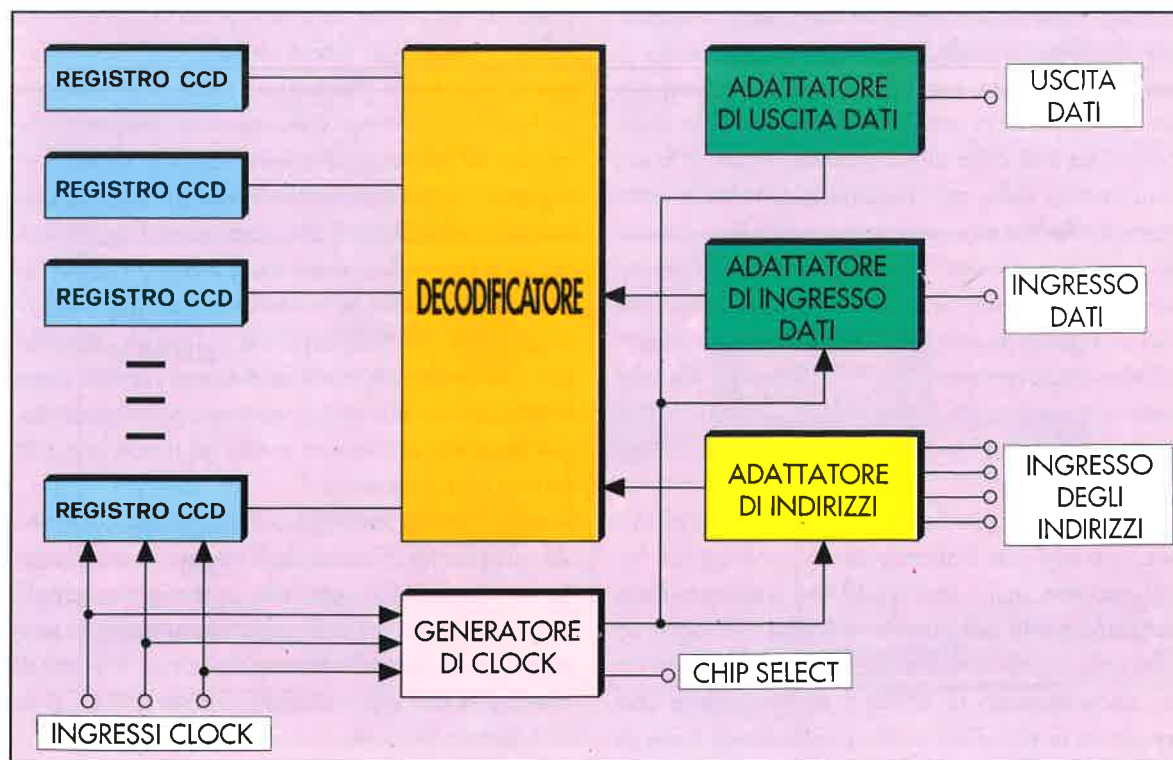
Le memorie ad accoppiamento di carica vengono molto utilizzate al posto dei registri a scorrimento, il cui prezzo è decisamente superiore; inoltre, vengono anche impiegate in sistemi di memoria molto grandi, nei quali la loro maggior velocità le fa preferire alle memorie magnetiche.



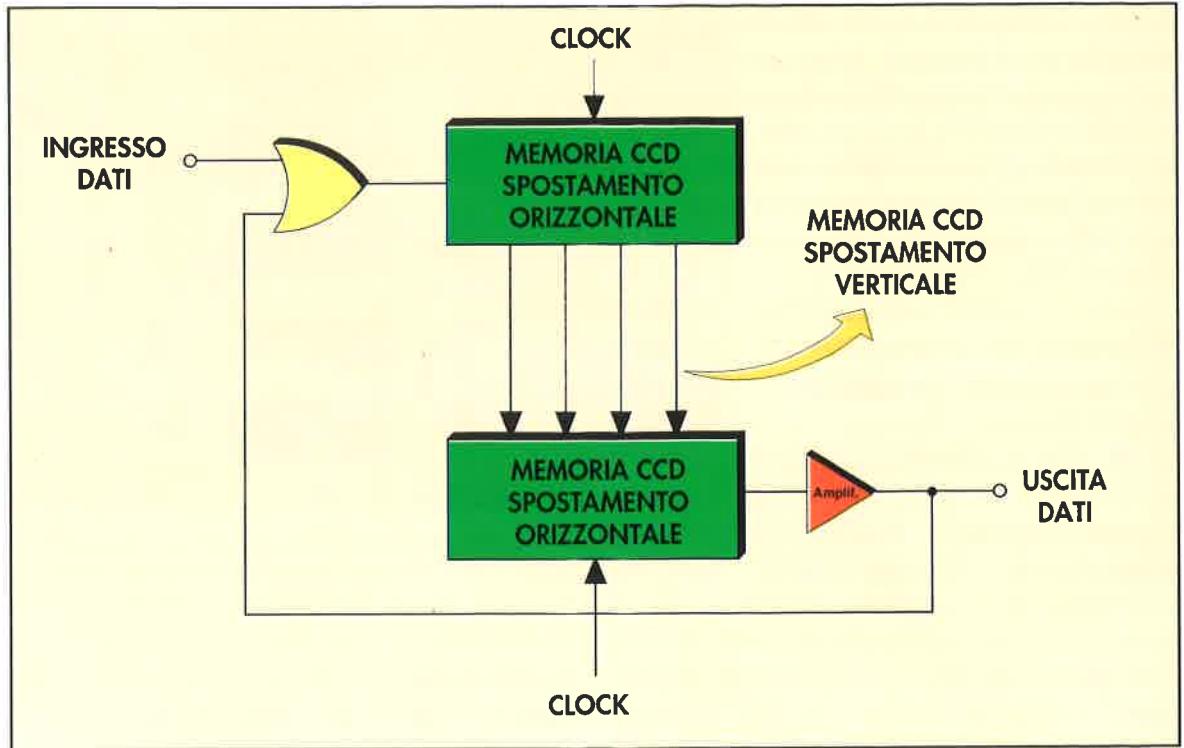
Memoria ad accesso sequenziale con organizzazione sincrona, nella quale si devono inserire degli amplificatori per evitare problemi nella trasmissione dei dati

Poiché la memoria CCD opera in modalità seriale l'informazione, prima di essere disponibile per la lettura, deve percorrere tutti gli stadi interni fino a quello di uscita.

Pertanto, il tempo di accesso di ciascun bit nel caso più sfavorevole, definito anche *tempo di latenza*, è maggiore rispetto a quello di una memoria ad accesso casuale. All'interno di questo tipo di struttura è possibile classificare le memorie CCD in tre sottofamiglie:



Memoria ad accesso sequenziale con indirizzamento per linee o LARAM



Nella sottofamiglia delle memorie CCD con architettura seriale-parallela-seriale vengono utilizzati due registri orizzontali ad alta frequenza ed uno verticale a bassa frequenza

- ad organizzazione sincrona,
- ad indirizzamento per linee o LARAM,
- ad architettura seriale-parallela-seriale.

Lo schema a blocchi di una CCD ad organizzazione sincrona, anche conosciuta con il nome di architettura a serpentina, è riportata nella figura corrispondente. In questa struttura i dati si spostano di cella in cella seguendo un percorso a serpentina, in una configurazione che rispecchia un registro a ricircolazione. Il trasferimento della carica da una cella all'altra avviene con un buon rendimento, malgrado esistano alcune limitazioni dovute alla trasmissione stessa e alla formazione di correnti parassite. Questi inconvenienti possono essere minimizzati utilizzando degli amplificatori di rigenerazione, che devono essere inseriti approssimativamente ogni 100 celle. Queste memorie sono costruttivamente molto semplici, e possono operare con frequenze di clock sufficientemente elevate.

L'architettura delle memorie ad accesso sequenziale con indirizzamento per linee, anche conosciuta con il nome di LARAM, è stata studiata appositamente per diminuire il tempo di accesso alle celle di memorizzazione. Sono costituite da un certo numero di CCD a ricircolazione che lavorano in parallelo e che condividono linee di

ingresso e di uscita comuni. La loro maggior velocità è dovuta al fatto che tramite un decodificatore è possibile selezionare in modo diretto un intero registro attraverso le linee di indirizzo; da ciò deriva il nome stesso della memoria, ad indirizzamento per linee. Il prelevamento di un dato da questo registro avviene però sempre in modo seriale.

Infine, non resta che parlare delle memorie con architettura seriale-parallela-seriale. In queste i bit relativi all'informazione vengono introdotti in un registro a scorrimento seriale di tipo SIPO (*Serial Input-Parallel Output*) alla frequenza  $f$ ; quando il registro è completo viene eseguita una conversione serie-parallelo che trasferisce alla frequenza  $f/n$  gli  $n$  bit dell'informazione in registri disposti parallelamente. Al termine di questi registri viene effettuata una nuova conversione parallelo-serie, che permette di avere in uscita gli  $n$  dati in modo seriale alla frequenza  $f$ .

La capacità di questo tipo di memorie CCD è molto elevata perché le conversioni interne non richiedono una logica dedicata, ma si ottengono semplicemente sincronizzando opportunamente lo spostamento dei bit nelle diverse direzioni. Il tempo di latenza invece è più elevato rispetto alle CCD in architettura LARAM.

# LE MEMORIE ROM

**All'interno di un computer sono presenti, oltre alle già citate memorie RAM di lettura e scrittura, altre memorie che possono essere esclusivamente lette e che contengono le istruzioni fondamentali per la gestione del PC: queste memorie vengono chiamate ROM.**

**L**e memorie ROM appartengono alla categoria di memorie detta a *contenuto permanente*, e vengono chiamate in questo modo poiché la loro struttura interna è stata progettata esclusivamente per memorizzare dati che generalmente devono essere solamente letti.

Per poter scrivere questi dati è necessario sottoporre i componenti a particolari processi tecnologici che, in alcuni casi, ne impediscono la modifica e la riscrittura. In altri casi, per modificare i dati memorizzati è richiesta l'asportazione del componente dall'apparecchiatura nella quale è inserito, a differenza delle memorie RAM o ad accesso sequenziale viste in precedenza, nelle quali era sufficiente un comando software di scrittura.

## **TIPi DI MEMORIE**

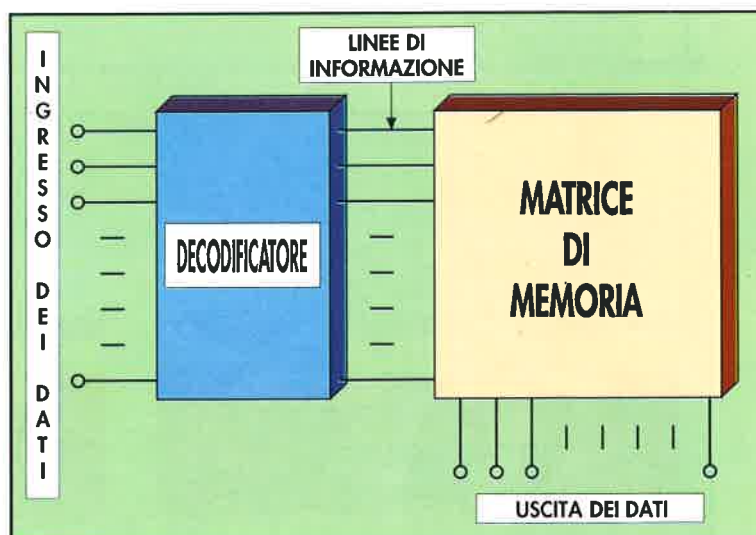
Prima di iniziare la descrizione delle ROM è doveroso sottolineare che esistono diversi tipi di me-

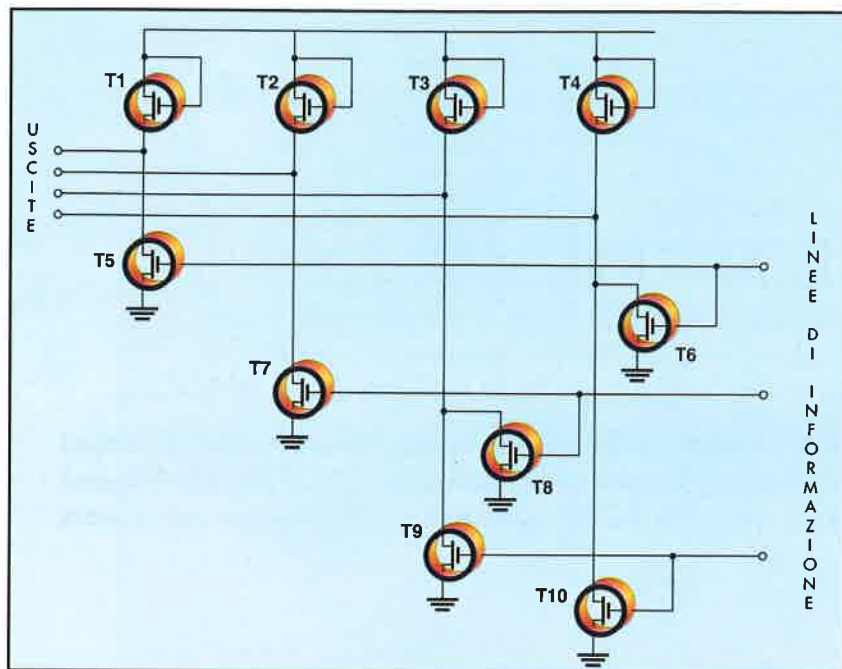
morie permanenti che, anche se con caratteristiche di funzionamento e di flessibilità molto simili, all'atto pratico si comportano in modo diverso. Queste memorie sono:

- memorie ROM;
- memorie PROM;
- memorie EPROM.

Di seguito verrà esaminato il funzionamento delle

*Schema a blocchi di una memoria ROM*





Schema interno della matrice di celle di memoria di una ROM fabbricata in tecnologia MOS

memorie ROM propriamente dette, mentre le altre famiglie, descritte in questa sede solo sommariamente, verranno analizzate più dettagliatamente nei capitoli successivi.

La sigla ROM deriva dalle iniziali del nome anglosassone di questo componente *Read Only Memory*, che tradotto letteralmente significa *memoria a sola lettura*. I dati contenuti all'interno di questa memoria sono assolutamente inalterabili, poiché vengono definiti direttamente nelle fasi di fabbricazione del componente; di conseguenza, il contenuto della memoria deve essere considera-

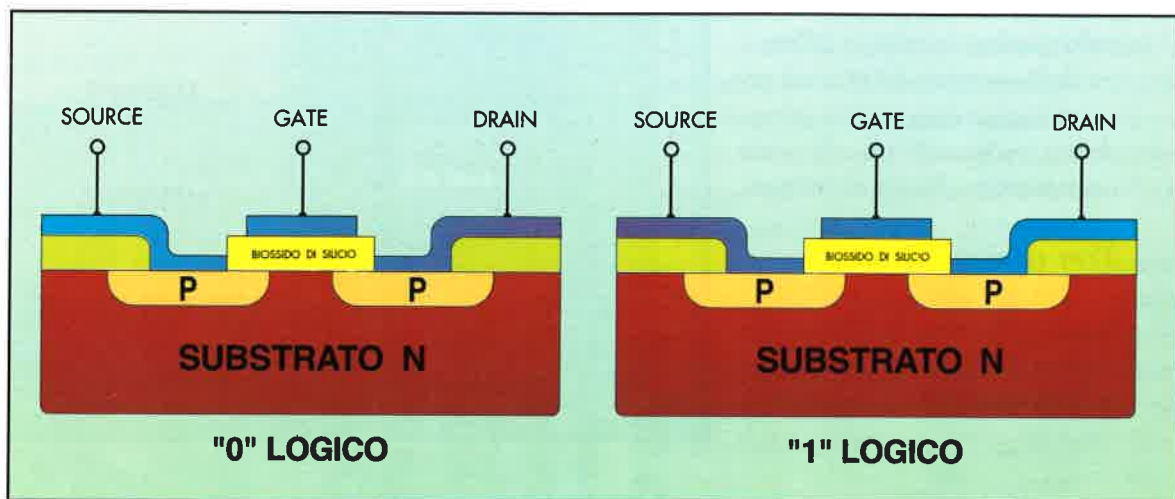
to come parte integrante del processo costruttivo. Infatti, la loro architettura interna viene strutturata dal costruttore in funzione dei dati che devono essere memorizzati, definiti dalle specifiche indicate dall'utente finale o standardizzati in fase di fabbricazione. L'unico modo per poter modificare i dati contenuti in una ROM è quello di sostituire la stessa con un'altra ROM contenente i nuovi dati.

Nelle memorie *PROM* (*Programmable Read Only Memory*, memoria programmabile a sola lettura), l'informazione viene memorizzata non in fase di fabbricazione, come capita per le ROM, ma direttamente dall'utente finale. La programmazione di una PROM comporta l'introduzione di modifiche strutturali permanenti e inalterabili nelle celle che

compongono la memoria; ciò significa che anche questi componenti, dopo essere stati scritti la prima volta, non possono essere più modificati. Infatti, la memorizzazione di uno 0 o di un 1 logico viene effettuata bruciando una specie di fusibile posto in serie alla cella di memorizzazione; la rilevazione dello stato logico della cella si ottiene proprio verificando la condizione di questo fusibile.

Le memorie *EPROM* (*Erasable Read Only Memory*, memorie cancellabili a sola lettura), sono un'evoluzione migliorativa delle PROM. La differenza sta

*Nelle memorie ROM in tecnologia MOS, gli 0 e gli 1 logici dipendono dal processo di metallizzazione di ciascun transistor*



nel fatto che queste memorie possono essere cancellate e riscritte più volte direttamente dall'utente finale, anche se con processi di cancellazione più complessi rispetto a quelli delle memorie RAM. La tecnologia costruttiva utilizzata per queste memorie è la tecnologia MOS; in particolare, ogni cella di memoria è costituita da un transistor MOS a doppio gate (*floating gate*). Le modifiche introdotte durante la programmazione non sono distruttive per cui, tramite un particolare procedimento che agisce sui livelli energetici dei portatori, è possibile cancellare completamente il contenuto della memoria.

Questi due ultimi tipi di memorie verranno esaminati più approfonditamente nei capitoli successivi, quando si parlerà dei diversi metodi di programmazione.

## LE ROM

### FONDAMENTALI

La tecnologia utilizzata per la costruzione di queste memorie può essere sia bipolare che MOS, e le differenze sostanziali dei prodotti finali si riflettono sulla velocità di lavoro, sul consumo e sulla capacità di immagazzinamento.

Le memorie ROM bipolari possono essere suddivise in tre gruppi, in funzione del componente di base utilizzato come cella elementare:

- ROM a diodi,
- ROM a transistor,
- ROM a resistenze.

Inoltre, all'interno di questi gruppi le celle possono essere organizzate in due diversi modi:

- \* a matrice unidimensionale, nella quale l'indirizzo della singola cella viene selezionato attivando una delle uscite di un decodificatore di indirizzi;
- \* a matrice bidimensionale, nella quale l'indirizzo della singola cella si ottiene sele-

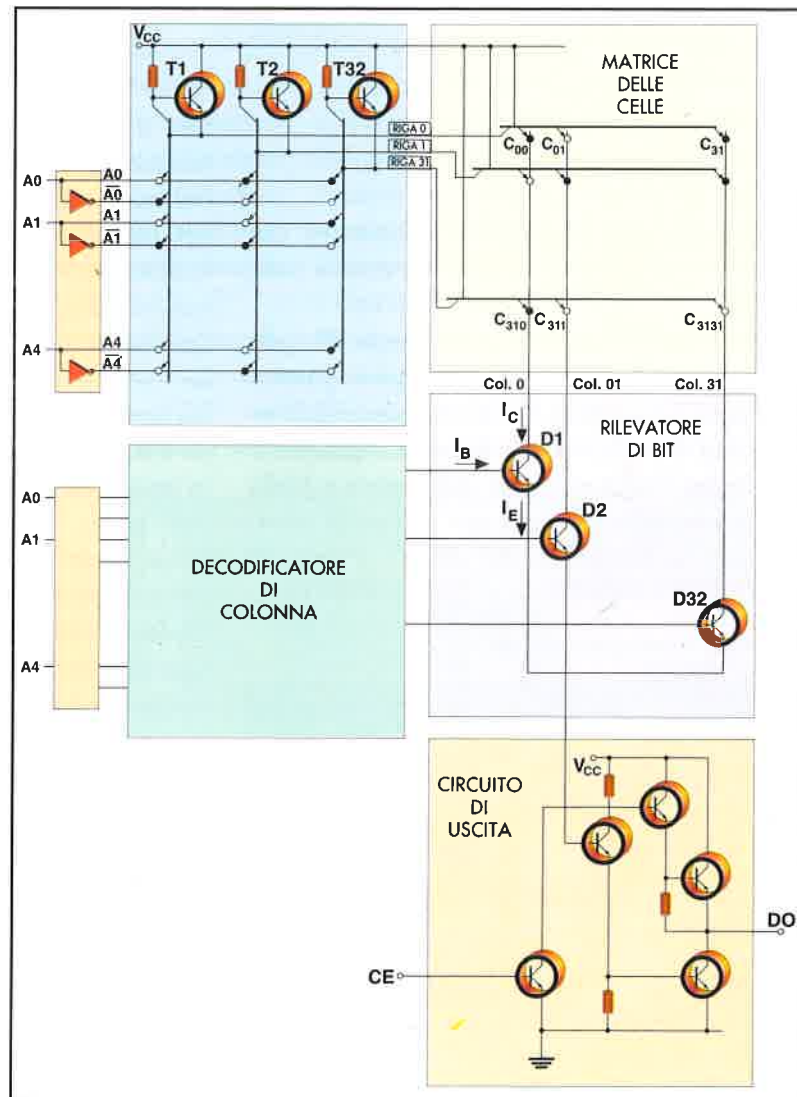
zionando la riga e la colonna di riferimento della cella stessa.

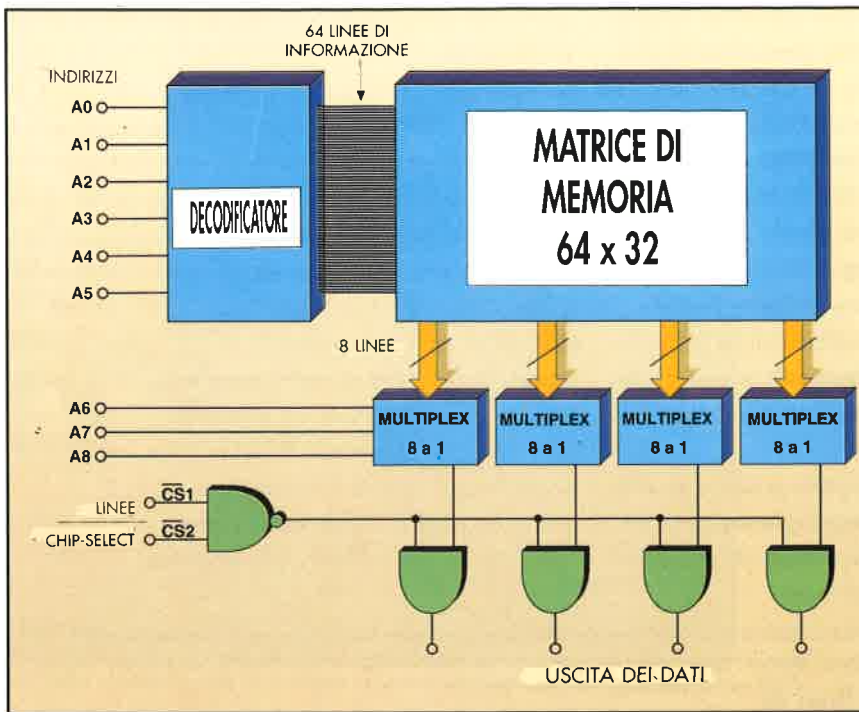
Quest'ultima configurazione è la più comune e, a differenza del primo tipo di organizzazione, permette di gestire memorie di elevata capacità. Per comprendere il funzionamento generale delle memorie ROM viene analizzato un caso specifico che può essere applicato alle diverse combinazioni possibili. Si supponga perciò di essere in presenza di una memoria ROM come quella riportata nella figura corrispondente, nella quale le celle sono costituite da transistor.

La struttura interna della ROM può essere suddivisa in diversi circuiti fondamentali:

- circuito di decodifica delle righe,
- circuito di decodifica delle colonne,

*Le memorie ROM sono generalmente composte dai seguenti elementi: due decodificatori, uno di riga e l'altro di colonna, una matrice di celle di memoria, un circuito rivelatore di bit e un circuito di uscita*





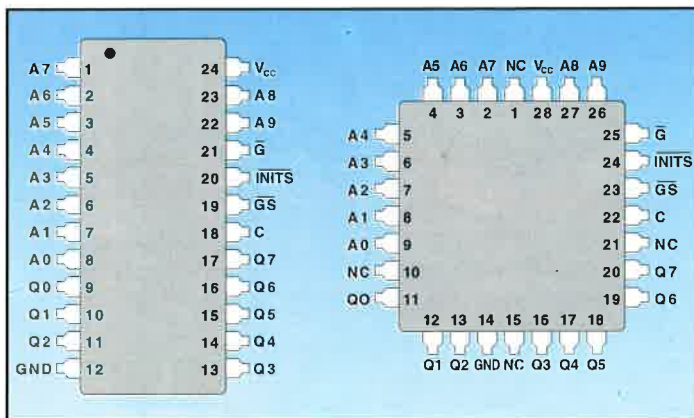
In funzione delle caratteristiche della memoria, è possibile utilizzare dei multiplexer per l'indirizzamento delle colonne

- matrice delle celle di memoria,
- circuito rilevatore di bit,
- circuito di uscita.

L'analisi di questi circuiti può iniziare dai decodificatori di riga e di colonna, poiché sono identici.

Se la matrice della ROM è composta da 32 righe e 32 colonne, per selezionare la singola riga sono necessarie cinque linee di indirizzamento (le linee da A0 ad A4 nella figura); la stessa situazione si verifica per l'indirizzamento delle colonne. Nelle memorie ad alta capacità, per evitare di dover utilizzare un numero troppo elevato di linee di

Disposizione dei terminali in una memoria ROM



indirizzamento, le colonne vengono selezionate tramite dei multiplexer, come descritto nella figura corrispondente, che permettono anche di gestire in modo ottimale parole (word) dati con lunghezza superiore ad 1 bit.

La matrice delle celle in questo caso è formata da 32 x 32 transistor, ma si trovano anche ROM nelle quali le celle sono realizzate con una matrice a diodi.

Come si può osservare in figura, poiché le basi dei transistor appartenenti alla stessa colonna sono tutte collegate alla stessa riga, per aumentare

il livello di integrazione del componente vengono utilizzati dei transistor multiemittore, nei quali ogni emittore fa la funzione di un transistor di colonna. Quando nella cella si deve memorizzare uno 0 logico, l'unica cosa da fare è non metallizzare il contatto dell'emittore corrispondente che, risultando isolato, funziona come un circuito aperto e perciò non può condurre corrente. Viceversa, se si desidera memorizzare un 1 logico bisogna metallizzare questo contatto, in modo che sia conduttivo quando la cella viene indirizzata.

Il compito del circuito rivelatore è quello di consentire solamente il passaggio del bit selezionato. Questo circuito è composto da transistor con un solo emittore, le cui basi sono collegate direttamente alle uscite del decodificatore delle colonne. In questo modo solo uno dei transistor consente il passaggio dell'informazione dalla matrice di celle verso il circuito di uscita.

Il circuito di uscita viene strutturato in funzione delle specifiche richieste alla ROM, e in questo caso dipende dalla corrente di emittore dei transistor del circuito rilevatore di bit. Il circuito trasforma i livelli di corrente in livelli di tensione alti o bassi che compaiono sull'uscita della memoria.



# LE MEMORIE PROM

**Nella famiglia delle memorie a sola lettura (ROM) esistono diversi tipi di dispositivi che possono essere programmati dall'utente stesso, che può così progettare direttamente il contenuto delle celle di immagazzinamento. Tutti questi componenti elettronici vengono indicati con la denominazione di memorie PROM.**

**I**n questo capitolo verranno esaminate le memorie che possono essere programmate direttamente dall'utente in funzione delle richieste specifiche di ciascuna applicazione. In fase di produzione il contenuto delle celle è formato da tutti 1 o da tutti 0, a seconda del fabbricante, e viene modificato in modo più o meno permanente per memorizzare le istruzioni necessarie per la particolare applicazione a cui sono destinate.

La famiglia di memorie programmabili ROM può essere suddivisa in due grandi gruppi:

- 1. memorie PROM,
- 2. memorie R PROM.

La differenza tra questi due tipi di memorie è determinata dal numero di volte che possono essere scritte. Le prime possono essere incise una sola volta, mentre le seconde più volte. Inoltre, bisogna evidenziare anche che la tecnologia costruttiva utilizzata per le memorie PROM è di tipo bipolare, mentre invece le memorie R PROM sfruttano transistor MOS.

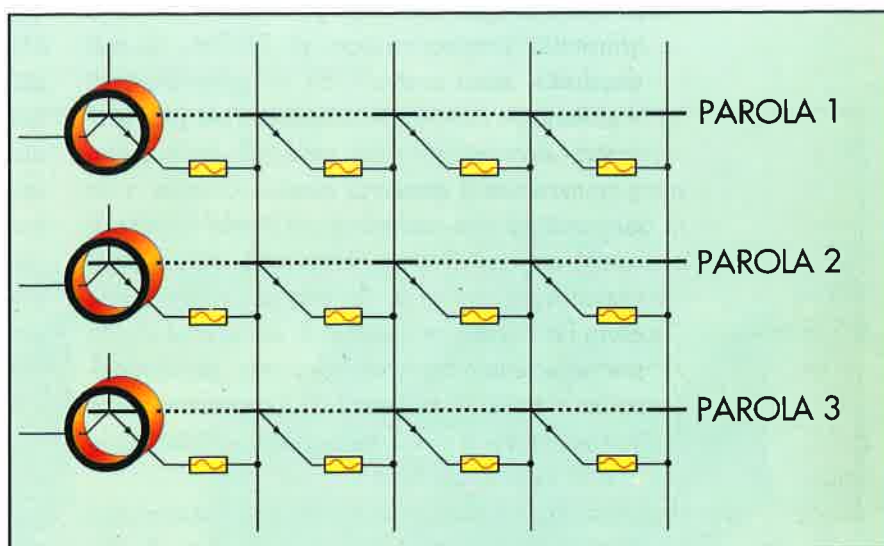
## **CARATTERISTICHE DELLE MEMORIE PROM**

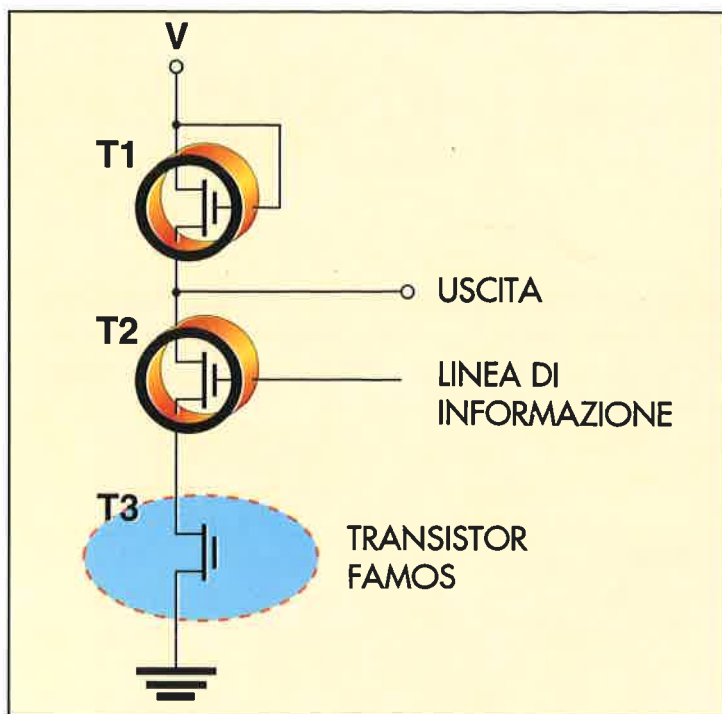
Come detto in precedenza, queste memorie vengono costruite in tecnologia bipolare, ed esistono due diversi processi di fabbricazione:

- tramite fusibili,
- tramite diodi.

Gli elementi fondamentali di una PROM non differiscono sostanzialmente da quelli di una ROM; l'unica differenza consiste nella matrice delle celle di memoria che, come si può osservare nella figura corrispondente, nelle PROM è dotata di fusibili per la programmazione. Questa architettura prevede in serie al contatto di emettitore di ciascuna cella di memoria la presenza di un sottile strato metallico con spessore di alcuni decimi di micron. Questa è la struttura fondamentale di una memoria ROM vergine con tutte le sue celle a 1; per la sua programmazione è sufficiente "brucia-

*Matrice di memoria di una PROM, la cui programmazione viene eseguita con dei fusibili*





La tecnologia MOS permette la fabbricazione di ROM riprogrammabili

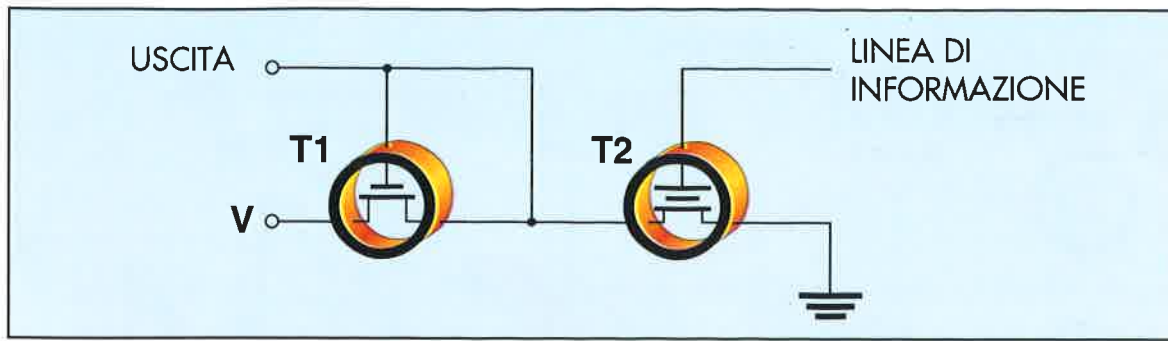
re" il fusibile costituito dallo strato metallico in quelle celle dove è necessaria la presenza di uno 0. Il metodo utilizzato per la programmazione della memoria, che prevede la bruciatura dei fusibili prescelti, consiste semplicemente nel far attraversare la cella selezionata da un treno di impulsi di corrente di ampiezza e di durata controllata per produrre l'apertura del contatto di emettitore. Questa tecnica per la programmazione delle PROM è la più diffusa, anche se attualmente esistono già apparecchiature automatiche progettate appositamente per questa funzione chiamate programmatori di PROM. Questi dispositivi sono costituiti da un generatore di impulsi opportunamente progettato per provocare la bruciatura dei fusibili nelle celle indirizzate, e generalmente possono essere collegati a un elaboratore che trasferisce nel breve volgere di pochi secondi il programma che deve essere registrato in memoria. Per migliorare la velocità delle PROM e il loro tempo di accesso si sfrutta generalmente la tecnologia Schottky; per diminuire la possibilità di errori di programmazione vengono invece utilizzate leghe più affidabili per la costruzione dei fusibili.

Un'altra architettura costruttiva utilizzata per realizzare una PROM prevede l'impiego di una matrice di celle di memoria, ciascuna delle quali

è formata da due diodi in opposizione. In questo modo si ottiene una memoria vergine nella quale il contenuto delle celle è costituito da tutti 0; come nel caso precedente, per la sua programmazione è sufficiente far attraversare la cella prescelta da un treno di impulsi di durata e ampiezza tali da portare uno dei due diodi nella zona definita *zona a valanga*. Quando si verifica questa situazione si genera una fusione locale della giunzione del diodo che lo trasforma in un cortocircuito. L'altro diodo non subisce alcun effetto, poiché si trova in conduzione diretta. In questo modo si generano gli 1 nelle celle selezionate. Questa tecnica di programmazione è conosciuta con il nome di AIM (*Avalanche Induced Migration*).

### LE MEMORIE RIPROGRAMMABILI PROM

Come detto in precedenza, il programma che viene memorizzato in una PROM è inalterabile, poiché un fusibile distrutto non può essere ricostruito. Questo problema può essere superato utilizzando per la costruzione della memoria la tecnologia MOS. Se ad una ROM MOS si aggiunge un dispositivo che può essere programmato per agire come conduttore, ma che può tornare quando necessario al suo stato primitivo di non conduzione, si ottiene una ROM riprogrammabile. Questa tecnica di fabbricazione viene chiamata FAMOS (*Floating gate Avalanche injection Metal Oxide Semiconductor*). Essenzialmente prevede la costruzione di un MOSFET a canale P nel quale è presente un gate policristallino annegato in biossido di silicio che non ha alcun contatto elettrico con il resto del dispositivo. Il funzionamento della cella è molto semplice: applicando una certa tensione sufficientemente elevata tra drain e source, gli elettroni che percorrono il canale di conduzione riescono ad avere energia sufficiente per attraversare il sottile strato di ossido isolante che separa il canale stesso dal gate fluttuante, e vengono iniettati nella zona corrispondente a quest'ultimo rimanendo imprigionati. La presenza di cariche diminuisce la resistività del silicio policristallino, che diventa perciò più conduttore. Questa condizione corrisponde alla memorizzazione di un 1 logico. Per memorizzare uno 0 logico è sufficiente non ese-



Per cancellare delle memorie riprogrammabili è necessario utilizzare luce ultravioletta

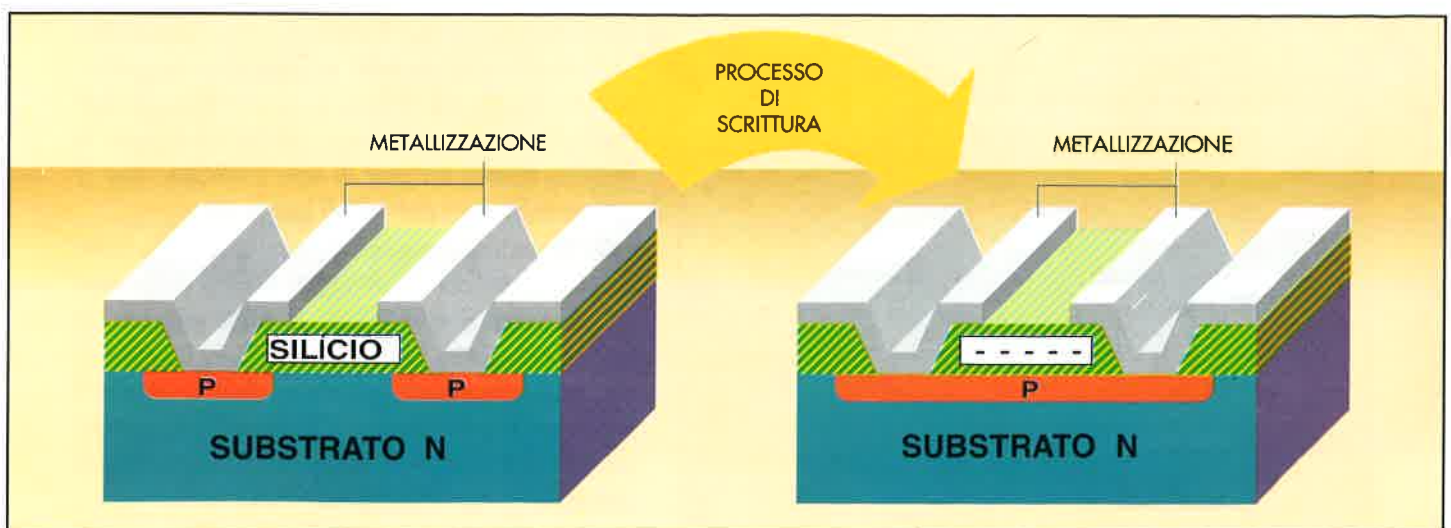
guire il processo di programmazione sulla cella selezionata, lasciandola perciò nelle condizioni originarie.

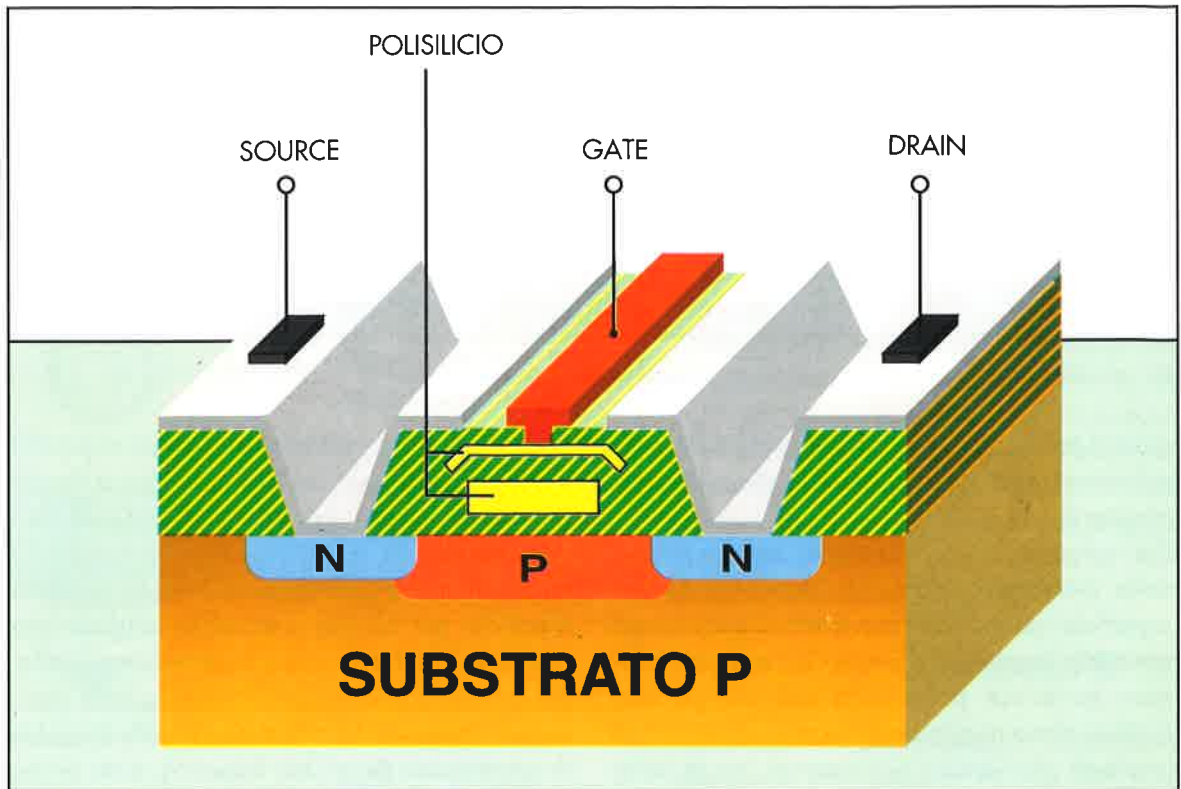
Per eseguire la cancellazione, sempre totale, della memoria è sufficiente illuminare la sua superficie con una luce ultravioletta di determinata intensità e lunghezza d'onda. Questo fascio luminoso trasferisce parte della sua energia agli elettroni presenti nel gate fluttuante, rendendoli in grado di attraversare nuovamente, ma in verso contrario, lo strato di ossido che li imprigionava; raggiunto il substrato vengono poi scaricati definitivamente verso massa. Questo dispositivo viene introdotto in ciascuna matrice della ROM nel seguente modo: in ciascuna intersezione della matrice si posiziona un MOSFET con la relativa porta collegata alla linea di informazione e il drain all'uscita. Il source del FET di memoria deve essere collegato al drain dell'unità FAMOS, il cui source viene a sua volta collegato a terra e il suo gate risulta flottante.

Il tempo di programmazione di questi dispositivi è abbastanza breve, dell'ordine di alcune decine di secondi, mentre il tempo di cancellazione è piuttosto elevato, e può raggiungere anche i 30 minuti; inoltre, la cancellazione avviene su tutta la memoria, per cui non è possibile eseguire una modifica selettiva su una sola determinata cella. Per ovviare a queste limitazioni sono state introdotte le memorie EEPROM (*Electrically Erasable Programmable Read-Only Memory*), dette anche  $E^2$ PROM, nelle quali la cancellazione avviene elettricamente.

Questi dispositivi rappresentano la forma più evoluta e flessibile, ma anche più costosa, delle memorie appartenenti alla famiglia PROM. La loro struttura è molto simile a quella delle EPROM, con transistor MOS a doppio gate; in questo caso però, sia la scrittura che la cancellazione si ottengono applicando dei livelli di tensione, che vanno da 10 a 25 V, superiori ai normali valori della tensione di lavoro.

Per la costruzione delle celle di memoria EPROM viene impiegato un nuovo dispositivo chiamata FAMOS





I dispositivi FAMOS prevedono la presenza di due gate sovrapposti

La loro caratteristica più importante è costituita dal fatto che la cancellazione, e perciò la modifica dell'informazione memorizzata, è del tutto selettiva, per cui è possibile cancellare e riscrivere anche il singolo bit contenuto in una cella.

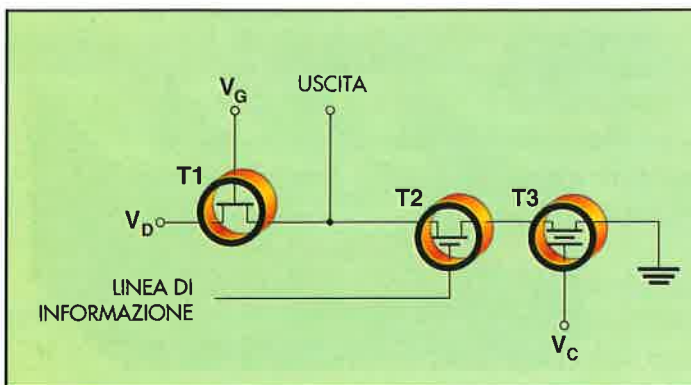
Assieme alle E<sup>2</sup>PROM meritano di essere citate anche le EAROM (*Electrically Alterable Read-Only Memory*), che rappresentano le progenitrici delle memorie non volatili cancellabili elettricamente. Anche se sostanzialmente il loro funziona-

mento è molto simile a quello delle E<sup>2</sup>PROM, la loro struttura interna differisce da queste ultime a causa delle modifiche introdotte sul transistor MOS che costituisce l'elemento di base della cella. Attualmente sono ormai in disuso soprattutto per le elevate tensioni di programmazione che richiedono e per la differente disposizione dei terminali che non le rendono compatibili con le altre memorie della famiglia.

Infine, vale la pena ricordare un'altra categoria di memorie riprogrammabili, le NV-RAM (*Non Volatile Random Access Memory*), che differiscono concettualmente da tutte le memorie riprogrammabili viste finora. Infatti, sono costituite da due matrici di memoria, una volatile di lettura e scrittura (RAM) ed una di tipo E<sup>2</sup>PROM, che si interscambiano i dati tra di loro.

Tutte le normali operazioni vengono svolte sulla matrice RAM, con i vantaggi derivanti dalla semplicità e dalla velocità di accesso proprie di questa categoria; nel caso si verifichi un calo di tensione, con possibile perdita di dati, allora il contenuto delle RAM viene trasferito automaticamente nella matrice E<sup>2</sup>PROM, che è in grado di mantenerlo indefinitamente.

Struttura di una cella di memoria EAROM, il cui tempo di cancellazione è decisamente inferiore rispetto alle EPROM



# I DISPOSITIVI PAL

**Tra le memorie esistono alcuni dispositivi che possono essere qualificati come tali ma che consentono di aumentare il rendimento dei rimanenti circuiti di memorizzazione presenti nelle vicinanze.**

**n**el capitolo precedente sono state esaminate tutte le possibili strutture che può avere una memoria ROM, ad esempio 12 ingressi e 8 uscite.

Se ad esempio si vuole aumentare il numero degli ingressi a 16, e mantenere invariato il numero delle uscite, il totale delle parole diventa 65536 e la quantità totale di bit 524288. Questo numero molto elevato di bit si può realizzare con un semplice circuito integrato ROM che contenga 32 memorie da 16 Kbyte interconnesse tra di loro per estendere l'indirizzamento.

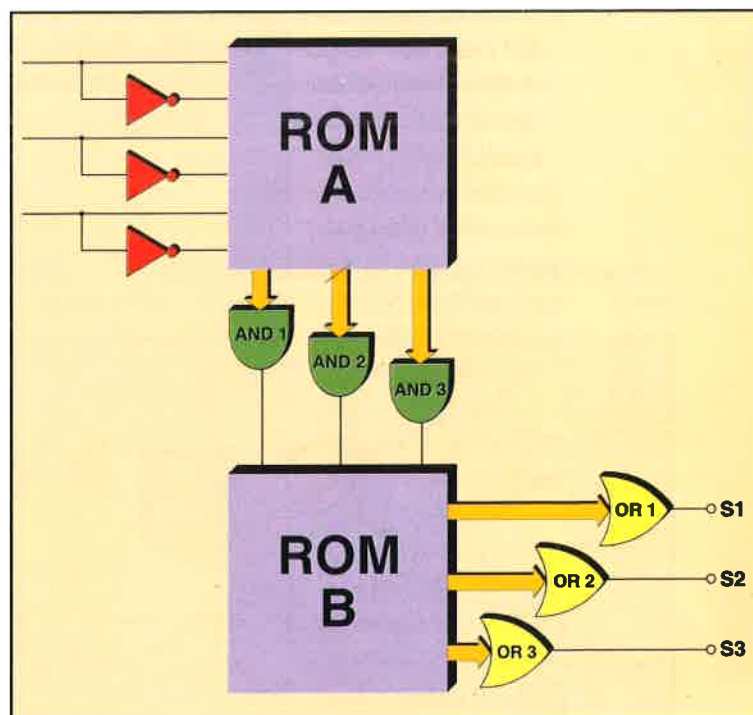
Questo sistema genera un numero di equazioni logiche combinabili pari al numero delle uscite, e ciascuna di queste contiene un numero di variabili pari a quello degli ingressi.

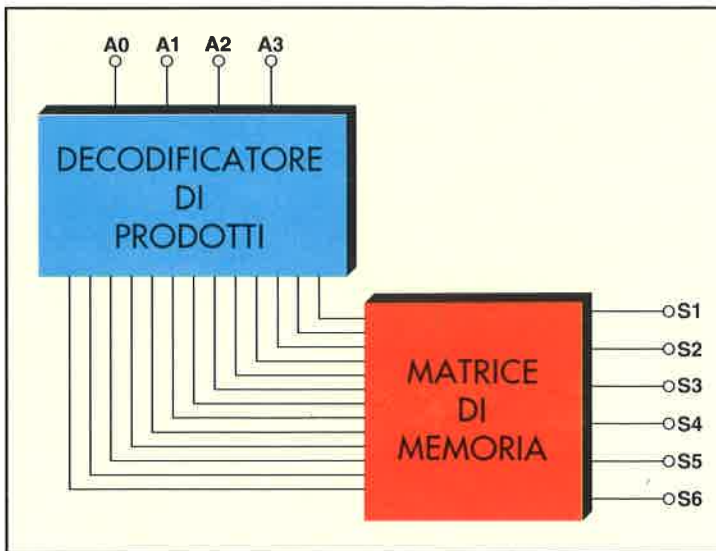
L'equazione complessiva del sistema viene espressa in forma canonica come somma di prodotti, nella quale ciascun prodotto contiene 16 fattori in quanto sono presenti un totale di 65536 termini o parole.

Nel sottoinsieme del sistema ROM dell'esempio precedente il numero di ingressi e di uscite rimane invariato, ma ogni somma contiene solamente (ad esempio) 20 termini di prodotti, invece dei 65536,

che vengono definiti come *prodotti parziali delle variabili di ingresso*, poiché ogni prodotto non contiene i 16 impulsi o i suoi complementari.

*Con due memorie ROM si può realizzare la selezione degli ingressi delle porte AND e OR*





Schema a blocchi di una PAL

Questo sistema di logica combinatoria è conosciuto come *insieme logico programmabile* o PAL (*Programmable Array Logic*).

Il decodificatore della PAL deve contenere 48 porte AND. L'uscita di ciascuna porta AND è un termine del prodotto parziale e, normalmente, il numero di ingressi applicato ad ogni porta è ridotto, pari al massimo al numero di bit di ingresso dei dati.

La matrice di codifica è formata da porte OR, le cui uscite sono una funzione diretta dell'uscita della PAL. Il numero massimo di ingressi in qualsiasi porta OR è pari al numero dei termini del prodotto, ma generalmente è molto inferiore. A titolo esemplificativo si prendono in considerazione due equazioni di logica combinatoria, quali:

$$S1 = (A1 \cdot A2 \cdot /A3) + (A1 \cdot /A2) + (/A0 \cdot A1 \cdot A2)$$

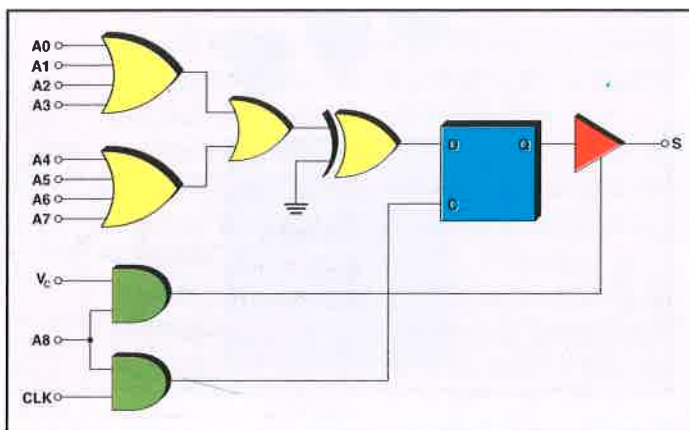
$$S2 = (A0 \cdot /A1 \cdot A2) + (A1 \cdot A2 \cdot /A3)$$

Queste due uscite utilizzano quattro termini di prodotto, poiché  $(A1 \cdot A2 \cdot /A3)$  è comune ad entrambe le equazioni. I termini che rimangono sono disponibili per le altre uscite da S3 ad S6. Una delle porte AND ha un ingresso, tre ne hanno due, una tre e l'ultima quattro. La porta di uscita di S1 ha tre ingressi, mentre quella di S2 due.

La tabella della verità delle equazioni precedenti si ricava utilizzando la logica positiva, e ciascuna linea rappresenta un termine del prodotto. Se un dato di ingresso è vero compare un 1 (se è falso sarà 0) nella colonna riferita a questo ingresso. Se una variabile non compare in un prodotto nella tabella viene riportata una X, relativa ad uno stato indifferente, in corrispondenza della colonna riferita al dato di ingresso e della riga del prodotto in esame. Se una uscita S si trova ad 1, significa che il termine del prodotto rappresentato nella riga corrispondente è presente nella relativa funzione di uscita. Di conseguenza, la tabella della verità risulta così composta:

INGRESSI				USCITE	
A0	A1	A2	A3	S1	S2
X	1	1	0	1	1
X	1	1	X	1	0
0	1	1	X	1	0
1	0	1	X	0	1

Schema di un dispositivo logico programmabile realizzato con un bistabile di tipo D



Questa tabella, ampliata sino a coprire tutte le funzioni di uscita e tutti i termini di prodotto, rappresenta la tabella di programmazione di una PAL. L'utilizzatore deve sviluppare la tabella in modo che risultino soddisfatte le funzioni logiche combinatorie desiderate, e il costruttore deve realizzare una maschera per la metallizzazione che realizzi gli opportuni collegamenti. Se ad esempio compare una X in qualche ingresso dati e in una delle righe, il collegamento in alluminio tra quell'ingresso (e nemmeno il suo complemento) e la porta AND corrispondente non deve essere eseguito. D'altra parte, se l'ingresso per il termine corrispondente alla porta AND è 1, deve essere eseguita la metallizzazione tra ingresso e porta.

Analogamente, se l'uscita è 1 per la riga del prodotto corrispondente, si deve eseguire il collegamento tra il termine e la porta OR.

Riassumendo si può affermare che le PAL vengono utilizzate per migliorare il rendimento delle ROM.

Ciò significa che l'utilizzo di una memoria ROM per la generazione di funzioni rende disponibili tutti i prodotti canonici presenti in questa. Praticamente però la generazione di una funzione richiede un numero ridotto di prodotti canonici, per cui la maggior parte della ROM rimane generalmente inutilizzata.

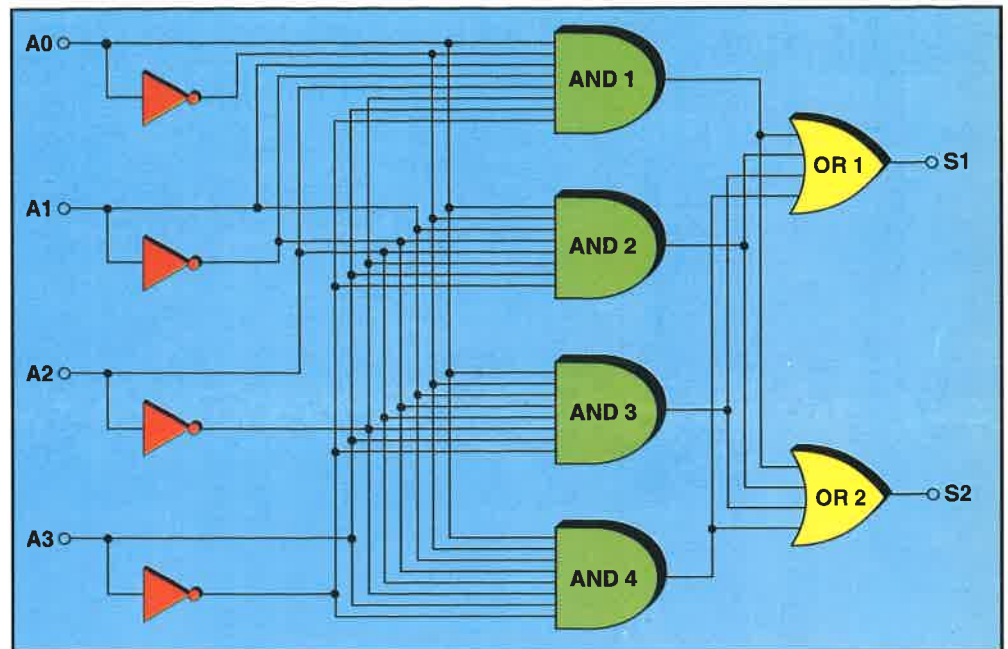
Per evitare questa situazione sono state sviluppate le matrici logiche programmabili, nelle quali un certo numero di

ingressi viene collegato a delle porte AND, le cui uscite vengono applicate a delle porte OR. La

struttura delle uscite delle porte OR è pertanto formata da una somma di prodotti.

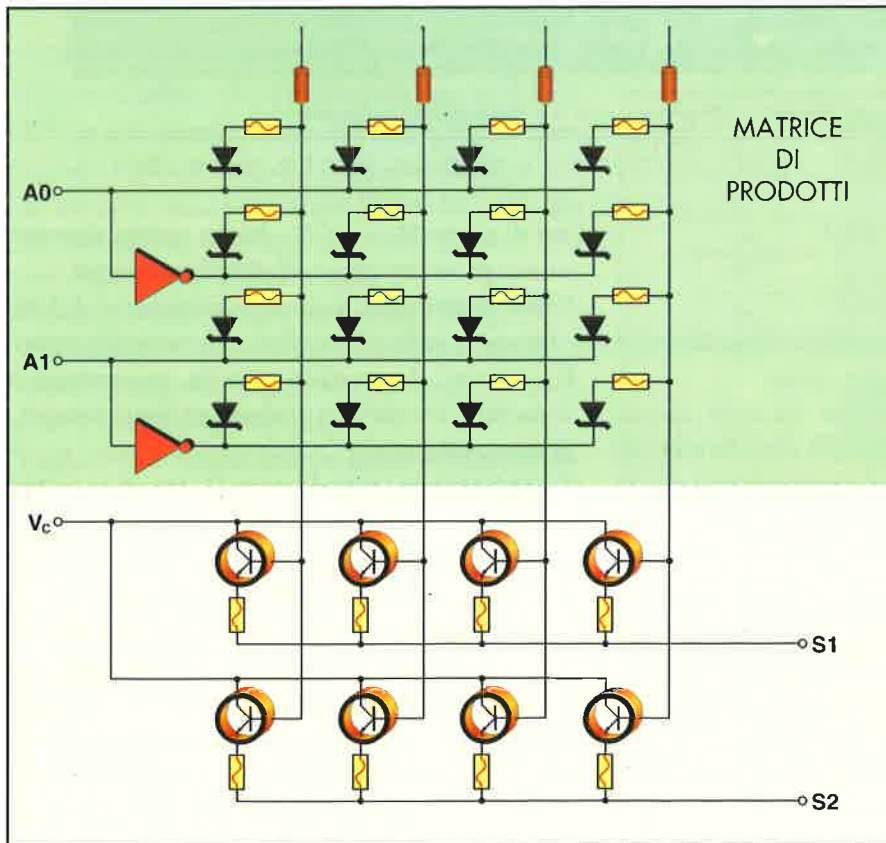
Questa organizzazione permette di realizzare delle funzioni con i prodotti, nei quali ciascuno ha diverse variabili. La flessibilità di questi dispositivi consiste nel fatto che, una volta selezionata la PAL con i parametri indicati, il collegamento delle variabili di ingresso alle porte AND, e delle uscite di queste alle porte OR è direttamente programmabile dall'utente.

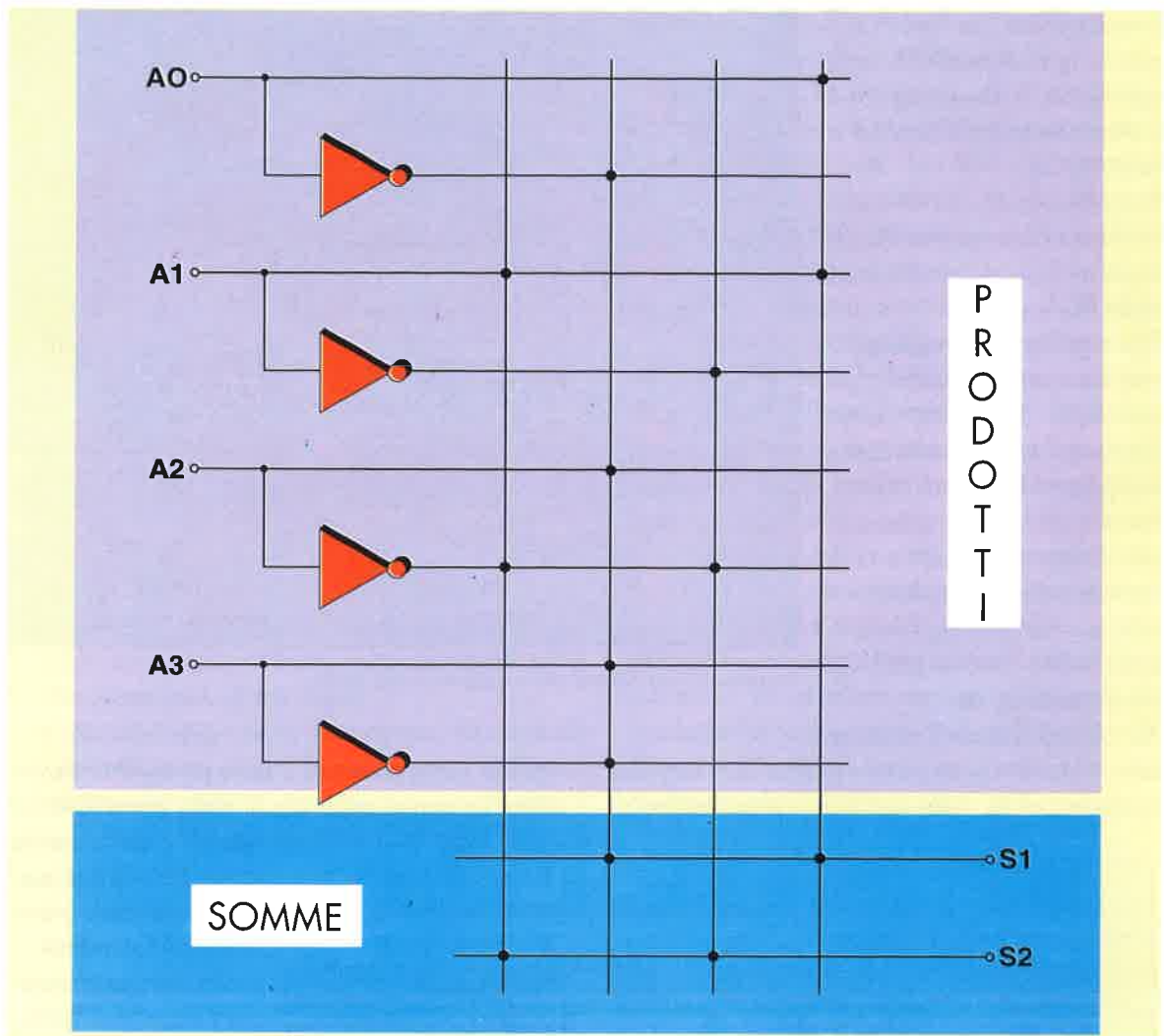
Pertanto, la struttura comprende memorie ROM che definiscono gli ingressi delle porte AND e OR rispettivamente.



Struttura di una PAL con quattro ingressi e due uscite

Schema di una matrice di prodotti, nella quale si possono notare i fusibili di collegamento tra le porte di ingresso e le linee di prodotto





In funzione dei fusibili che vengono "bruciati" si ottengono le diverse configurazioni interne della PAL

### ALTRI DISPOSITIVI LOGICI PROGRAMMABILI

Si possono segnalare altri prodotti appartenenti a questa famiglia di dispositivi, quali:

**PLD (Programmable Logical Device):** questi dispositivi logici programmabili sono formati da un insieme di circuiti che svolgono un certo compito in funzione degli ingressi applicati.

Passando attraverso una serie di porte AND e OR, i segnali vengono trasformati in modo da ottenere l'uscita desiderata. Queste porte possono essere configurate direttamente dagli utilizzatori.

**PLS (Programmable Logical Sequential):** sono dei sequenziatori logici programmabili, per cui sono costituiti da alcuni dispositivi formati da un insieme

di porte AND e OR. Anche queste possono essere programmate dall'utilizzatore finale.

Nella descrizione di questa famiglia si è fatto riferimento solo alla configurazione fondamentale; tuttavia, è possibile trovare in commercio dispositivi con altri tipi di elementi, quali bistabili, porte tristate, ecc.

Confrontando tra di loro i tre dispositivi programmabili indicati in precedenza si può affermare che i PLS sono quelli più flessibili, poiché le loro porte sono totalmente programmabili. Tuttavia, sono anche i più costosi, in quanto richiedono una maggior superficie di silicio. Le PAL, che sono i dispositivi più semplici, vengono largamente utilizzate in tutti i progetti poco complessi dal punto di vista logico.



# I CONVERTITORI A/D

**Lo sviluppo dei circuiti digitali, ed in particolar modo la comparsa dei microprocessori, ha portato alla sostituzione di molti circuiti analogici con dei corrispondenti digitali.**

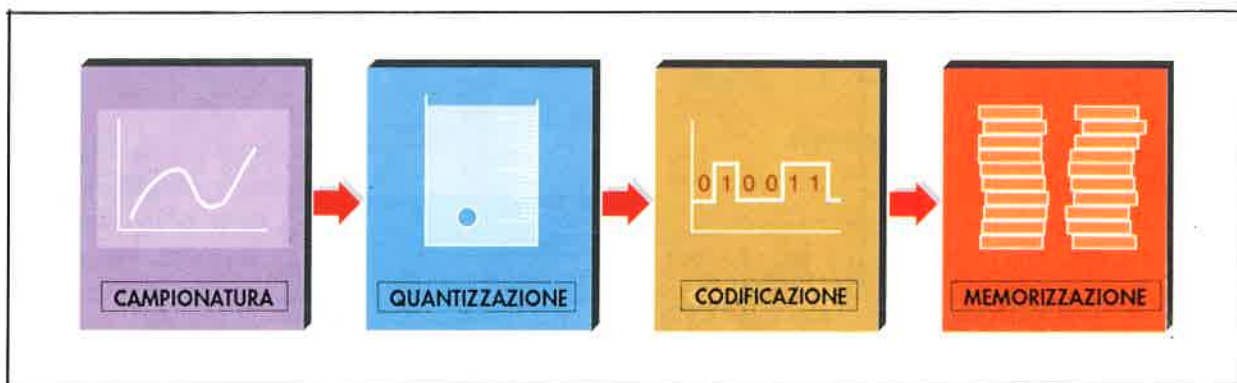
**L**e grandezze che si manifestano nel mondo reale sono costituite da parametri fisici quali la temperatura, la pressione, ecc., che vengono rappresentate come segnali analogici e che nei circuiti analizzati in queste pagine devono essere elaborati come segnali digitali. Da ciò la necessità di poter usufruire di particolari circuiti che ne permettano la loro trasformazione.

## **CONVERTITORI ANALOGICO/DIGITALI**

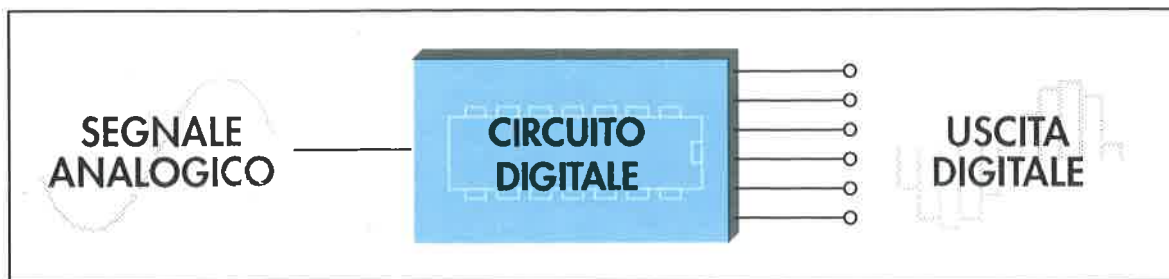
I concetti di analogico e digitale sono ormai noti da molti anni. Come detto nella premessa, la maggior parte delle informazioni presente in natura si manifesta in modo analogico; ciò significa che queste grandezze subiscono delle varia-

zioni continue in ampiezza in funzione del tempo. Questa variazione continua non avviene in una informazione di tipo digitale, poiché ammette solamente due condizioni completamente contrapposte. Questo genere di informazione è piuttosto difficile da trovare in natura, e i pochi casi in cui questa si manifesta possono originare facilmente degli equivoci. A titolo di esempio si può indicare la situazione di "pieno e vuoto", oppure quella di "vita o morte", che rappresentano valori perfettamente distinti che ammettono un numero finito di stati in un intervallo di tempo determinato.

Proseguendo con gli esempi relativi alle differenze tra condizione analogica e digitale si possono citare gli orologi, che possono essere di un tipo o dell'altro. Quelli analogici si caratterizzano per la



*Schema a blocchi di un convertitore analogico/digitale*



Convertitore A/D appartenente alla famiglia a ciclo aperto

loro capacità di indicare gli infiniti valori che può assumere la variabile tempo nel suo percorso, per cui in un intervallo di tempo finito il numero di valori che vengono visualizzati risulta infinito.

Gli orologi digitali invece forniscono un numero di valori determinato, che varia in funzione del grado di precisione degli stessi (risoluzione). Se ad esempio un orologio può indicare solamente le ore e i minuti, in un intervallo di sessanta secondi visualizzerà solo due valori, quello precedente e quello successivo a questi ultimi. Se invece l'orologio è in grado di indicare anche i secondi, nello stesso spazio di tempo precedente i valori forniti sono 62.

Questi esempi servono per capire, come, in funzione della precisione, un orologio digitale sia in grado di visualizzare un numero più o meno elevato di valori. Ciò che è certo è che gli orologi digitali in un intervallo di tempo determinato forniscono sempre un numero di valori finito.

Traendo le conclusioni da quanto detto, si può facilmente affermare che l'informazione digitale rappresenta un metodo pratico per analizzare il

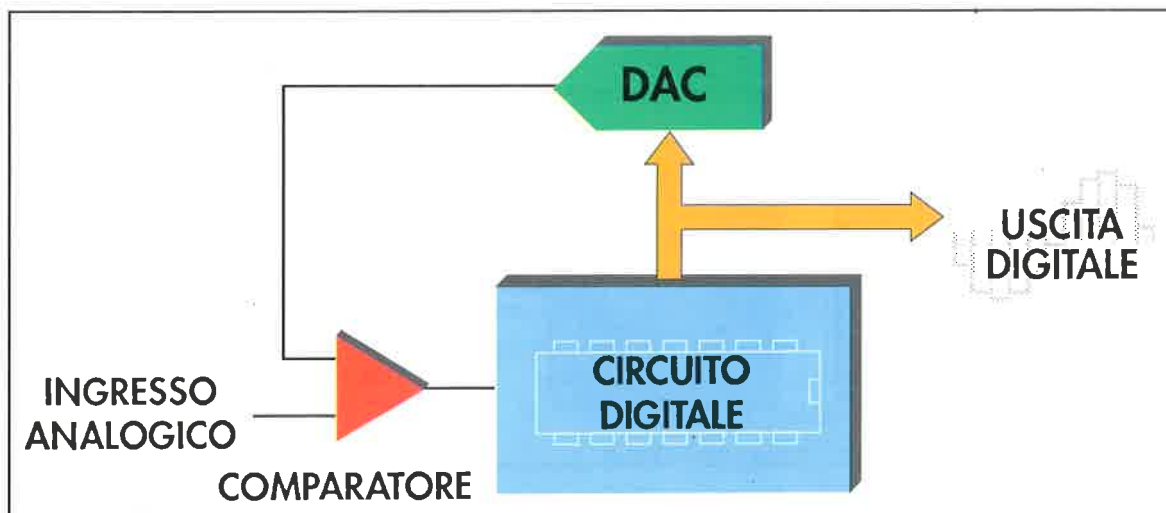
comportamento della natura in modo semplice. Il processo di trasformazione di un'informazione di tipo analogico in una di tipo digitale è chiamato *conversione analogico/digitale*. L'informazione digitale viene espressa con degli 0 e 1, poiché deve poter essere gestita da microprocessori.

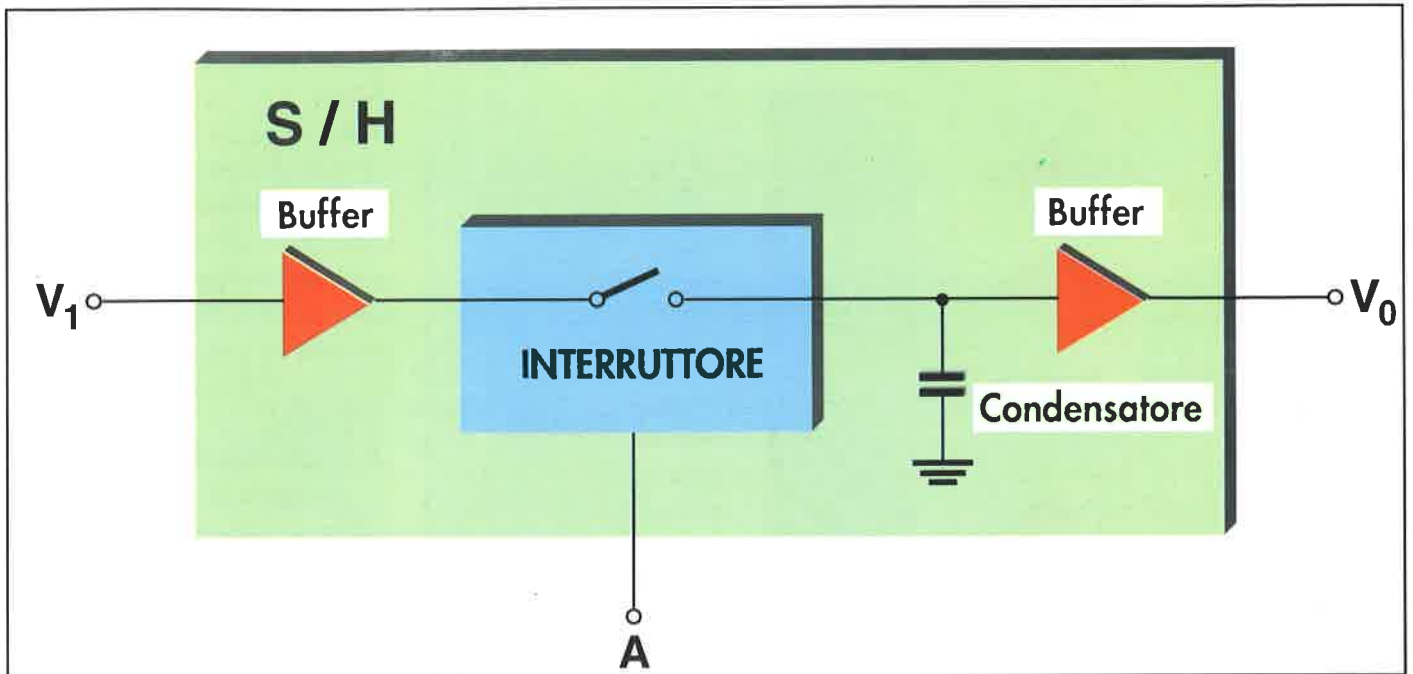
La conversione analogico/digitale è una operazione che veniva eseguita già parecchio tempo fa, anche se non con il significato attuale; quando ad esempio un medico chiedeva a un paziente quale era il suo stato di salute, le risposte possibili erano sempre e solo tre: bene, male, come sempre.

Trasferendo questo banale esempio al campo dell'elettronica, si può definire una variabile  $X$  che corrisponda allo stato di salute del paziente in un determinato istante; questa variabile, nel convertitore analogico/digitale che si vuole esaminare, viene chiamata *campionamento*.

A questo punto il paziente fornisce una indicazione sul suo stato di salute in quel preciso istante, per cui seleziona una delle tre risposte possibili che corrispondono ad una operazione che nel convertitore viene chiamata *quantizzazione*.

Nei convertitori con reazione è presente un comparatore che rappresenta il cuore del dispositivo



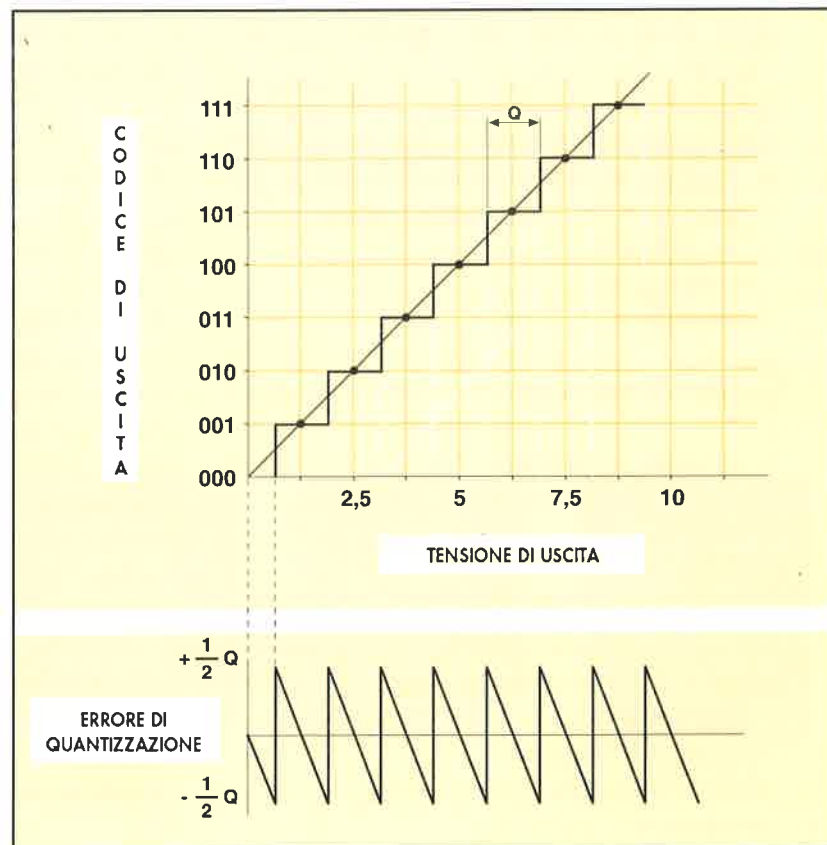


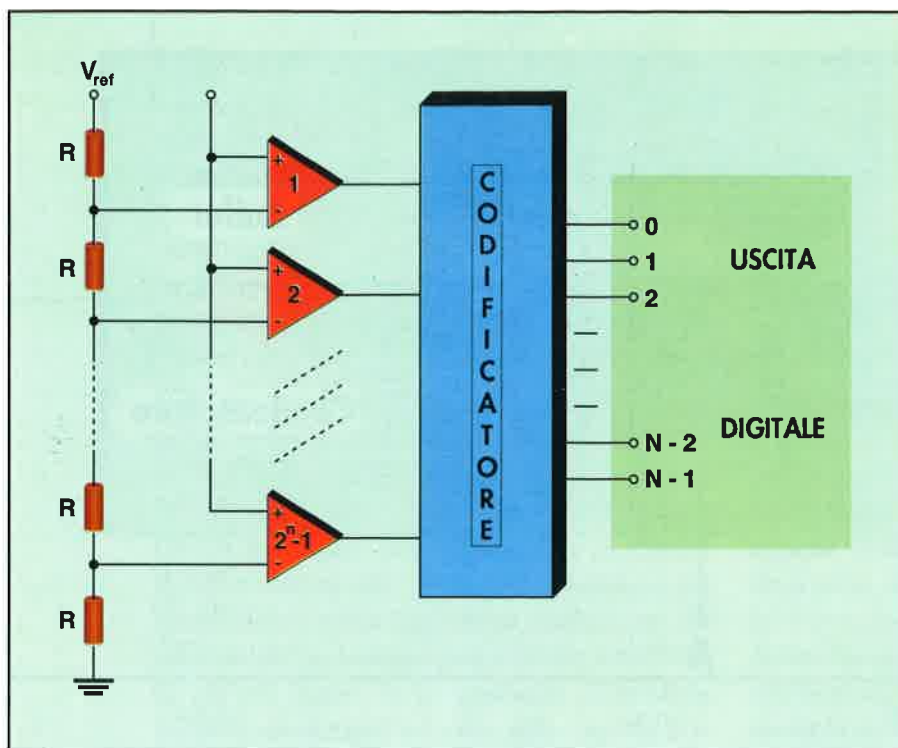
Circuito di sample &amp; hold di un convertitore A/D

Infine viene assegnato il valore considerato in precedenza al livello che più si avvicina allo stato di salute del paziente: bene, male, come sempre. Questa operazione in un convertitore viene chiamata *codifica*. Il funzionamento della conversione analogico/digitale è basato sul fatto che l'informazione analogica non è direttamente manipolabile o processabile tramite dei sistemi digitali o con un elaboratore, ma lo sono i segnali digitali che possono essere memorizzati indefinitamente e che sono in grado di riprodurre il segnale analogico senza errori apprezzabili. L'esempio più evidente di questa situazione è la tecnica di incisione digitale, nella quale il segnale analogico, in questo caso la voce, dopo un primo processo di analisi viene sottoposto a campionatura e trasformato in linguaggio

binario. Gli 1 e 0 che vengono generati con questa operazione sono quelli che successiva-

*Il caratteristico errore di quantizzazione consente di determinare l'intervallo dei segnali analogici*





Nei convertitori con comparatori in parallelo i processi di quantizzazione e di codifica sono nettamente separati

mente verranno incisi sul compact-disc; questi dischi, grazie alla tecnologia laser, possono essere riprodotti con una qualità del suono incredibilmente simile a quella del segnale analogico originale.

Riassumendo, anche se esistono molti tipi o famiglie di convertitori analogico/digitali (che saranno oggetto dei capitoli successivi), tutti devono svolgere le tre fasi citate in precedenza:

- campionamento,
- quantizzazione,
- codificazione.

### CLASSIFICAZIONE DEI CONVERTITORI A/D

La conversione analogico/digitale può essere suddivisa in due grandi sistemi principali:

- a ciclo aperto,
- con reazione.

Il convertitore a ciclo aperto genera un codice digitale ricavato direttamente dalla tensione di ingresso. In questo gruppo si possono distinguere i seguenti sottogruppi:

- analogico a frequenza,
- analogico a larghezza di impulso,
- conversione in cascata.

Il convertitore con reazione genera invece una sequenza di numeri digitali, li converte in un valore analogico, e confronta quest'ultimo con l'ingresso analogico. L'uscita digitale che ne risulta rappresenta il valore più prossimo a quello che si ottiene dal confronto con il valore di ingresso. In questo sottogruppo i tipi di convertitori più importanti sono:

- a gradini,
- a rampa lineare,
- a conteggio continuo,
- ad approssimazioni successive,
- a conversione non lineare,
- a doppia rampa.

Ciascuno di questi modelli, le cui caratteristiche verranno ampiamente esaminate nei capitoli successivi, realizza la funzione di conversione in modo diverso, pur ottenendo alla fine lo stesso risultato.

### CARATTERISTICHE DEI CONVERTITORI A/D

Le caratteristiche più importanti dei convertitori analogico/digitali che devono essere considerate quando si deve operare con questi dispositivi sono:

- la risoluzione,
- la linearità,
- la precisione,
- l'impedenza di ingresso,
- la sensibilità.

Si devono segnalare anche due altre importanti caratteristiche che sinora sono state trascurate:

- *l'errore di quantizzazione*: questo errore è conseguenza del fatto che in un convertitore la continuità del segnale analogico è suddivisa per una potenza di due. In questo modo tutti i valori analogici compresi in un determinato intervallo vengono rappresentati con un unico codice digitale, normalmente assegnato al valore medio del segnale originale.

- *il tempo di conversione*: che rappresenta il tempo richiesto dal convertitore per fornire la parola digitale equivalente all'ingresso analogico applicato.

# FAMIGLIE DEI CONVERTITORI A/D

**Come già commentato in precedenza esistono in commercio diversi tipi di convertitori analogico/digitali, e la scelta del modello dipende esclusivamente dal grado di precisione richiesto dal circuito in cui deve essere utilizzato.**

**P**rima di esaminare i diversi tipi di convertitori A/D è opportuno ricordare le modalità di funzionamento e il loro compito all'interno di un circuito integrato.

Le fasi principali di un convertitore A/D sono tre:

- campionatura
- quantizzazione
- memorizzazione.

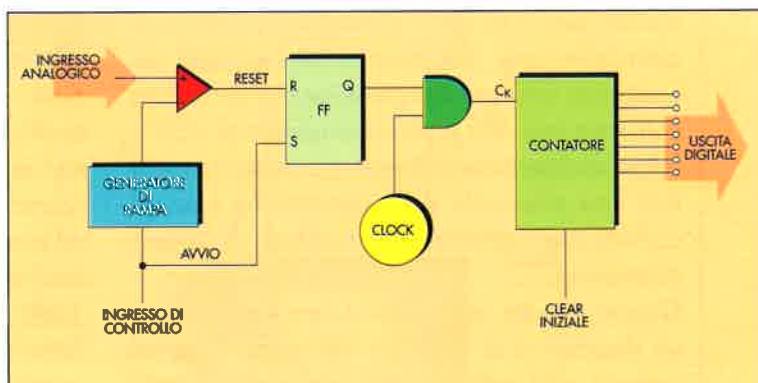
La *campionatura* viene eseguita ad intervalli di tempo determinati per estrarre dei valori campione del segnale in esame. La frequenza di campionatura si determina tramite il teorema di Shannon, e deve corrispondere ad un valore almeno doppio della frequenza da ricostruire.

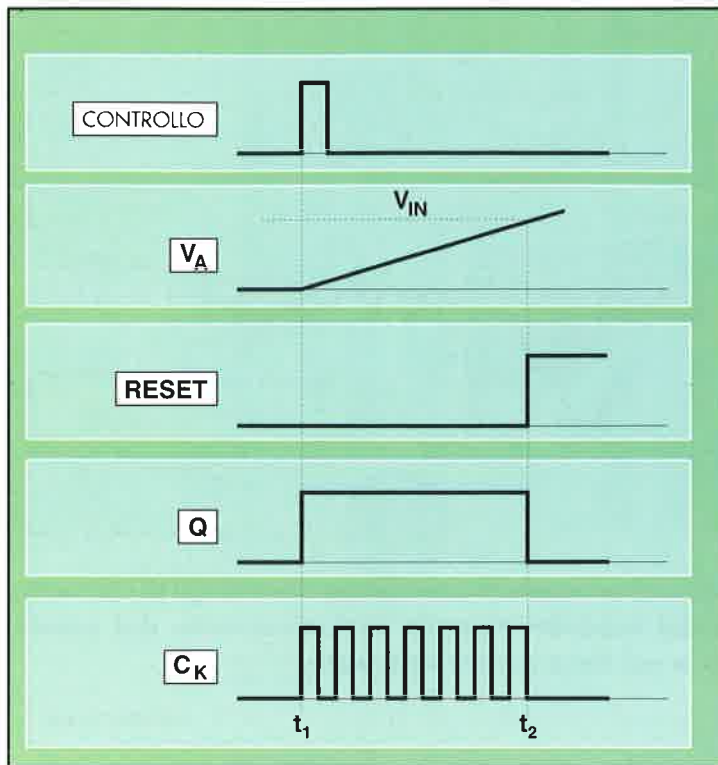
Questa funzione viene realizzata con dei circuiti di cattura e mantenimento che prelevano il valore del segnale analogico in un certo istante e lo mantengono fino al termine della sua conversione. La

sincronizzazione delle operazioni eseguite da questi circuiti e dal convertitore A/D si ottiene grazie ad un segnale generato da quest'ultimo che indica il termine della conversione e la possibilità di effettuare una nuova acquisizione.

La fase di *quantizzazione* consiste nel raggruppare gli infiniti valori del segnale analogico in un certo numero di fasce delimitate da livelli fissi, a ciascuno dei quali corrisponde un valore digitale.

*Convertitore A/D a larghezza d'impulso basato su di un circuito integratore*





Forme d'onda più significative di un convertitore con integratore

Se il numero di livelli è piccolo, l'errore di quantizzazione può diventare apprezzabile; aumentando il numero di livelli l'errore tende a diminuire sino a scomparire. Diventa quindi fondamentale scegliere l'opportuna relazione tra il modo con cui vengono gestiti i dati e l'errore che si genera.

Il fatto che ad un maggior numero di livelli corrisponda un indice di errore più basso significa che anche la precisione diventa maggiore e ciò, direttamente o indirettamente, si ripercuote sul tempo di conversione, sulla capacità di memorizzazione e sui costi.

Nella fase di codifica vengono assegnati dei numeri binari ai livelli ottenuti nel processo di quantizzazione. Il numero di bit necessari per codificare una quantità generica  $n$  di livelli deve corrispondere alla potenza ennesima di 2:  $2^n$ . Infine, anche se non può essere considerata come una fase principale della conversione analogico/digitale, rimane l'operazione di *memorizzazione*.

Questa consiste nell'inviare il dato codificato ad un dispositivo di memoria nel quale sono già presenti altri valori campionati, che vengono debitamente compilati e ordinati.

Finora si sono prese in considerazione le fasi generiche di funzionamento di un convertitore A/D, ma come già detto in precedenza esistono molti dispositivi di questo tipo che si differenziano tra di loro proprio per il modo in cui svolgono le suddette funzioni.

Le ragioni che portano alla scelta di un tipo invece di un altro sono essenzialmente tre: *costi*, *tempo di risposta*, e *capacità di memorizzazione*.

Dal punto di vista economico è facilmente comprensibile che maggiore è il numero di componenti che formano il convertitore, più elevato risulta il costo dell'integrato.

In base a queste premesse, vengono di seguito esaminate alcune delle famiglie di convertitori A/D più comuni.

## CONVERTITORI

### CON COMPARATORI IN PARALLELO

Questo tipo di convertitori è l'unico nel quale i processi di quantizzazione e decodifica sono chiaramente separati.

Il primo passo viene realizzato con dei comparatori, che discriminano tra un numero finito di livelli di tensione. Il segnale analogico da convertire è inviato all'ingresso non invertente di ciascun comparatore, mentre l'ingresso invertente è connesso ad una rete resistiva che ripartisce la tensione di riferimento comune in un numero di fasce pari al numero di livelli digitali che si vogliono ottenere.

Ogni comparatore commuta la sua uscita ad 1 quando il segnale supera la sua rispettiva tensione di riferimento.

Le uscite di tutti i comparatori vengono memorizzate in un latch, in sincronismo con un segnale di clock esterno; in questa fase vengono anche codificate per fornire alla fine un dato digitale stabile.

Questi dispositivi vengono considerati convertitori ad alta velocità, definiti anche *simultanei* o *flash*, poiché il processo di conversione avviene in modo diretto.

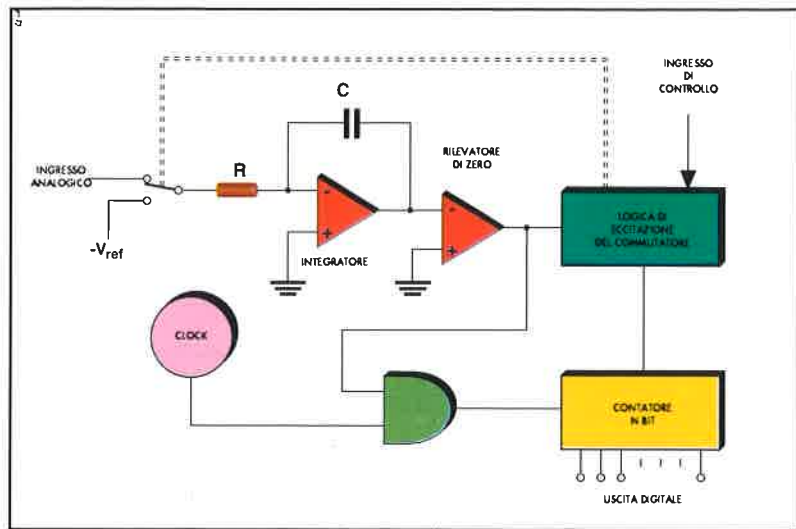
Tuttavia, la sua utilità risulta limitata ai casi di conversione in bassa risoluzione, poiché per ottenere  $n$  bit in uscita sono necessari  $2^n - 1$

convertitori; la realizzazione di dispositivi ad alta risoluzione richiede perciò una complessità circuitale tale da ripercuotersi in modo pesante sui costi e sulle prestazioni.

## CONVERTITORE

### A LARGHEZZA DI IMPULSO

Questo convertitore trasforma la tensione analogica in un intervallo di tempo che viene misurato tramite un clock e un contatore. Quando riceve sull'ingresso di controllo il comando di conversione, il circuito resetta il contatore, genera una rampa, e porta ad 1 l'uscita di un bistabile; ciò provoca l'inizio del conteggio degli impulsi di clock a frequenza fissa da parte del contatore stesso. Il livello del bistabile rimane ad 1 finché la rampa supera il valore dell'ingresso analogico; in quel momento l'uscita del bistabile ritorna a 0 e il contatore termina il conteggio degli impulsi di clock. Il numero di impulsi conteggiati è proporzionale al valore della tensione analogica di ingresso, ed è già fornito in forma digitale; questo tipo di convertitori viene anche definito *ad integrazione* oppure a conversione *tensione-tempo*.



Il convertitore a doppia rampa è uno dei circuiti più utilizzati quando è richiesta una grande precisione di conversione

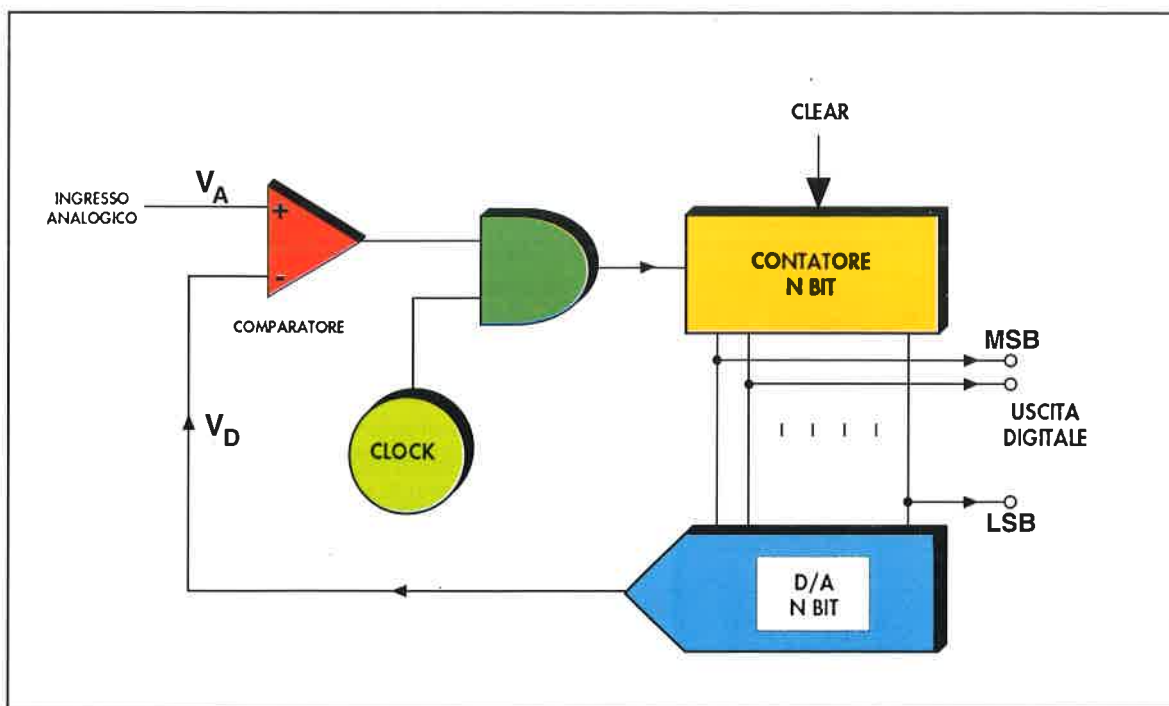
Le sue limitazioni sono però diverse:

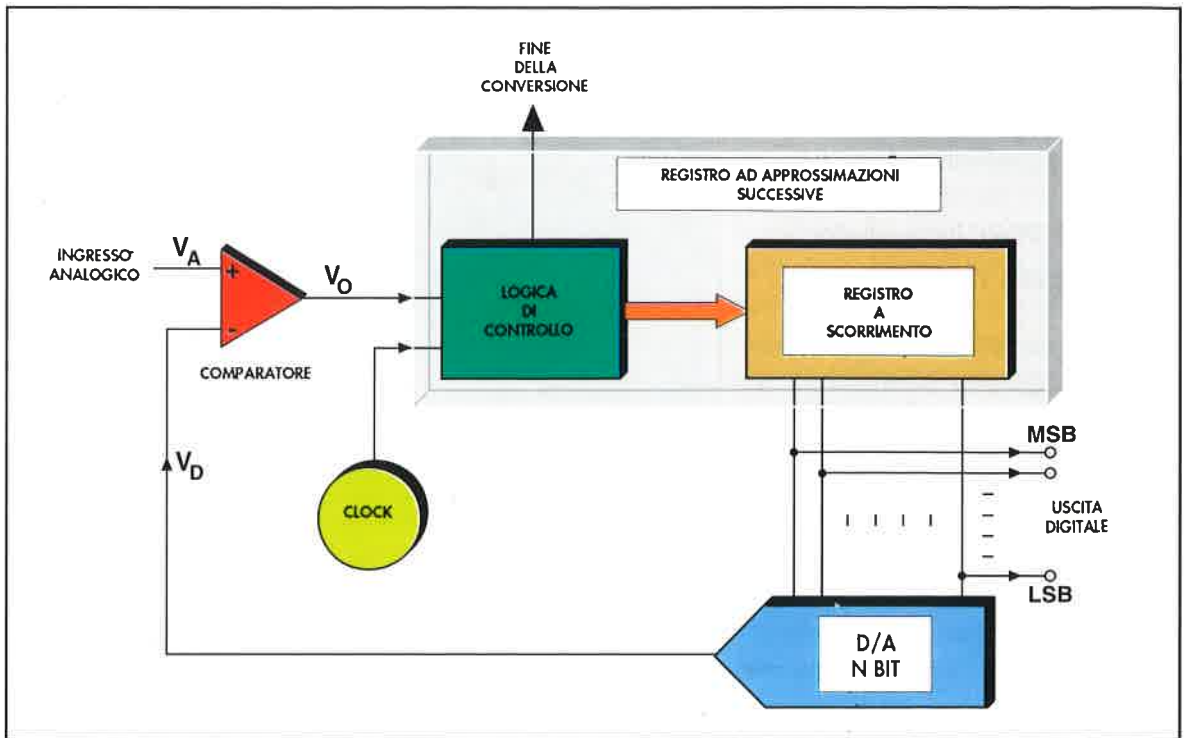
- il generatore di rampa non è perfettamente lineare, per cui la durata dell'impulso non è sempre esattamente la stessa;
- il tempo di conversione non è fisso poiché dipende dall'ingresso analogico.

### CONVERTITORE A DOPPIA RAMPA

Alcune delle limitazioni del convertitore prece-

Tra i convertitori con contatori si deve segnalare questo modello a gradini





Quando è necessario utilizzare un convertitore ad alta velocità di conversione viene normalmente scelto il tipo chiamato ad approssimazioni successive

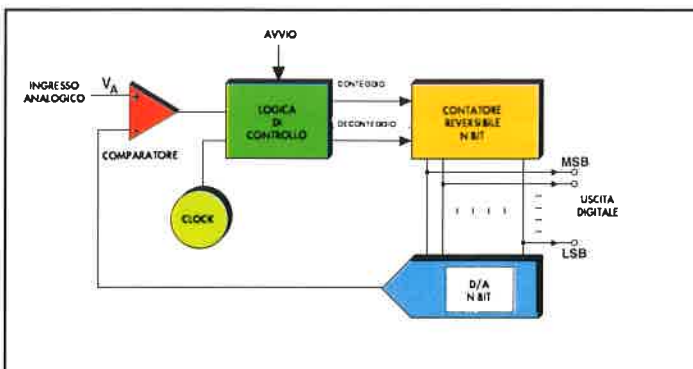
dente possono essere superate con questo dispositivo, che è uno dei più utilizzati nella pratica specialmente per quelle applicazioni in cui è richiesta una grande precisione.

Il funzionamento di questo convertitore è sempre basato su di un integratore. Il processo di conversione inizia quando la tensione analogica di ingresso, ovviamente positiva, viene applicata all'ingresso dell'integratore, che fornisce in uscita una rampa negativa che mantiene a livello alto

l'uscita del comparatore. Questa condizione abilita il conteggio degli impulsi di clock di periodo  $T_1$  da parte del contatore binario ad  $n$  stadi; questo conteggio prosegue per un tempo  $T_2 = 2^n T_1$ , finché la commutazione a 0 di tutte le uscite del contatore provoca l'emissione da parte della logica di eccitazione del commutatore di un segnale che agisce sull'interruttore di ingresso dell'integratore. Su questo ingresso è ora presente una tensione di riferimento di polarità opposta a quella del segnale analogico, che a sua volta provoca la generazione di una rampa positiva che viene nuovamente conteggiata dal contatore binario, nel frattempo resettato; quando l'uscita dell'integratore raggiunge il valore 0 fa commutare il comparatore che disabilita il conteggio dei segnali di clock. Il numero di impulsi conteggiati in questa seconda fase è proporzionale al valore iniziale della tensione analogica applicata.

La caratteristica più importante di questo convertitore è la precisione, che dipende esclusivamente dalla linearità delle rampe e dalla costanza della tensione di riferimento.

Un altro tipo di circuito a contatori è quello chiamato a conteggio indefinito





# CONVERTITORI D/A

**Proseguendo la trattazione della famiglia dei convertitori, in questo capitolo vengono esaminati dei sistemi che accettano come segnale di ingresso una informazione di tipo digitale e la trasformano, o la convertono, in una tensione o corrente analogica. Questi sistemi sono chiamati convertitori digitali/analogici o D/A.**

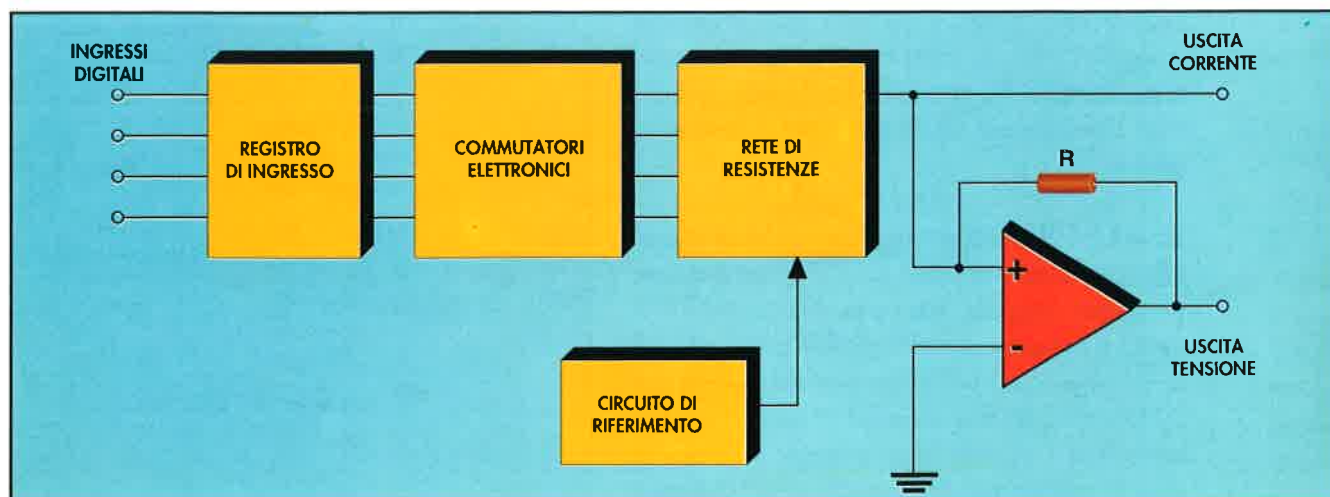
La conversione D/A è un processo che consente di trasformare un segnale digitale, formato da un insieme di diversi bit, in un segnale analogico o continuo. Partendo dal presupposto che la parola di ingresso sia costituita da  $n$  bit, complessivamente si possono ottenere  $2^n$  possibili combinazioni diverse.

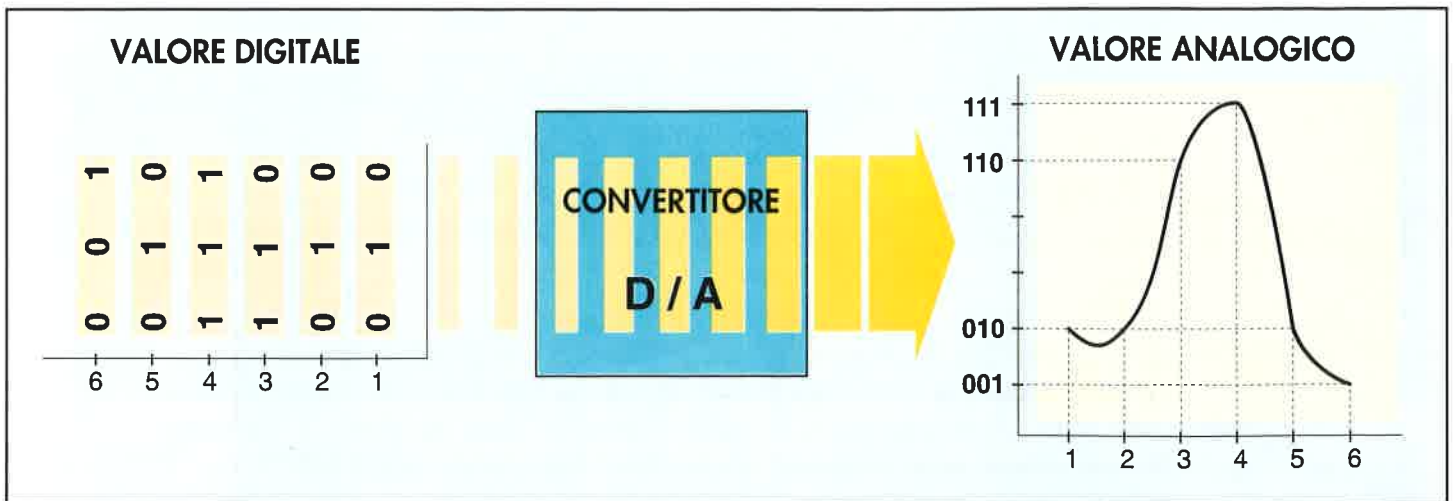
A ciascuna di queste combinazioni si fa corrispondere un livello di tensione o corrente in uscita. In questo modo, in funzione di come si susseguono i diversi valori digitali in ingresso, si ottiene in

uscita un segnale analogico variabile ma continuo.

Come già detto per i convertitori analogico/digitali nel capitolo precedente, a un maggior numero di livelli corrisponde una maggior precisione dell'andamento del segnale analogico che deve essere convertito. Infatti, il segnale di uscita si ottiene dai valori discreti presenti in ingresso; più è elevato il numero di questi valori, migliore è la linearità della curva di uscita, la cui forma assumerà un andamento sempre più progressivo e con un minor numero di scalini.

*Schema a blocchi di un convertitore digitale/analogico*





Il compito di un convertitore D/A è quello di trasformare il segnale proveniente da un circuito digitale in valori analogici che possono essere misurati fisicamente

Se ad esempio si considera un segnale che presenta un intervallo tra due picchi di valore A, e si desidera eseguire la sua campionatura su N livelli, ogni scalino avrà una dimensione pari al rapporto tra il valore A e il numero dei livelli N. La quantità di bit che sono necessari per poter esprimere tutti i valori compresi nell'intervallo A si determina con la relazione:

$$N < 2^B$$

dove N è il numero dei livelli e B è il numero di bit richiesti.

Considerando semplicemente la funzione sviluppata da un convertitore digitale/analogico, questa espressione diventa:

Uscita =  $1/2A + 1/4B + 1/8C + \dots + 1/2^N Z$ ; che viene applicata ai diversi bit di ingresso, nella quale A rappresenta il bit più significativo e Z il meno significativo.

Se si desidera lavorare con valori di uscita positivi e negativi, bisogna utilizzare un bit esclusivamente per il segno. Per ottenerlo è sufficiente moltiplicare l'espressione precedente per il fattore seguente:

$$1 - 2X$$

dove X è il valore che rappresenta il bit di segno. Infatti, quando si imposta ad 1 in uscita si ottiene un valore negativo, mentre se si imposta a 0 in uscita è presente un valore positivo.

Di conseguenza, nell'equazione del convertitore D/A l'uscita può assumere valori positivi compresi tra 0 e 1 oppure, aggiungendo il fattore di identificazione del segno, anche valori compresi tra -1 e 0.

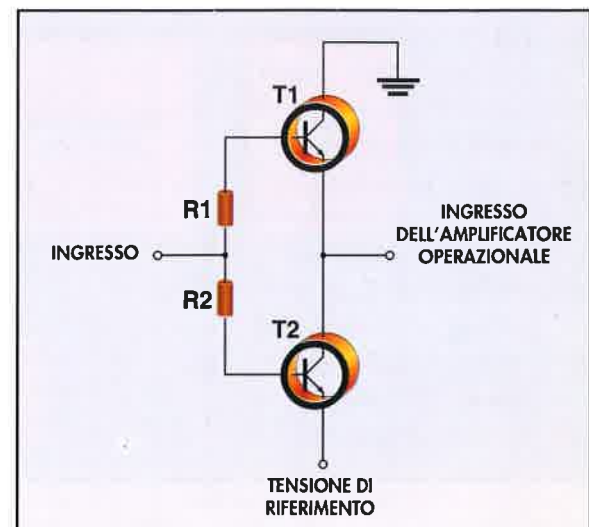
### PRINCIPIO DI FUNZIONAMENTO

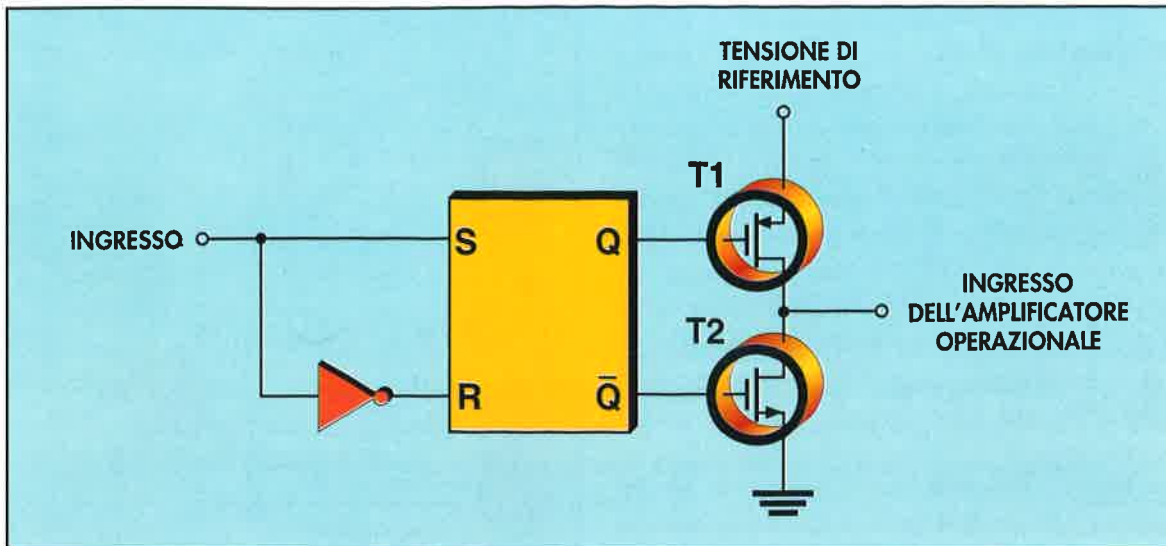
Poiché i diversi modelli di convertitori D/A verranno descritti nei capitoli successivi, in queste pagine viene analizzato solamente il circuito fondamentale, nel quale si possono apprezzare e valutare i componenti che vengono utilizzati per la realizzazione dei diversi modelli. I blocchi che compongono un convertitore A/D sono:

- registro di ingresso,
- commutatori elettronici,
- rete di resistenze,
- circuito di riferimento.

La funzione del registro di ingresso è quella di mantenere disponibile il segnale di ingresso per un periodo di tempo sufficientemente lungo per

Circuito commutatore realizzato con transistor bipolari





*I commutatori elettronici costruiti in tecnologia CMOS comprendono anche dei circuiti bistabili*

poter eseguire la conversione. Inoltre, quando i dati giungono in serie, il registro li presenta in parallelo alla fase successiva.

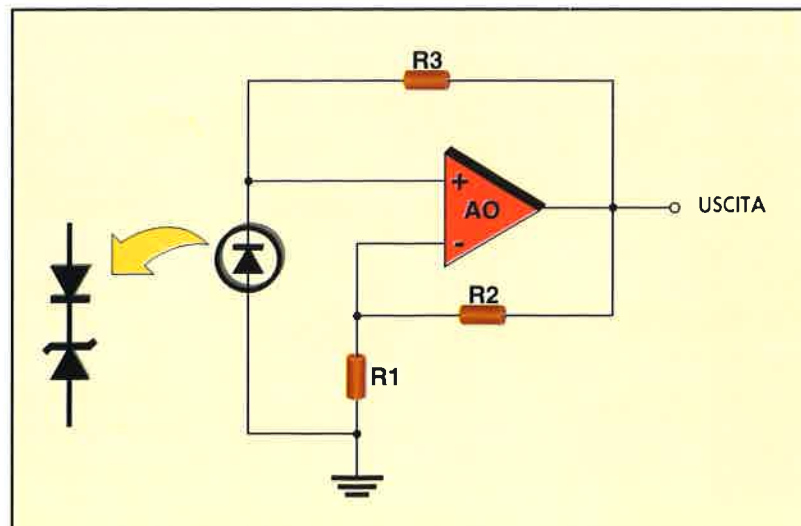
Il blocco dei commutatori elettronici è costituito da interruttori che hanno il compito di collegare una resistenza a terra o alla tensione di riferimento. Generalmente in questi convertitori esiste una resistenza di ingresso reale, che teoricamente dovrebbe essere nulla, che deve essere considerata come appartenente alla rete resistiva. Questa condizione non provoca errori di funzionamento; il problema diventa invece critico a causa delle variazioni che possono subire queste resistenze in funzione della temperatura. Quando le variazioni assumono una rilevanza considerevole, diventa necessaria la loro compensazione. Alcuni convertitori impiegano per la commutazione dei transistor bipolari, ma le prestazioni migliori si ottengono utilizzando la tecnologia MOS. Nelle figure corrispondenti si possono osservare gli schemi relativi ai due modelli. In particolare, nel circuito costruito in tecnologia MOS si può notare la presenza di un bistabile, per cui l'uscita del commutatore risulta collegata alla tensione di riferimento tramite un transistor MOS in conduzione.

Il blocco resistivo è formato da una rete di resistenze che vengono collegate in modo indipendente alla tensione di riferimento tramite i commutatori elettronici. Questo blocco rappresenta l'elemento che più di ogni altro differenzia i diversi modelli di convertitori D/A. Come si vedrà successivamente, la distribuzione delle resistenze è fondamentale per il funzionamento dei convertitori.

A questa rete di resistenze viene associato il circuito di riferimento. Questo blocco serve per mantenere un riferimento stabile indipendente dalla possibili variazioni della tensione, della corrente o della temperatura.

Anche se esistono diversi sistemi per realizzarlo, quello più utilizzato è formato da un diodo zener

*Per il circuito di riferimento si utilizzano diodi zener compensati in temperatura*



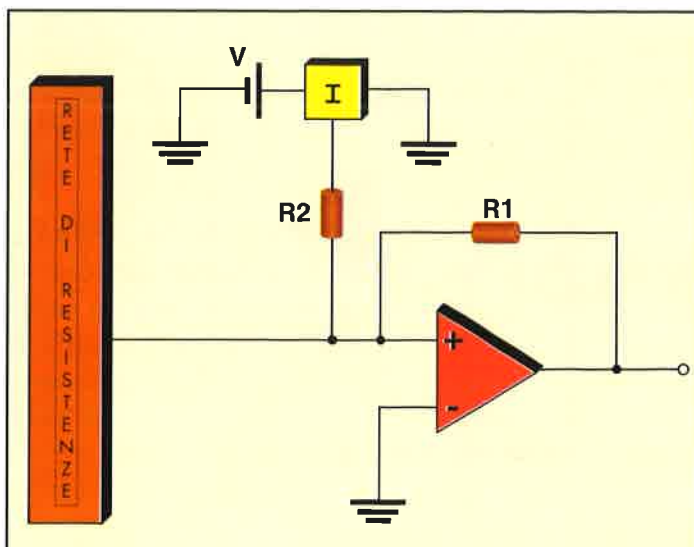
compensato in temperatura, che si ottiene ponendo in serie allo zener polarizzato inversamente un diodo polarizzato direttamente. La variazione della tensione con la temperatura è approssimativamente uguale e di segno opposto in entrambi i dispositivi, per cui la risultante vale circa zero. Uno dei circuiti più classici, rappresentato nella figura corrispondente, prevede l'utilizzo di un amplificatore operazionale che serve da eccitatore e che consente di ottenere una tensione di riferimento superiore al valore della tensione di zener. I parametri più importanti dei convertitori D/A sono i seguenti:

**risoluzione;** che definisce il numero di bit del segnale digitale di ingresso e conseguentemente il numero di valori distinti del segnale analogico di uscita. Un convertitore a 10 bit può fornire in uscita  $2^{10}$  ovvero 1024 valori distinti, per cui l'escursione minima della tensione di uscita è  $1/1024$  del valore massimo, che corrisponde ad una risoluzione di  $1/1024$  ovvero dello 0,1% circa;

**precisione;** che fornisce la differenza tra il valore del segnale analogico di uscita reale e quello ideale per un determinato codice di ingresso. Questo parametro è influenzato dagli errori di linearità, di guadagno e di offset degli elementi circuitali interni;

**linearità;** che esprime la massima deviazione della curva di trasferimento reale da quella ideale. In un DAC ideale, incrementi uguali del dato digitale di ingresso devono produrre incrementi

*Esistono diversi metodi, sfruttati anche nei convertitori A/D, per rappresentare l'informazione numerica in modo digitale*



*I formati dei segnali di uscita possono essere modificati in funzione dei circuiti utilizzati*

uguali del segnale analogico di uscita. Di conseguenza, la curva di trasferimento ingresso-uscita deve essere rappresentata da una retta. L'errore di linearità esprime proprio la deviazione della curva di trasferimento reale da questa retta ideale; **tempo di assestamento;** definito come il tempo necessario perché il segnale analogico in uscita si assesti dopo che si è verificata una commutazione degli ingressi. Questo parametro è influenzato dalle inevitabili capacità e induttanze parassite del circuito, e dalle caratteristiche dei commutatori;

**sensibilità alla temperatura;** legata alla deriva termica degli elementi interni, influenza quasi tutti gli altri parametri. Per questo motivo i costruttori forniscono tra le diverse specifiche anche i coefficienti termici di linearità, di offset, di guadagno, ecc.

Se i dati digitali di ingresso possono essere forniti nei diversi formati già conosciuti, quali il binario naturale, il complemento ad uno, il complemento a due, il BCD, ecc., in uscita la scelta è limitata a valori analogici di tensione o corrente. Generalmente viene fornita una corrente che viene convertita in una tensione mediante un amplificatore operazionale esterno; in alcuni casi questo operazionale è già compreso nell'integrato DAC.

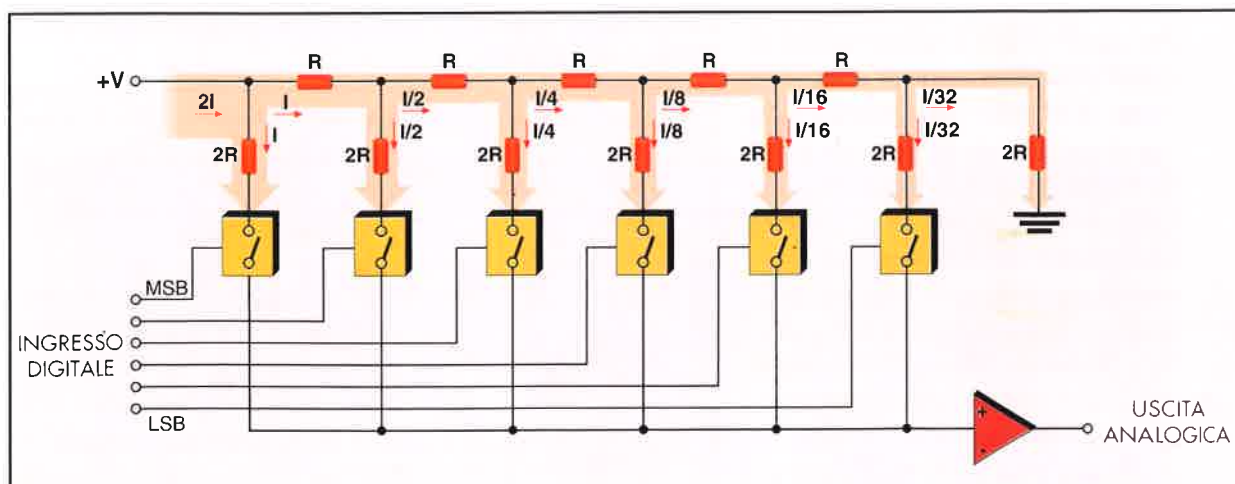
# LE FAMIGLIE DEI CONVERTITORI D/A

Come descritto nel capitolo precedente, il blocco della rete di resistenze differenzia le diverse famiglie di convertitori digitali/analogici presenti in commercio.

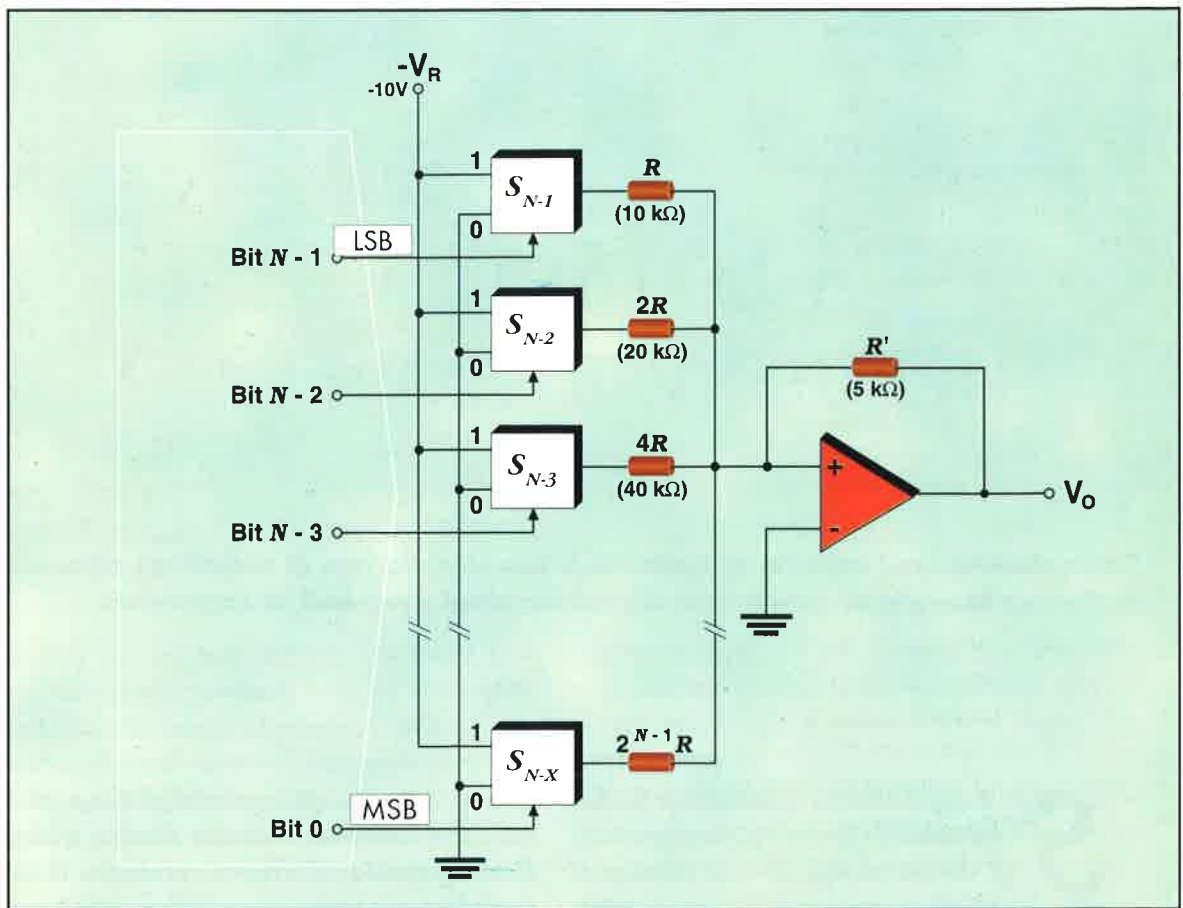
**S**i è già detto che la differenza fondamentale tra i diversi tipi di convertitori è dovuta al tipo di rete resistiva e all'alimentazione di riferimento utilizzate nei circuiti di conversione. Con riferimento esclusivo alla rete resistiva, si possono distinguere due famiglie di convertitori D/A: a *resistori pesati* e a *scala*.

Prima di affrontare in dettaglio questi due tipi di convertitori, bisogna ricordare che i convertitori D/A si possono suddividere in due grandi gruppi. I dispositivi appartenenti al primo gruppo, che rappresentano anche i modelli più utilizzati nella

pratica, utilizzano gli ingressi digitali per attivare dei commutatori elettronici che alterano lo schema di collegamento della rete di resistenze, in modo da generare in uscita una tensione o una corrente proporzionale all'ingresso digitale. A questo gruppo appartengono le due famiglie citate in precedenza. Al secondo gruppo appartengono invece i dispositivi che sfruttano una circuiteria digitale per generare un treno di impulsi di uguale ampiezza e frequenza costante la cui durata è proporzionale al valore digitale presente in ingresso, oppure per generare un treno di impulsi la cui densità nel tempo è proporzionale all'ingresso digitale. Il



Convertitore digitale/analogico a scala, nel quale vengono utilizzate solo resistenze di valore  $R$  e  $2R$



Convertitore D/A a resistenze pesate, nel quale le resistenze hanno valori crescenti per potenze di due

primo di questi circuiti viene chiamato *Pulse Width Modulator (Modulatore a Larghezza di Impulsi)* mentre il secondo *Pulse Rate Modulator (Modulatore a Velocità di Impulsi)*.

### CONVERTITORE D/A

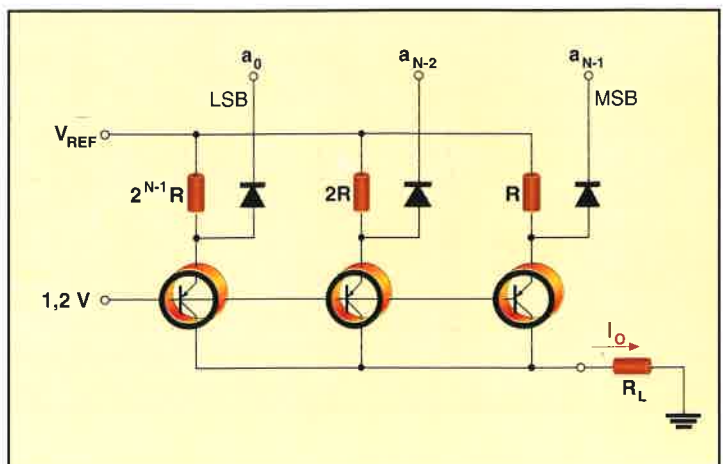
#### A RESISTENZE PESATE

Per comprendere il funzionamento di questi convertitori si prende come riferimento il circuito rappresentato nella figura corrispondente, nel quale è presente una tensione di riferimento.

I commutatori elettronici  $S$ , portano ogni resistenza alla tensione di riferimento o a massa, in funzione dello stato del segnale digitale di ingresso (1 o 0). I bit che sono a 0 non portano alcuna variazione alla corrente che circola nella resistenza  $R'$ , mentre quelli che sono ad 1 modificano sostanzialmente questa corrente in fun-

zione dei valori assunti dalle resistenze collegate. Ad esempio, se il bit più significativo (MSB) vale 1, in questo ramo circola una corrente determinata dal rapporto tra la tensione di riferimento e la resistenza di valore  $2^{N-1} \cdot R$ . Se invece assume valore 1 il bit meno significativo (LSB), la corrente

Una variante del convertitore a resistenze pesate che utilizza dei transistor per ottenere le correnti richieste



che circola in questo ramo del circuito è pari al rapporto tra la tensione di riferimento e la resistenza che in questo caso ha valore  $R$ , per cui risulta  $2^{N-1}$  volte maggiore rispetto alla precedente.

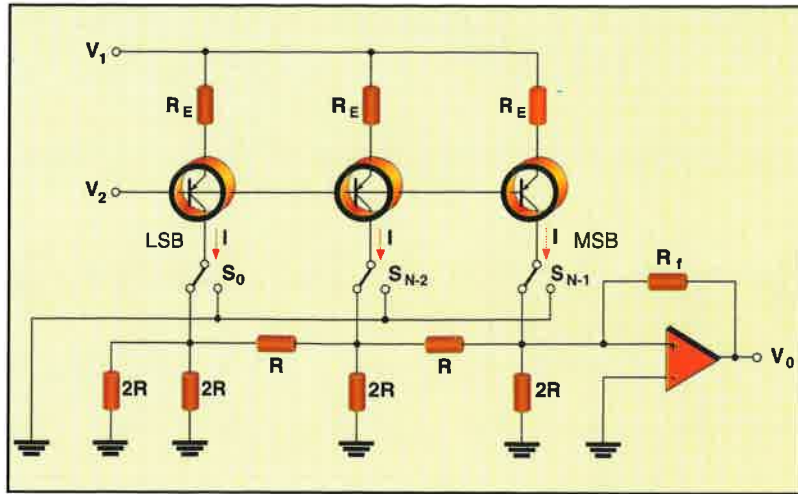
Analizzando uno ad uno tutti i rami che compongono la rete di resistenze, si può affermare che, con riferimento alla figura della pagina precedente, la corrente circolante in  $R'$  è definita dall'equazione generale:

$$[(V_R/R) * S_{N-1}] + 2[(V_R/R) * S_{N-2}] + \dots + 2_{N-X}[(V_R/R) * S_{N-X}]$$

dove  $S$  rappresenta il bit di ingresso che può assumere valore 0 o 1. Di conseguenza, si ottiene una tensione

analogica di uscita che è proporzionale al valore numerico dell'ingresso digitale. Il calcolo dell'effettiva corrente di uscita, nel caso non si utilizzi l'amplificatore operazionale invertente, è facilmente eseguibile utilizzando un circuito equivalente dell'insieme. Per semplificare il circuito, si potrebbe pensare di lasciare fluttuanti le resistenze corrispondenti ai bit di valore 0, sfruttando la massa virtuale propria degli amplificatori operazionali. Tuttavia, questa soluzione non viene normalmente adottata poiché gli ingressi generano comunque delle perturbazioni come conseguenza di accoppiamenti non desiderati.

Una seconda semplificazione possibile potrebbe essere quella di eliminare la tensione di riferimento e i commutatori elettronici, utilizzando direttamente i livelli logici di ingresso. Anche questa soluzione non è però attuabile, poiché il segnale analogico di uscita dipenderebbe direttamente



Convertitore D/A formato dalla combinazione del tipo a scala con quello a commutazione di sorgente

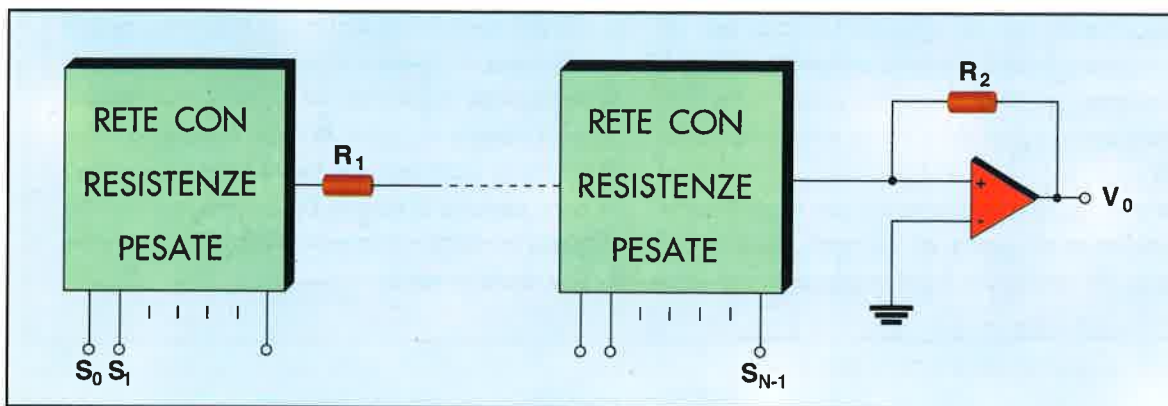
dal livello di tensione assunto dal segnale digitale di ingresso, che può variare entro i limiti di tolleranza ammessi.

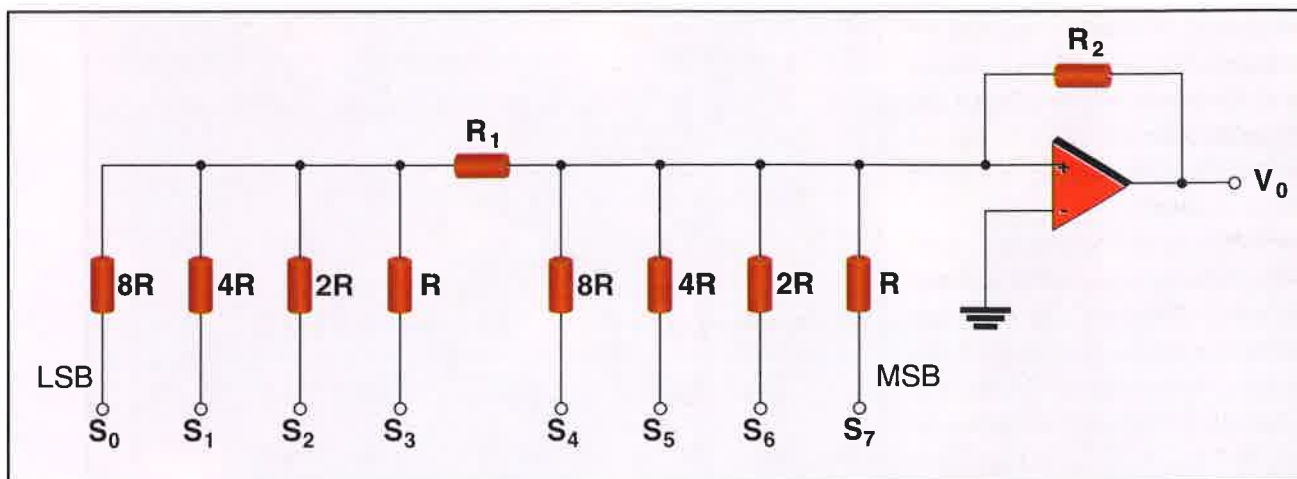
Per questo motivo si preferisce utilizzare dei riferimenti interni di precisione, e prelevare da questi l'informazione relativa al tipo di livello logico del segnale digitale.

Una variante a questo tipo di circuiti consente di ricavare le correnti ponderate attraverso dei transistor. In questo caso le correnti di collettore risultano diverse poiché, essendo le tensioni di base tutte uguali, sono diversi i valori delle resistenze di emittitore.

Quando sull'ingresso digitale è presente un 1 logico il diodo rimane interdetto, e il transistor corrispondente viene attraversato da una corrente pari al rapporto tra la tensione di riferimento diminuita della caduta di tensione sul transistor e la resistenza di emittitore corrispondente.

Schema a blocchi di un circuito ibrido che utilizza la rete a resistenze pesate





Se l'ingresso digitale utilizzato è in codice BCD viene utilizzata questa rete di resistenze

Viceversa, se l'ingresso digitale ha valore 0 il diodo conduce, derivando tutta la corrente e impedendo che questa raggiunga l'uscita.

Questi convertitori hanno il vantaggio di essere molto semplici ed estremamente veloci. Presentano anche alcuni inconvenienti, dovuti ai diversi tempi di commutazione dei transistor provocati dalle diverse correnti che li attraversano; l'inconveniente maggiore è però rappresentato dalla necessità che le resistenze soddisfino esattamente la sequenza relazionale  $R$ ,  $2R$ ,  $4R$ , ecc.; un gruppo di resistenze con questa precisione e con le stesse caratteristiche è piuttosto difficile da ottenere.

Quando è richiesto un elevato numero di bit di ingresso si può ricorrere ai convertitori a scala.

### CONVERTITORI D/A A SCALA

L'inconveniente di cui si è parlato in precedenza può essere evitato utilizzando solo resistenze di valore  $R$  e  $2R$ . Come si può osservare nella figura corrispondente, questo circuito utilizza per lo stesso numero di bit di ingresso un numero doppio di resistenze rispetto al dispositivo precedente, ma in questo caso i valori delle stesse sono solamente  $R$  e  $2R$ .

La scala realizzata in questo circuito rappresenta un sistema a divisione di corrente, per cui il rapporto tra resistenze è più importante del loro

valore assoluto. Si può notare che, vista da qualsiasi nodo, la resistenza risulta essere sempre di valore  $2R$ , sia a sinistra che a destra del commutatore.

Ad esempio, la resistenza collegata a terra presente dopo l'ultimo commutatore vale  $2R$ ; l'ultimo nodo a destra vede due resistenze  $2R$  in parallelo poste in serie ad una di valore  $R$ , per cui il valore finale risulta pari a  $2R$ , e così via.

Pertanto, se uno qualsiasi dei commutatori viene collegato alla tensione di riferimento vede la resistenza corrispondente pari al valore  $3R$ , poiché sono presenti due resistenze in parallelo poste in serie ad una terza, tutte di valore  $2R$ . La tensione sul nodo corrispondente è di conseguenza pari al rapporto tra la tensione di riferimento e la resistenza equivalente di valore  $3R$ .

L'inconveniente di questo tipo di convertitori è dovuto alle capacità parassite che causano un ritardo del tempo di propagazione da sinistra verso destra. Quando si chiude il commutatore del bit meno significativo, il ritardo è maggiore rispetto alla chiusura del commutatore relativo al bit più significativo.

Al variare dell'informazione digitale in ingresso è perciò presente in uscita un'onda transitoria indefinita che si stabilizza al valore finale solo dopo un certo periodo di tempo. Per evitare la presenza di questi transienti vengono utilizzati i convertitori A/D a scala invertita.



# COMPARATORI DI FASE E PLL

**Dopo aver esaminato tutti i circuiti più semplici che possono essere presenti all'interno di un PC, vengono di seguito analizzati i circuiti definiti complessi per il fatto che integrano tecnologie diverse: quella analogica e quella digitale.**

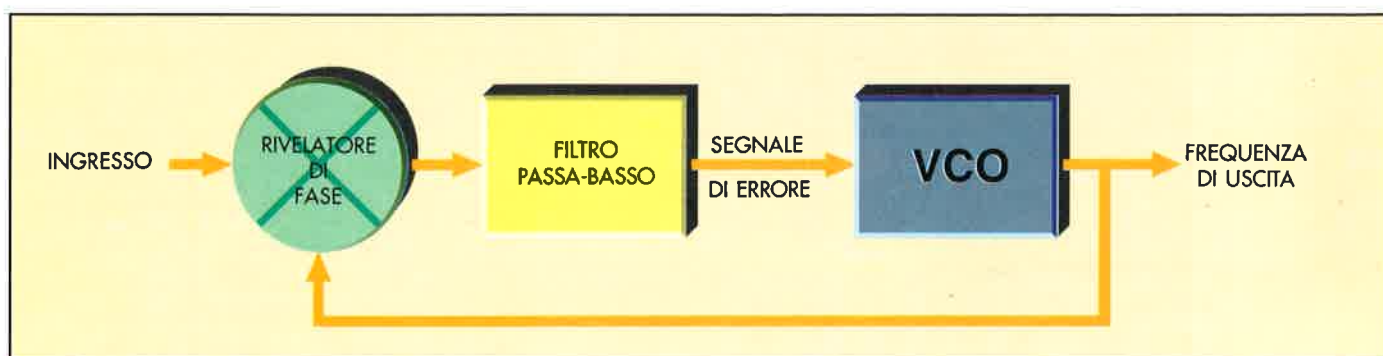
**i** comparatori sono generalmente dotati di due ingressi e un'uscita, che nel comparatore ideale ha un valore costante. L'ingresso viene comparato con un valore di riferimento, e l'uscita assume di conseguenza la condizione 0 oppure 1. In altre parole, il comparatore si comporta come un convertitore analogico/digitale ad 1 bit. Inoltre, è importante tener presente che il comparatore emette onde fortemente non lineari, per cui l'uscita non presenta alcuna somiglianza con la forma d'onda di ingresso.

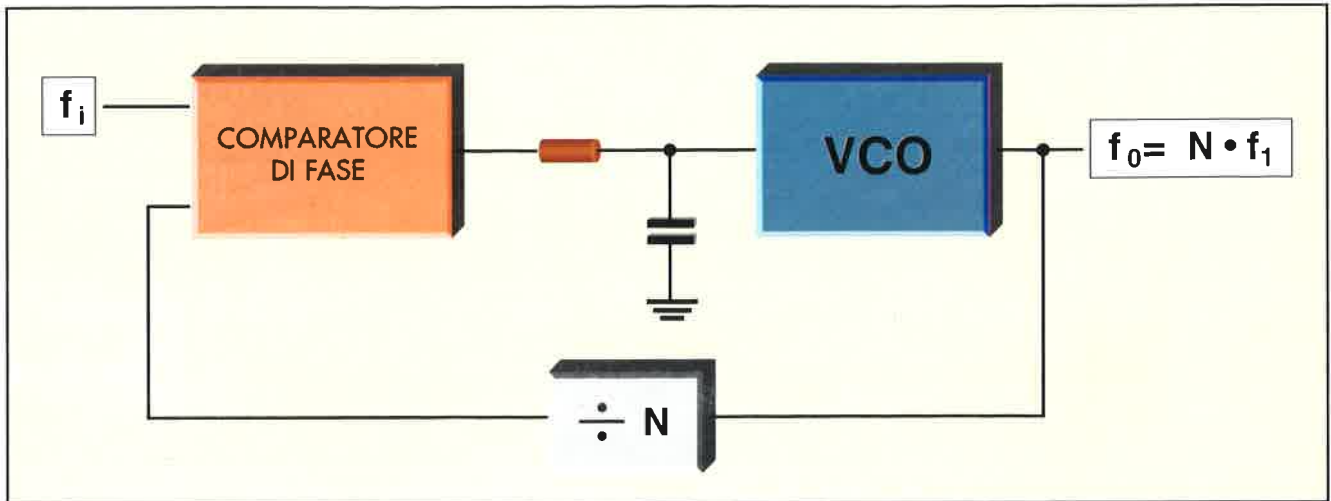
Questi dispositivi vengono generalmente utilizzati

per trasformare un segnale che varia in modo molto lento in un altro che varia rapidamente quando l'ingresso raggiunge un determinato valore di riferimento.

Il comparatore fondamentale è l'amplificatore operazionale. Infatti, la sua caratteristica di ingresso/uscita è quella che più si avvicina a quella di un comparatore ideale. Si può notare che la variazione totale di ingresso tra i livelli estremi di qualsiasi operazionale è di circa 200 mV, margine che può essere ridotto notevolmente inserendo l'operazionale in cascata con altri stadi ad elevato guadagno.

*Schema a blocchi di un circuito complesso, come può esserlo un PLL*





I circuiti PLL vengono utilizzati anche come moltiplicatori di frequenza

Nei data sheet gli amplificatori operazionali progettati specificatamente per essere utilizzati come comparatori di fase sono denominati comparatori di tensione o "buffer".

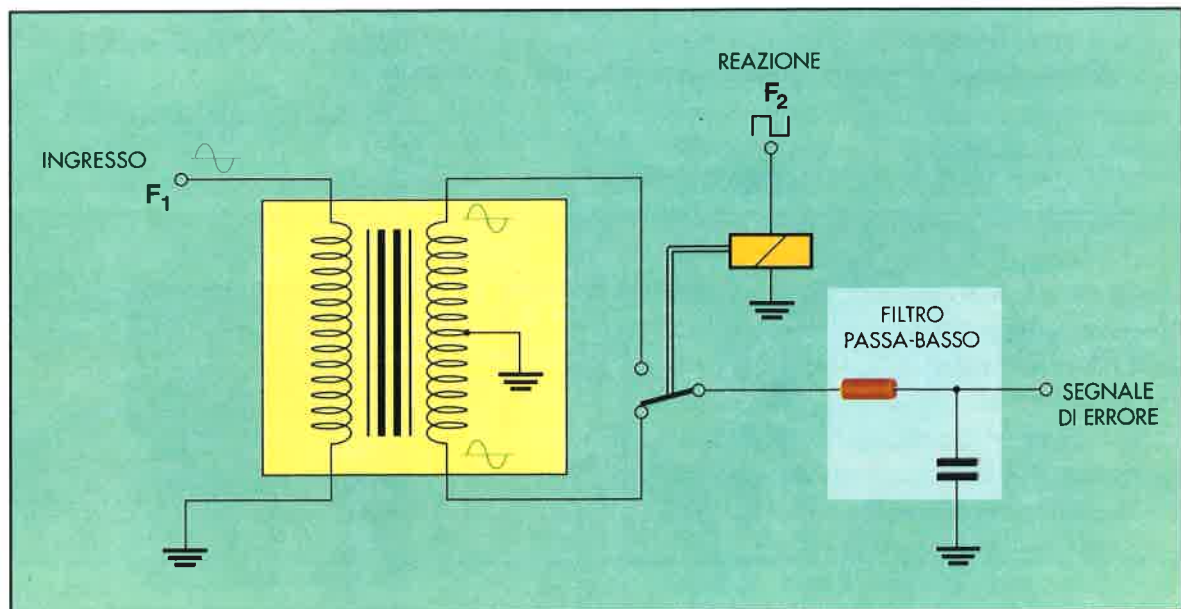
Poiché in un comparatore non è previsto l'utilizzo della reazione negativa, è possibile evitare la sua compensazione in frequenza, ottenendo in questo modo una maggior velocità del dispositivo rispetto agli amplificatori operazionali tradizionali. Questo tipo di comparatore viene chiamato anche buffer poiché, grazie alla sua elevata resistenza di ingresso, la sorgente del segnale non viene caricata.

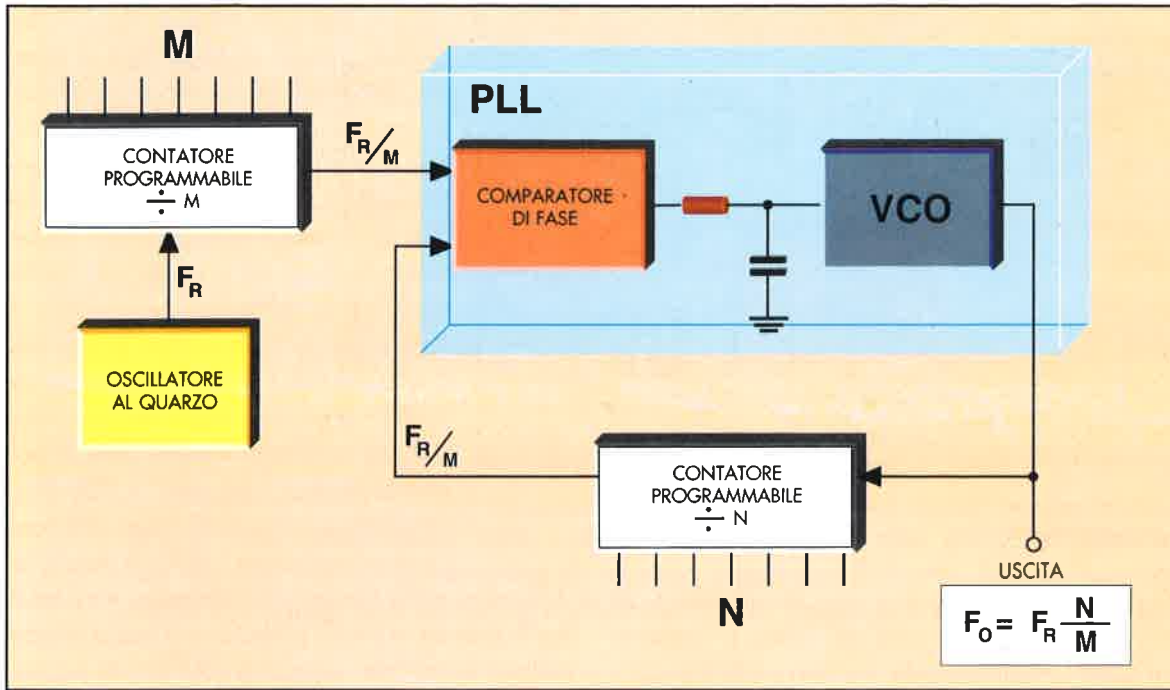
Per limitare la tensione di uscita, indipendentemente da quella di alimentazione, vengono utilizzati una resistenza e due diodi Zener in opposizione che fissano il valore di uscita. Il valore della resistenza viene determinato in modo tale che i diodi possano lavorare con la corrente di Zener consigliata.

L'inserimento di questi diodi ha il vantaggio di definire i limiti di uscita ma, per contro, la risposta transitoria diventa meno rapida.

Se si applica tutto quanto detto al caso che stiamo per esaminare, si potrà vedere che il circuito risulterà speciale.

Circuito fondamentale di un comparatore di tipo elettromeccanico





I sintetizzatori di frequenza sono basati sui circuiti PLL.

### STRUTTURA DI UN PLL

La denominazione PLL deriva dall'abbreviazione del termine anglosassone *Phase Locked Loop*, più normalmente conosciuto con il termine italiano di *anello ad aggancio di fase*.

In questo dispositivo vengono confrontati il segnale di ingresso e quello di uscita per fornire un segnale di errore che, attraverso un filtro passa-basso, pilota un *oscillatore controllato in tensione* o VCO, che a sua volta genera la frequenza di uscita.

Per meglio comprendere quanto detto vengono di seguito esaminati singolarmente i diversi blocchi che compongono il dispositivo.

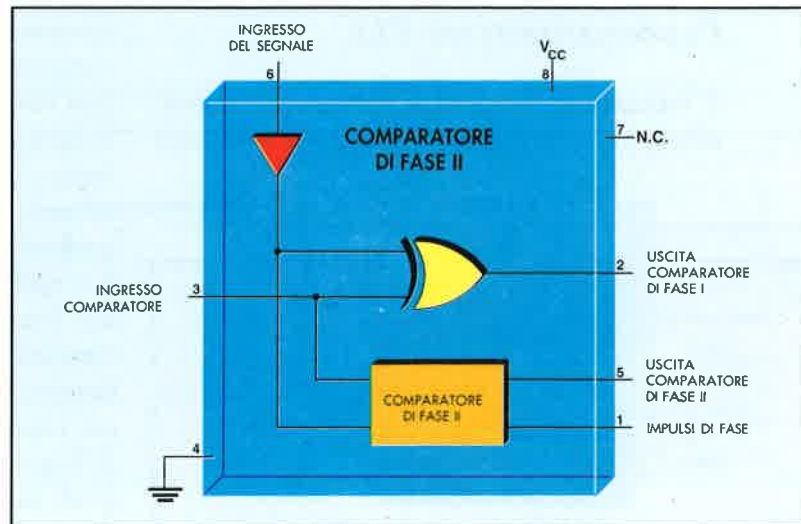
Il *comparatore di fase* è l'elemento principale del dispositivo il cui funzionamento, pur essendo riferito ad un circuito relativamente complesso, può essere facilmente compreso con l'aiuto di un semplice comparatore di fase elettromeccanico come quello rappresentato nella corrispondente figura.

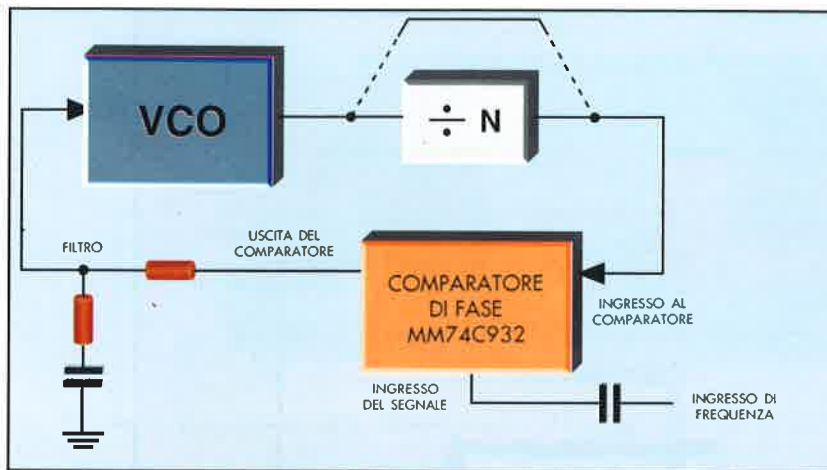
Se le frequenze di ingresso e di uscita non sono uguali, all'ingresso del filtro è presente una tensione che varia

periodicamente nel tempo tra 0 e  $2\pi$ . Sull'uscita del filtro è perciò presente una tensione anch'essa periodica di frequenza pari al modulo della differenza tra le due frequenze di ingresso.

Se le due frequenze sono invece uguali, sull'uscita del filtro è presente una tensione costante la cui ampiezza è funzione della differenza di fase tra i due segnali. In questo modo, quando le due frequenze sono in fase all'ingresso del filtro è presente un'onda raddrizzata, mentre in uscita viene prodotta una tensione continua positiva.

Schema a blocchi di un comparatore di fase reperibile in commercio





Circuito tipico di un PLL, nel quale si possono distinguere i suoi tre componenti fondamentali: il comparatore di fase, il filtro e il VCO

Quando le due frequenze sono invece sfasate di novanta gradi, a monte del filtro è presente un'onda semisinusoidale, mentre a valle è presente una tensione continua di valore zero. Infine, se le due frequenze sono in controfase, all'ingresso del filtro è presente un'onda raddrizzata di valore negativo, mentre in uscita è presente una tensione continua negativa. Il circuito più semplice per realizzare questa parte del PLL è una porta OR-Esclusivo.

Il secondo blocco di un PLL è rappresentato dall'oscillatore controllato in tensione, o VCO. Questo elemento può essere costituito da un multivibratore astabile, già visto nei capitoli precedenti, con ingresso in continua e uscita che può subire variazioni di frequenza entro un certo margine; quando la tensione continua di controllo diventa maggiore, i condensatori si caricano più velocemente e la frequenza di uscita aumenta.

### FUNZIONAMENTO DEL PLL

Si supponga di collegare un generatore di segnali all'ingresso del PLL, per poter osservare cosa

accade variando la frequenza di ingresso. Inoltre, si supponga di aver scelto i componenti che formano l'oscillatore controllato in tensione in modo che si possa ottenere la seguente funzione: limitando la tensione di ingresso il multivibratore astabile deve poter essere controllato in modo che oscilli tra 0,9 e 1,1 kHz.

Se si scollega il generatore di segnali, il VCO oscilla a una frequenza di 1.000 Hz poiché l'uscita del filtro vale 0 V. Se si collega il generatore impostando la sua frequenza a 700 Hz, l'oscillatore controllato in tensione continua ad oscillare a 1.000 Hz poiché la

differenza tra le frequenze di ingresso e uscita è molto grande, e il filtro passa-basso lascia invece passare solamente i segnali di valore molto basso. Se si aumenta il valore della frequenza sino a raggiungere i 920 Hz circa, la frequenza del VCO subisce un brusco salto e si porta alla stessa frequenza del generatore.

Se si continua ad aumentare la frequenza del generatore, la frequenza dell'oscillatore la segue finché non si raggiungono i 1.100 Hz, valore al quale torna a oscillare a una frequenza fissa di 1.000 Hz.

Agendo in senso contrario, vale a dire partendo da una frequenza di 1.300 Hz, l'oscillatore controllato in tensione si aggancia nell'intervallo di frequenza compreso tra 1.080 e 900 Hz.

Questo intervallo di frequenza compreso tra i 920 e 1.080 Hz viene chiamato *campo di cattura* della frequenza, conosciuto con il termine inglese di *Frequency Capture Range*, mentre il margine compreso tra 900 e 1.100 Hz viene denominato *campo di aggancio della frequenza* o *Frequency Lock Range*.

Si deve tener presente che il campo di cattura è sempre inferiore a quello di aggancio.

Quando la frequenza di uscita del PLL è legata a quella di un generatore, come nel semplice PLL che si è appena descritto, la differenza di fase tra le due frequenze varia da 0 a 180 gradi in tutto l'intervallo.

Esistono altri comparatori di fase più complessi, con i quali è possibile ottenere che la differenza di fase tra le due frequenze risulti sempre di 0 gradi per tutto il campo di aggancio.

Circuito integrato a otto terminali che rappresenta un comparatore di fase



# INTRODUZIONE AL MICROPROCESSORE

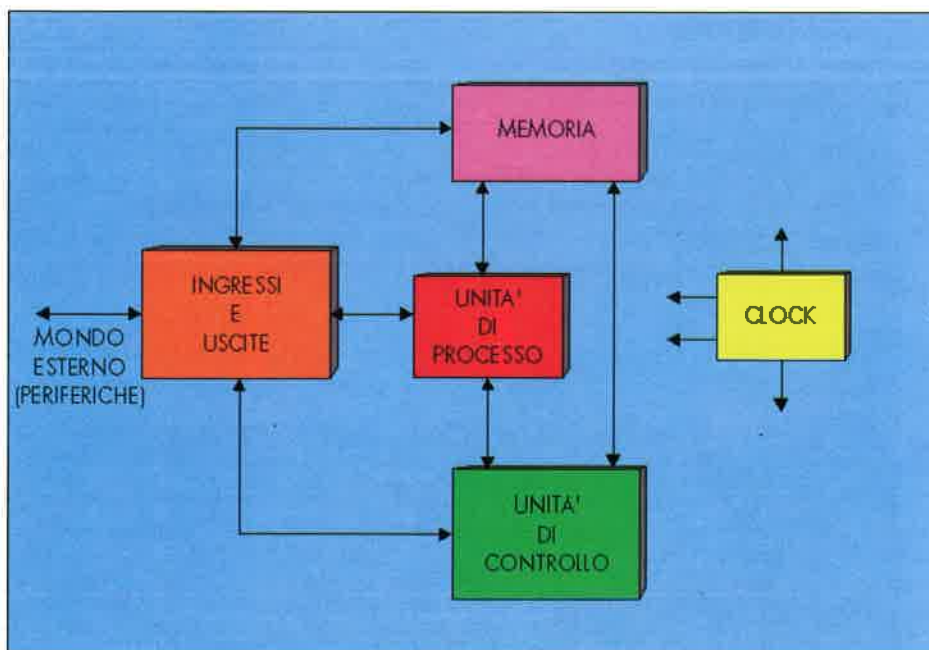
**Dopo aver analizzato nei capitoli precedenti i vari circuiti digitali fondamentali che si possono trovare all'interno di un elaboratore, rimane solamente da studiare quella parte che può essere sicuramente indicata come "il cuore del PC".**

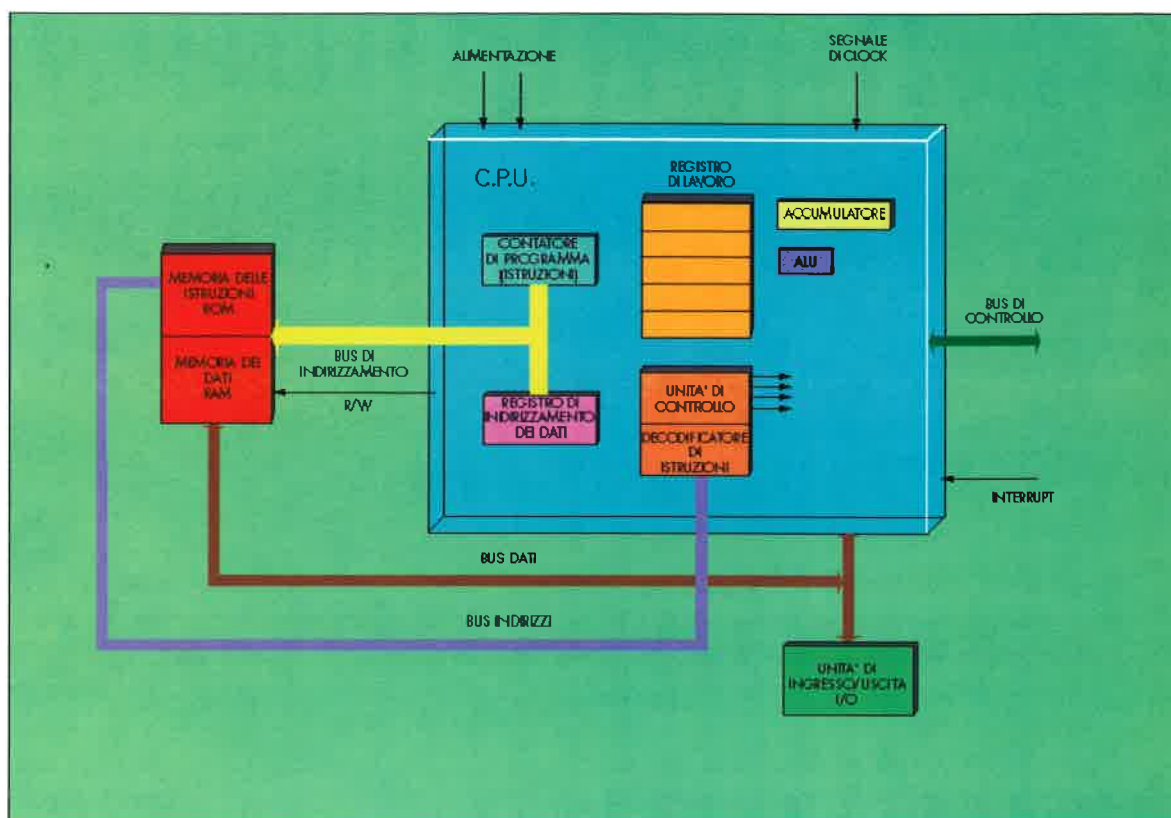
**Q**uasi tutti i circuiti digitali costruiti in tecnologia TTL, quali le porte logiche, i bistabili, i registri a scorrimento e altri già descritti nei capitoli precedenti, vengono anche fabbricati in tecnologia MOS. La diminuzione degli spazi occupati a parità di funzione svolta, unitamente al basso assorbimento degli elementi costruiti in questa tecnologia, hanno favorito l'impiego di questi componenti per la realizzazione di circuiti molto complessi e ripetitivi con un basso costo e velocità di lavoro accettabili. L'elevata integrazione permessa dai componenti fabbricati in tec-

nologia MOS ha consentito di racchiudere in un solo circuito integrato il sistema principale per l'elaborazione dei dati, con la possibilità di eseguire diversi tipi di operazioni concatenate in funzione di una sequenza di istruzioni.

Questo elemento viene comunemente chiamato

*Schema a blocchi del modello di Von Neuman*





Struttura fondamentale di un microprocessore

unità centrale di processo, ma è più conosciuto come CPU (dall'inglese *Central Process Unit*); di seguito la CPU verrà per semplicità chiamata *microprocessore*. Il microprocessore è la parte più importante di un calcolatore, ed è formato dei seguenti elementi:

- unità di controllo,
- unità aritmetico-logica,
- contatori e registri a scorrimento.

Nella progettazione digitale, la possibilità di utilizzare il microprocessore come componente aggiuntivo presuppone una rivoluzione totale nella realizzazione dei circuiti e nella sostituzione dei componenti tradizionali. Per poter utilizzare un microprocessore è necessario conoscere il suo contenuto elettronico, definito *hardware*, e la sua modalità di programmazione, indicata come *software*.

L'impiego del microprocessore si è reso necessario a causa dall'elevato livello di complessità che hanno raggiunto i progetti di automazione sequenziale, nei quali le uscite non dipendono solo dagli ingressi ma anche dai dati elaborati durante il processo, dallo stato precedente delle uscite, oppure da un programma memorizzato

internamente. La necessità di fornire una soluzione a queste condizioni ha rappresentato il punto di partenza per lo sviluppo dei microprocessori. Inizialmente è stato sviluppato un modello formato da quattro parti, ricavato da una configurazione chiamata di Von Newman. Queste parti sono le seguenti:

- il *generatore di clock*: fornisce i segnali di clock necessari per svolgere in modo sincrono l'elaborazione e l'interscambio delle informazioni digitali;
- la *memoria*: una parte della memoria è riservata al programma contenente le istruzioni che indicano il modo in cui devono essere processati i dati. La parte rimanente è destinata alla memorizzazione dei dati richiesti per l'elaborazione o a quelli prodotti nel corso della stessa;
- l'*unità di processo*: composta da diversi blocchi digitali, che viene chiamata microprocessore quando tutti sono contenuti in un solo circuito integrato. Questa unità decodifica le istruzioni immagazzinate nella memoria che contiene il programma, genera i segnali per la gestione degli altri componenti del sistema digitale, ed esegue le operazioni aritmetico-logiche di processo.

- i dispositivi di ingresso e uscita: essi hanno il compito di ricevere le informazioni che provengono dai componenti esterni o periferici per trasmetterle al sistema centrale, e viceversa.

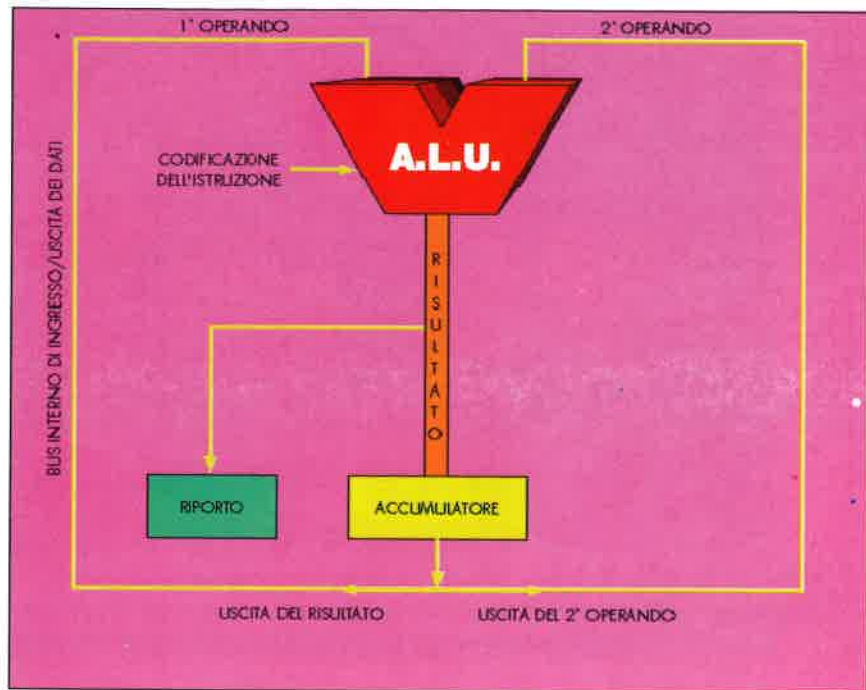
Questa struttura può essere applicata a qualsiasi tipo di progetto, purché la sua velocità sia adeguata al processo esterno che deve essere controllato e venga eseguito un adattamento idoneo tra la stessa e le unità periferiche.

### STRUTTURA DI UN MICROPROCESSORE

Il circuito integrato che rappresenta il microprocessore non è in grado, da solo, di realizzare alcun tipo di elaborazione; per poter svolgere correttamente e completamente questo compito è necessaria la collaborazione di altre unità. L'importanza del microprocessore è dovuta al fatto che riunisce in un solo circuito integrato molti componenti digitali, consentendo la fabbricazione della struttura fondamentale di un calcolatore con pochi componenti, costituiti anche questi da circuiti integrati. Gli elementi che lo compongono sono, principalmente, i seguenti:

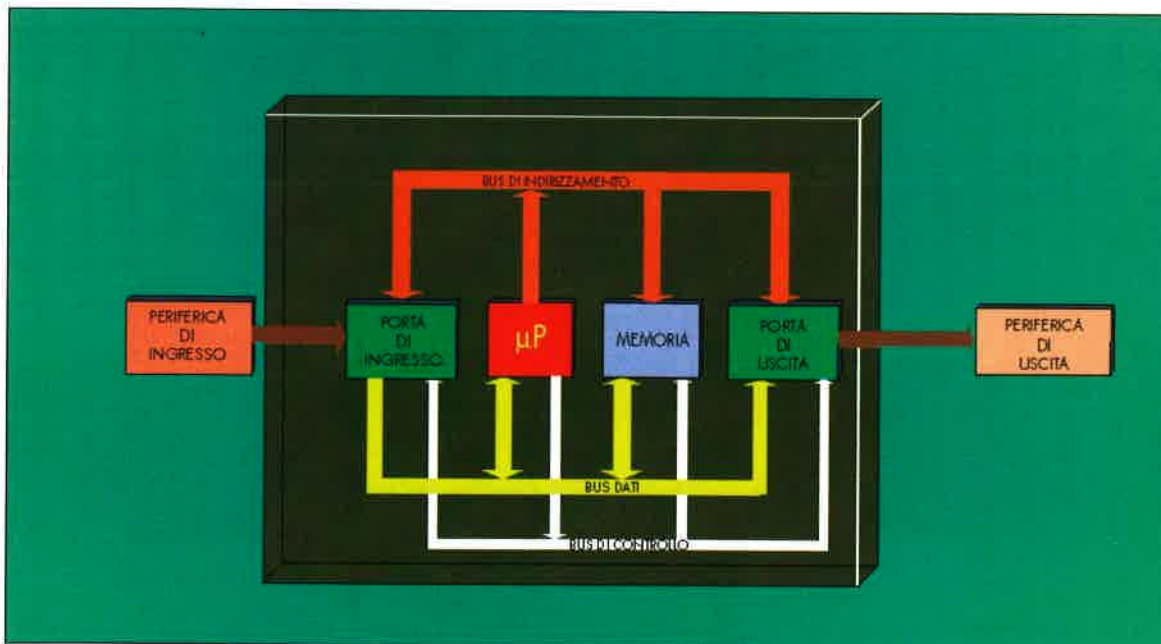
- unità di controllo, che integra un decodificatore di istruzioni,
- unità aritmetico-logica o ALU (Arithmetic Logic Unit),
- registri a scorrimento,
- contatori.

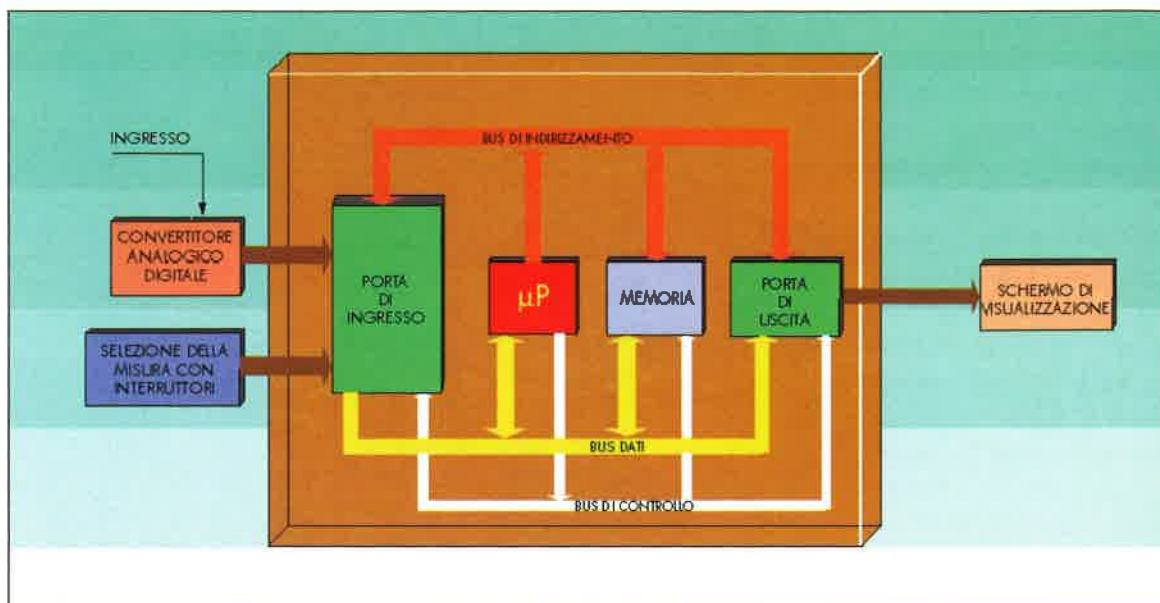
I collegamenti del microprocessore con il sistema vengono realizzati tramite diversi bus o insiemi di linee:



Collegamento interno dell'unità aritmetico-logica

Collegamento di un microprocessore con le altre parti di un sistema digitale





Utilizzo di un sistema a microprocessore per la realizzazione di un voltmetro digitale

- bus indirizzi,
- bus di controllo,
- bus dati.

Quest'ultimo rappresenta il bus attraverso il quale avviene sia la trasmissione dei dati che quella delle istruzioni.

Il contatore di programma fornisce in ogni istante l'indirizzo di memoria nel quale si trova l'istruzione che deve essere eseguita. Questo indirizzo viene inviato, attraverso il bus indirizzi, dal microprocessore alla memoria. Selezionata la posizione di memoria corrispondente, viene prelevato il suo contenuto e viene trasportato dal bus dati verso il decodificatore; quest'ultimo interpreta il codice ricevuto e ordina l'esecuzione di una serie di operazioni, che corrispondono alla generazione di un insieme di segnali da parte dell'unità di controllo, dirette attraverso le linee del bus di controllo verso gli elementi che devono essere attivati.

Pertanto, l'unità di controllo genera una sequenza di piccoli ordini costituiti da una serie di impulsi sincronizzati, che vengono portati a destinazione dal bus di controllo per realizzare in questo modo l'istruzione decodificata.

Generalmente nei microprocessori le operazioni logiche e aritmetiche eseguite dalla ALU richiedono due operandi. Uno di questi proviene dal

registro accumulatore, mentre l'altro viene prelevato dal bus interno di ingresso e uscita dati della ALU. Il risultato dell'operazione viene caricato nel registro accumulatore e viene inviato verso l'esterno attraverso il suddetto bus interno.

Durante l'esecuzione di particolari istruzioni può capitare che vengano generati dei risultati intermedi che devono essere memorizzati in modo temporaneo. Per questa funzione viene utilizzata una memoria di lettura e scrittura, di tipo RAM, diversa dalla memoria nella quale si trovano le istruzioni che, essendo inalterabile, è di tipo ROM.

Quando è necessario prelevare informazioni dall'esterno, oppure inviare ciò che è stato elaborato fuori dal sistema, si sfruttano il bus dati e i dispositivi di ingresso e uscita.

Tutto il trattamento dell'informazione viene sincronizzato con dei segnali di clock a frequenza elevata. Ovviamente il sistema richiede anche una alimentazione necessaria per il suo funzionamento. Tra i diversi segnali ausiliari si devono segnalare per la loro importanza quelli di interrupt, che permettono agli elementi periferici di intervenire durante il processo di elaborazione delle istruzioni codificate nel programma per fermare il microprocessore quando degli eventi imprevisti o un funzionamento anormale richiedono l'interruzione del ciclo in corso.



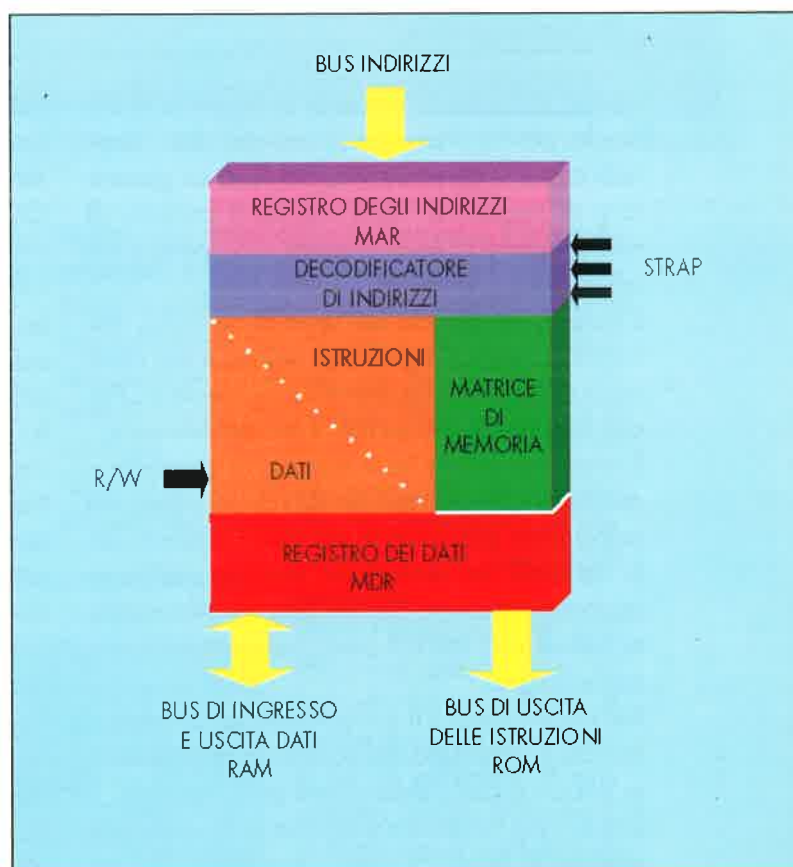
# IL MICROPROCESSORE NEL PC

L'obiettivo principale del CORSO DI ELETTRONICA DIGITALE era quello di esaminare, componente per componente, tutti i circuiti che servono per la costruzione di un personal computer. Dopo aver ampiamente descritto il loro funzionamento, viene di seguito analizzato il loro comportamento nel momento in cui vengono combinati per formare un PC.

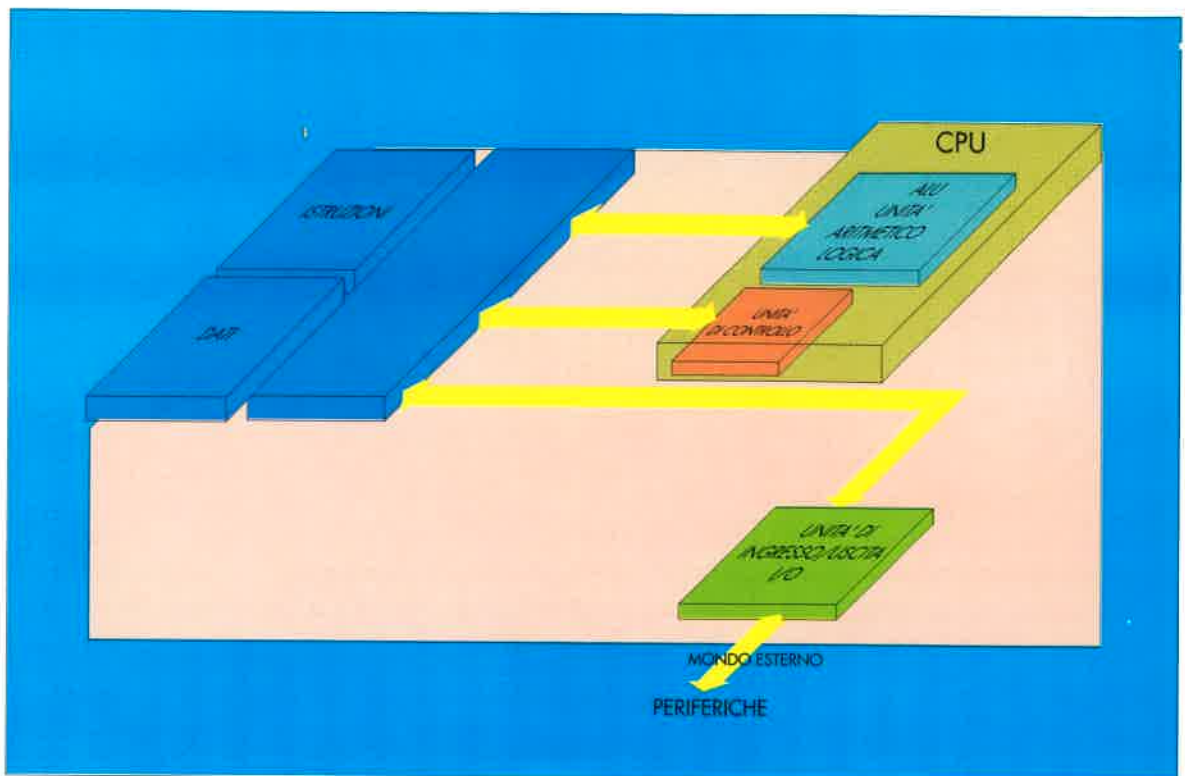
**U**n calcolatore, come tutti sanno, è un sistema in grado di processare e manipolare i dati e le informazioni che gli vengono forniti o che ha memorizzato. L'elaboratore riceve le informazioni dalla sua memoria o dalle periferiche che lo collegano al mondo esterno, e le elabora secondo una sequenza di istruzioni che viene programmata in precedenza e immagazzinata al suo interno. Nella fase di elaborazione dei dati il PC è in grado di eseguire operazioni aritmetico-logiche, trasferimenti di informazioni, ecc., per fornire all'esterno dei risultati nel formato binario con il quale lavora la macchina; successivamente utilizza i suoi circuiti di ingresso/uscita e quelli delle periferiche per tradurre queste informazioni e offrirle in modo che la loro comprensione risulti immediata all'utilizzatore.

Un calcolatore è composto principalmente da quattro blocchi principali:

- unità di controllo,
- unità aritmetico-logica,
- unità di memoria,
- unità di ingresso-uscita.



Struttura di un blocco di memoria, che può essere diviso in due zone principali: memoria centrale e periferica



Collegamenti tra i quattro blocchi fondamentali di un computer: unità di memoria, unità di controllo, unità aritmetico-logica e unità di ingresso/uscita

Inoltre, è dotato di una serie di registri a scorrimento per la memorizzazione dei dati, degli indirizzi e di altre informazioni, e di un generatore di impulsi di clock che ha il compito di sincronizzare i diversi elementi che operano nel computer.

L'insieme dei blocchi dell'unità di controllo, dell'unità aritmetico-logica, dei registri e del clock viene chiamata *unità centrale di processo* o *CPU*, che rappresenta in pratica il microprocessore.

Il microprocessore ha il compito di generare e controllare il movimento dei dati che circolano nel computer, seguendo le istruzioni contenute nella memoria che servono per indicare quali operazioni o trattamenti devono subire le informazioni provenienti dall'esterno o prelevate dalla memoria interna.

Per capire meglio il comportamento di ciascun blocco, è opportuno analizzarli tutti singolarmente iniziando dalla descrizione della memoria.

La memoria può essere suddivisa in due zone (per rendere più semplice la descrizione): una dedicata alle istruzioni e un'altra riservata per la memorizzazione dei dati. Il programma, o sequenza di istruzioni, che deve essere eseguito dal

computer per elaborare i dati è contenuto nella zona di memoria conosciuta con il nome di *memoria delle istruzioni*.

Queste due zone possono essere definite come:

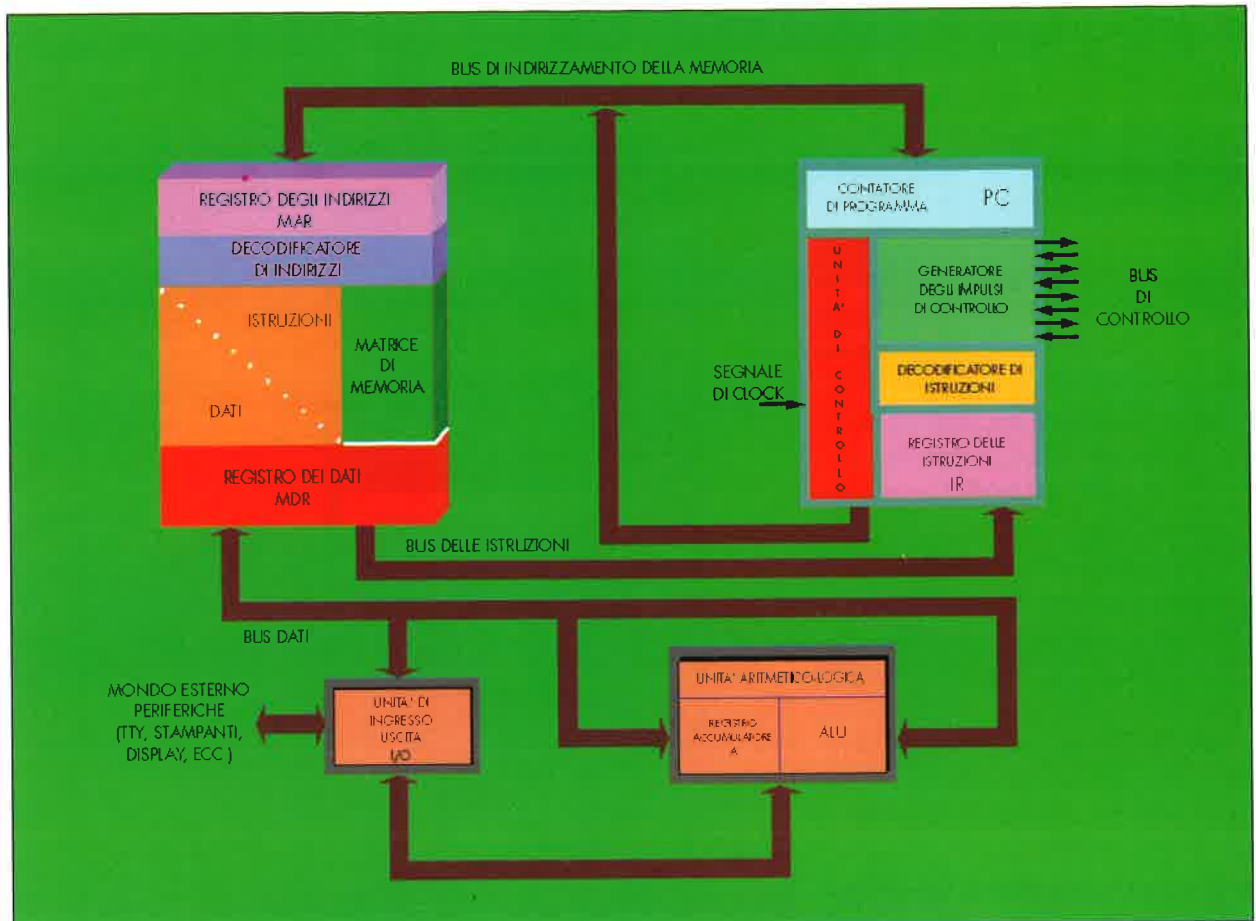
- *memoria centrale,*
- *memoria periferica.*

La memoria centrale, unitamente al microprocessore, è quella che interviene nell'elaborazione di tutte le informazioni e nella quale vengono caricati i programmi operativi e di aggiornamento del computer.

Nella memoria periferica, di capacità variabile in ogni elaboratore, vengono invece immagazzinati tutti i dati e i programmi applicativi. Si possono considerare appartenenti a questo gruppo anche i diversi tipi di dischi per la memorizzazione dei dati presenti in un computer.

Per capire quale sia il meccanismo che mette in relazione la memoria con il microprocessore bisogna esaminare la sequenza di lavoro del sistema. L'informazione che la memoria riceve attraverso il bus indirizzi è formata da un determinato numero di bit, tanti quante sono le linee che compongono il bus stesso, per mezzo dei quali viene definita la locazione di memoria alla quale





Schema a blocchi di un calcolatore, nel quale il collegamento tra i diversi blocchi fondamentali viene realizzato attraverso il bus indirizzi, il bus dati e il bus delle istruzioni e di controllo

una locazione di memoria, il suo indirizzo viene generato direttamente dall'unità di controllo. La decodifica di una istruzione può comportare un sostanziale cambiamento del valore impostato nel contatore di programma, che normalmente si limita ad incrementarsi di una unità per ogni istruzione.

L'unità aritmetico-logica è quella incaricata dell'elaborazione logica e aritmetica dei dati in funzione delle indicazioni contenute in ciascuna istruzione. Questa unità è composta da due blocchi principali:

- il registro accumulatore,
- l'unità aritmetico-logica.

La capacità e la potenza dell'unità operativa per il trattamento dei dati dipende esclusivamente dalle caratteristiche del circuito ALU di cui è dotata. Uno dei dati che devono essere manipolati

dalla ALU viene sempre memorizzato nel registro accumulatore. Generalmente l'altro dato arriva alla ALU attraverso il bus dati, provenendo dalla memoria o dai moduli di ingresso/uscita. Il risultato che si ottiene dall'operazione eseguita dalla ALU viene nuovamente caricato nel registro accumulatore in sostituzione del primo dato.

L'ultimo blocco che deve essere esaminato è costituito dall'unità di ingresso e uscita. La sua funzione è quella di ricevere dall'esterno i dati che devono essere elaborati, e di fornire alla periferia nel formato più opportuno i risultati ottenuti dalla loro elaborazione.

Se il calcolatore è collegato a una periferica, quale può essere ad esempio una stampante, l'unità di ingresso e uscita ha il compito di adattare la comunicazione tra i due elementi (calcolatore e stampante).

# CONFIGURAZIONE DI UN SISTEMA A MICROPROCESSORE

**Con i concetti esposti in precedenza è possibile definire la configurazione fondamentale di un sistema a microprocessore e le relazioni interne ed esterne che esistono tra i diversi componenti, considerando che gli ingressi e le uscite vengono gestite tramite posizioni di memoria indirizzabili nelle quali è possibile leggere o scrivere.**

**d**opo aver esaminato i diversi elementi che compongono un sistema gestito da microprocessore, come ad esempio un PC, viene analizzato il diagramma a blocchi di una CPU che elabora dati o istruzioni in parallelo.

L'elemento che lega i diversi blocchi che compongono il sistema è rappresentato dall'utilizzo in comune dei bus indirizzi, dati e di controllo.

Per semplificare la trattazione, nel blocco CPU vengono compresi tutti gli elementi che fanno parte dell'unità di controllo e dell'unità operativa. Inoltre, sono presenti anche alcuni registri ausiliari che i costruttori di microprocessori aggiungono per facilitare l'elaborazione delle informazioni in quelle applicazioni che lo richiedono.

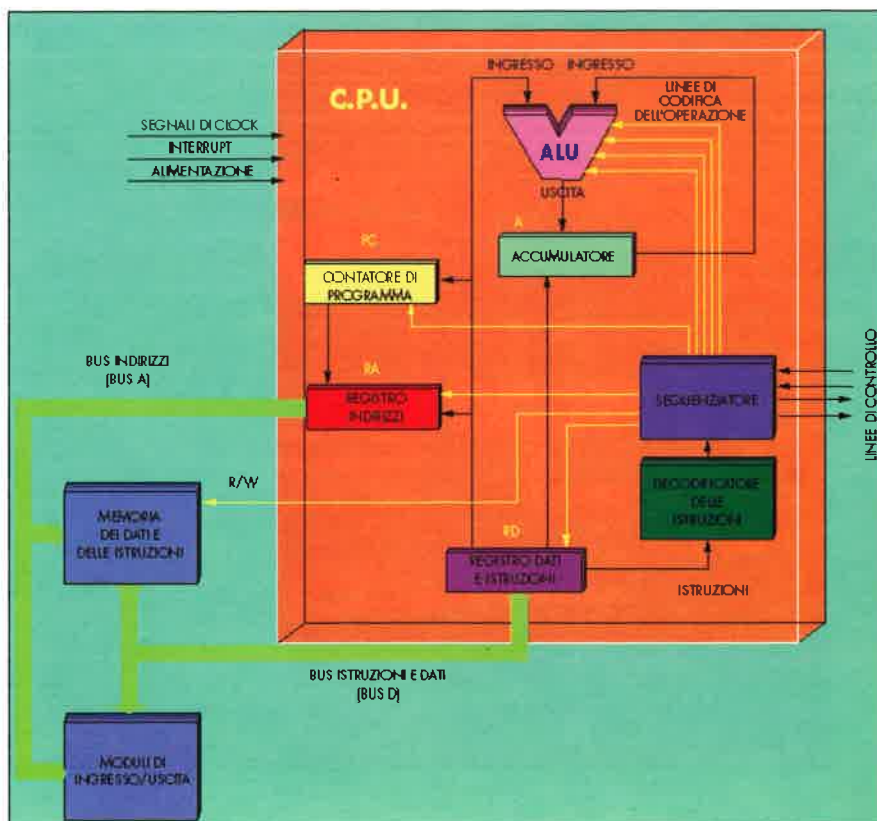
Tra i vari registri ausiliari si possono segnalare:

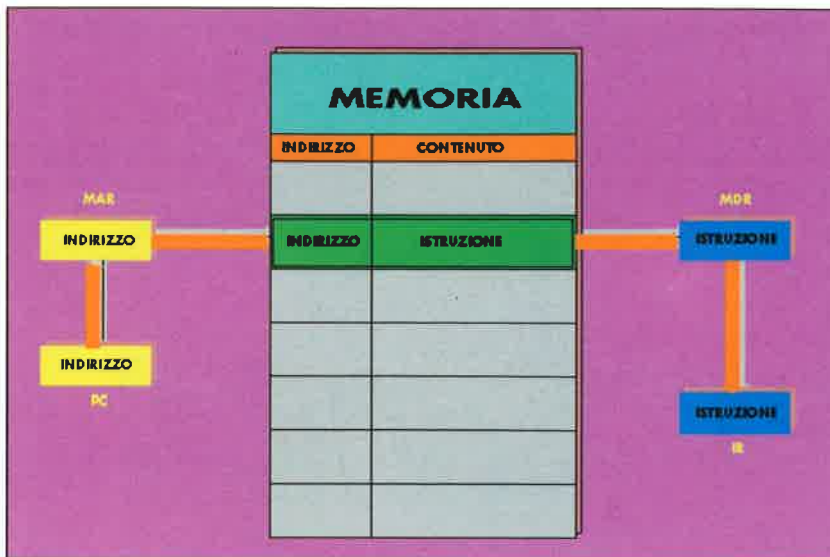
- il registro indice
- il registro di lavoro
- il registro del puntatore di stack
- il registro di stato.

Il primo di questi registri viene utilizzato per localizzare determinate posi-

zioni di memoria. Nel registro di lavoro vengono immagazzinati i dati che vengono maggiormente utilizzati dal programma, per facilitarne e velocizzarne la ricerca.

*Struttura di un sistema controllato da microprocessore*





Trasferimento del contenuto dei diversi elementi che vengono coinvolti nella fase di ricerca

Il registro del puntatore di stack serve per poter depositare temporaneamente dei dati o delle informazioni relative allo stato del sistema in una certa zona di memoria, in modo da poter recuperare le stesse condizioni di lavoro in un momento successivo. Questo registro viene ad esempio utilizzato prima di un salto ad una subroutine, per memorizzare la situazione dei diversi elementi della CPU in quel momento; al termine della subroutine il microprocessore è così in grado di ristabilire le stesse condizioni iniziali per continuare l'esecuzione del programma principale.

Nel registro di stato ogni bit indica lo stato o condizione dell'operazione che il microprocessore sta eseguendo.

## ESECUZIONE

### DI UNA ISTRUZIONE

Di seguito viene esaminato il comportamento degli elementi di un sistema controllato da un microprocessore, nel momento in cui viene eseguita una determinata istruzione, come ad esempio una operazione aritmetico-logica.

L'elaborazione di qualsiasi tipo di istruzione può essere suddivisa in due fasi:

- fase di ricerca
- fase di esecuzione.

La prima fase di ricerca, comune a tutte le istruzioni, ha inizio nel contatore di programma (PC), che contiene l'indirizzo di memoria nel quale si trova il codice binario dell'istruzione. Questo indirizzo viene trasferito al registro degli indirizzi, e da qui alla memoria attraverso il bus indirizzi. Per capire il percorso seguito dall'informazione durante il suo trasferimento è consigliabile tenere sempre sottocchio lo schema a blocchi del sistema. Dopo che la posizione della cella di memoria indirizzata è stata decodificata, il suo contenuto viene inviato attraverso il bus dati al registro delle istruzioni (IR) e dei dati interno alla

Schema applicativo della fase di ricerca di una istruzione



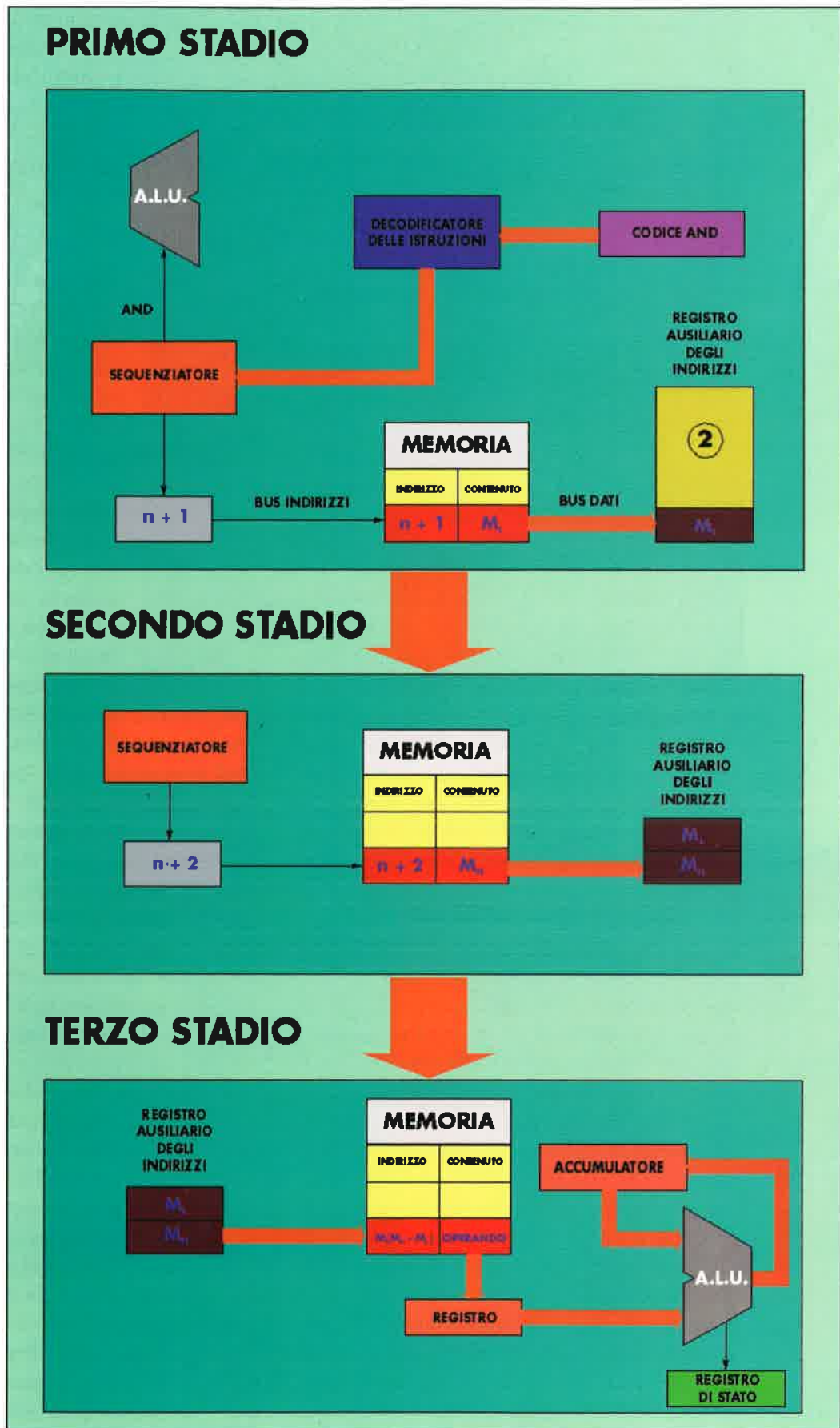
CPU. A questo punto la fase di ricerca è terminata, ed inizia quella di esecuzione.

Come già detto, la fase di ricerca è comune a tutte le istruzioni, mentre quella di esecuzione dipende dalle condizioni definite dall'istruzione che deve essere eseguita.

Per riordinare le idee, si supponga di eseguire una operazione logica AND tra il contenuto del registro accumulatore e quello di una cella di memoria dei dati (D) il cui indirizzo a 16 bit è definito rispettivamente dai byte indicati con Dh e Dl.

L'istruzione che realizza questa operazione è formata da tre byte: il primo corrisponde al codice binario dell'istruzione stessa, l'operazione AND, il secondo è il byte meno significativo dell'indirizzo al quale si trova il secondo operando con cui bisogna eseguire l'operazione, quello che si è indicato con Dl, mentre il terzo è il byte più significativo dell'indirizzo al quale si trova il secondo operando, indicato con Dh.

La fase di ricerca del-



I diversi passaggi svolti per eseguire una istruzione



Mappa della memoria nella fase di esecuzione di una istruzione

l'istruzione da eseguire inizia nel momento in cui il contatore di programma (PC) contiene l'indirizzo nel quale si trova il codice dell'istruzione AND. Questo indirizzo viene decodificato nella sezione di memoria, e il suo contenuto viene inviato attraverso il bus dati e istruzioni.

La fase si conclude quando il codice dell'operazione contenuto in quella cella viene posto nel registro dei dati e delle istruzioni della CPU.

La fase di esecuzione inizia con il trasferimento del codice dell'istruzione al decodificatore delle istruzioni; questo, tramite la generazione di segnali da parte del sequenziatore, seleziona le microistruzioni che compongono l'istruzione principale.

Questi segnali indicano alla ALU di eseguire una operazione logica AND tra i contenuti del registro accumulatore e della cella di memoria i cui indirizzi sono specificati dai due byte successivi presenti nella memoria di programma.

Avvisata la ALU, con la microistruzione successiva caricata nel contatore di programma vengono localizzati gli otto bit meno significativi D1 dell'in-

dirizzo D. Questi otto bit vengono temporaneamente caricati nella parte bassa del registro ausiliario degli indirizzi. Successivamente il contatore di programma invia attraverso il bus indirizzi il suo nuovo contenuto, la cui decodifica consente di ricavare gli otto bit più significativi Dh dell'indirizzo D. Nel momento in cui questi ultimi vengono caricati nella parte alta del registro ausiliario degli indirizzi, si ha l'indirizzo completo D.

In seguito il registro ausiliario trasferisce il suo contenuto D1 e Dh sul bus indirizzi per individuare il secondo operando nella zona della memoria dei dati. Questo operando viene inviato attraverso il bus dati al microprocessore; qui viene trasferito, attraverso il bus dati interno, dal registro delle istruzioni e dei dati al registro che alimenta, unitamente all'accumulatore, l'unità aritmetico-logica.

Essendo disponibili i due operandi sugli ingressi della ALU, questa esegue bit per bit l'operazione AND degli stessi, depositando successivamente il risultato nel registro accumulatore. Nell'istruzione appena descritta è stato utilizzato un dato che, come capita di frequente, era contenuto in una cella della memoria dei dati. Per eseguire l'istruzione si sono dovuti fornire, oltre al codice dell'operazione indicato dal primo byte della stessa, altri due byte per definire l'indirizzo di memoria nel quale si trovava il secondo operando.

Questo processo viene definito *ciclo dell'istruzione*, e rappresenta l'insieme delle operazioni richieste per realizzare la fase di ricerca e di esecuzione di una istruzione. Esiste però un altro elemento che deve essere tenuto in considerazione: il *ciclo macchina*, che rappresenta ciascuna delle operazioni elementari che formano il ciclo dell'istruzione. Il segnale di clock che il microprocessore riceve dall'esterno viene suddiviso internamente per generare diversi cicli macchina in momenti differenti, ad esempio per eseguire le istruzioni di cancellazione o di reset.



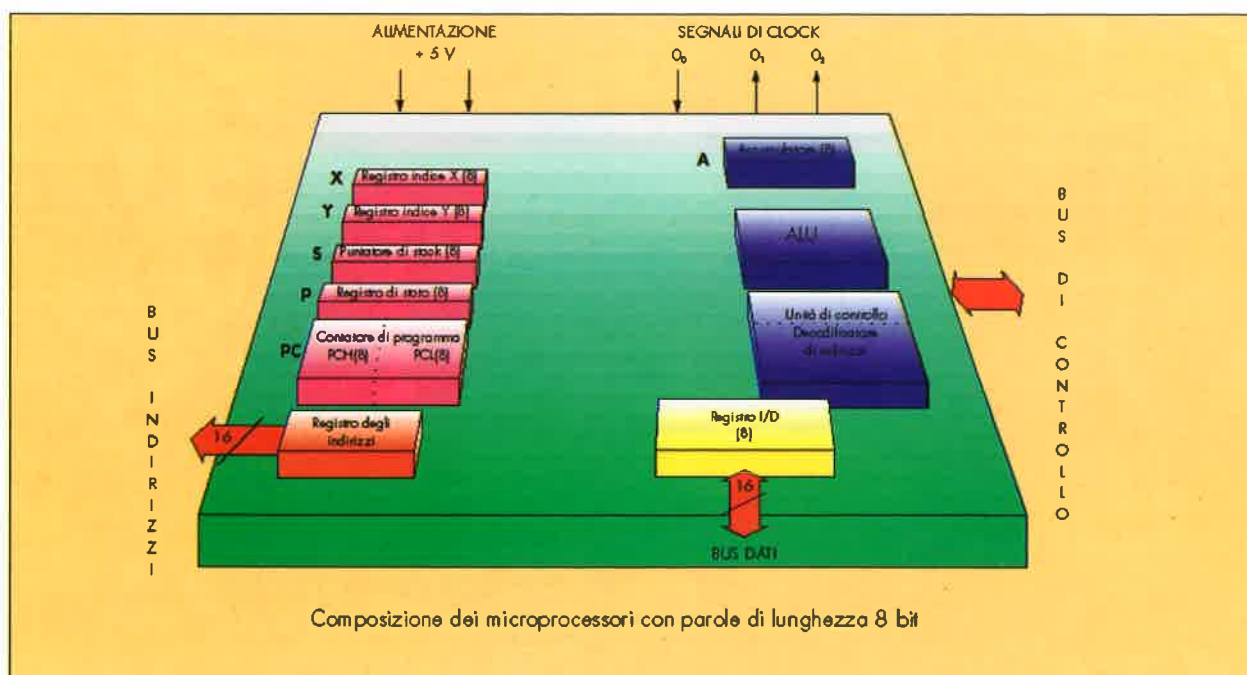
# ARCHITETTURA DI UN MICROPROCESSORE

Dopo aver descritto le diverse applicazioni dei microprocessori, e in modo particolare quelle specifiche per gli elaboratori, verranno esaminate nei prossimi capitoli le strutture interne, i collegamenti e i circuiti ausiliari di alcune loro famiglie.

**i** microprocessori disponibili in commercio si possono suddividere in diverse famiglie, che a loro volta possono essere classificate secondo un parametro di riferimento costituito dalla lunghezza della parola che sono in grado di elaborare. Fondamentalmente le famiglie sono tre: quella dei microprocessori a 8 bit, a 16 bit e a 32 bit. Si inizia questo viaggio nelle famiglie dei microprocessori partendo da quella a 8 bit, in quanto

è la più elementare e semplice da comprendere. Le altre famiglie verranno analizzate nei capitoli successivi.

Anche se ogni fabbricante costruisce i propri microprocessori con una determinata architettura, la struttura fondamentale di tutti quelli presenti in commercio è simile al punto che, conoscendone uno per ciascuna famiglia, è possibile utilizzare gli altri della stessa famiglia con estrema semplicità.



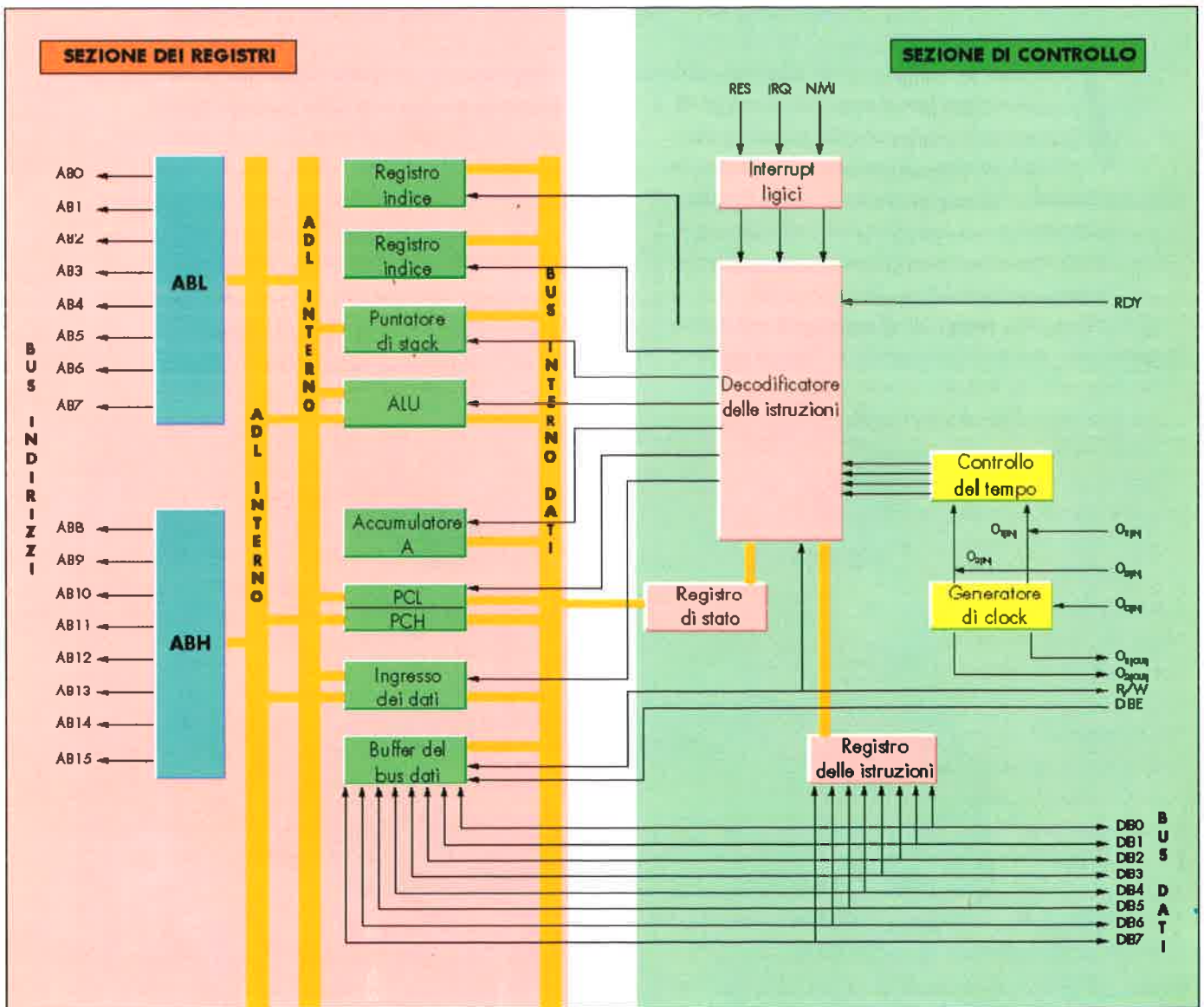
**INTRODUZIONE****AI MICROPROCESSORI A 8 BIT**

In ciascuna famiglia esistono parecchi circuiti differenti, utilizzati soprattutto negli elaboratori, che vengono costruiti generalmente in tecnologia NMOS. Ad esempio, tra i microprocessori a 8 bit se ne possono trovare alcuni controllati con segnali di clock esterni e con una capacità di memoria che può arrivare a 64 Kbyte. In funzione delle diverse versioni ogni contenitore è dotato di un numero diverso di terminali di collegamento; di questi si parlerà successivamente. Le caratteristiche fondamentali di questi microprocessori possono essere riassunte in dieci punti:

1. alimentazione + 5 volt,
2. capacità di memoria fino a 64 Kbyte,
3. aritmetica binaria e decimale,
4. diversi tipi di interrupt,
5. fino a 56 istruzioni diverse,
6. 13 modalità di indirizzamento,
7. segnale di clock interno ed esterno,
8. contenitori da 40 e 28 terminali,
9. frequenze di lavoro di 1 o 2 MHz,
10. elaborazione di parole da 8 bit.

Per quanto riguarda la velocità di elaborazione del microprocessore, si deve tener presente che a frequenze più alte corrisponde un maggiore riscaldamento, e questo a volte può tradursi in guasti o errori nel sistema che si sta progettando.

Schema interno di un microprocessore, nel quale si possono osservare i diversi collegamenti tra i diversi elementi





Struttura dei bit di un registro di stato

Nei microprocessori con frequenza 1 MHz la durata di quello che viene definito ciclo macchina è di 1 microsecondo; poiché l'istruzione più rapida richiede almeno due cicli macchina, il suo tempo di esecuzione è di 2 microsecondi. Per una velocità di 2 MHz il ciclo macchina è di 500 nanosecondi, e di conseguenza l'esecuzione della stessa istruzione richiede 1 microsecondo. Allo stesso modo, l'istruzione più lunga richiede 7 cicli macchina, per cui nel primo caso la sua esecuzione avrà una durata di 7 microsecondi, mentre nel secondo di 3,5 microsecondi. Con i tempi di risposta indicati, i microprocessori di questa famiglia possono operare con delle velocità accettabili, che vengono ulteriormente ottimizzate grazie ad una struttura chiamata "pipe-line" che consente di eseguire diverse operazioni contemporaneamente. Questo tipo di architettura è caratterizzata dal fatto che è possibile iniziare nuove operazioni senza tenere conto dell'eventuale presenza di altri compiti precedenti e senza il bisogno di concluderli; vale a dire che consente di sovrapporre delle istruzioni senza dover attendere che qualcuna di queste debba essere eseguita.

### STRUTTURA DEI MICRO A 8 BIT

L'architettura interna di questo tipo di microprocessori è molto simile a quella generale descritta nei capitoli precedenti.

Il microprocessore è costituito da:

- contatore di programma,
- registro degli indirizzi,
- registro delle istruzioni,
- registro dei dati,
- unità di controllo,
- decodificatore delle istruzioni,
- unità aritmetico-logica,
- accumulatore,
- registri ausiliari,
- bus di indirizzamento,
- bus di controllo.

Per quanto concerne il bus di indirizzamento, è necessario segnalare che esiste un solo bus comu-

ne per la memoria che contiene i dati e per quella che contiene le istruzioni. Anche se il lettore è già a conoscenza delle funzioni che vengono eseguite dagli elementi di un microprocessore, è comunque opportuno analizzare gli aspetti che differenziano questa famiglia dalle altre.

Il decodificatore delle istruzioni è in grado di ricevere ed interpretare parole di 8 bit di lunghezza, per cui può accettare fino a 256 istruzioni diverse. Poiché ognuna di queste può sfruttare codici differenti, nel caso in esame ne sono necessarie solamente 56 per un totale di 160 codici di istruzione.

Il bus di indirizzamento della memoria consente la selezione di tutte le celle di memoria, e il numero delle linee che lo compongono determina la capacità della stessa. Di conseguenza, nel caso di un bus a 16 linee, si possono controllare 64 Kbyte di celle da 8 bit ciascuna, per cui è possibile indirizzare fino a 65.536 indirizzi.

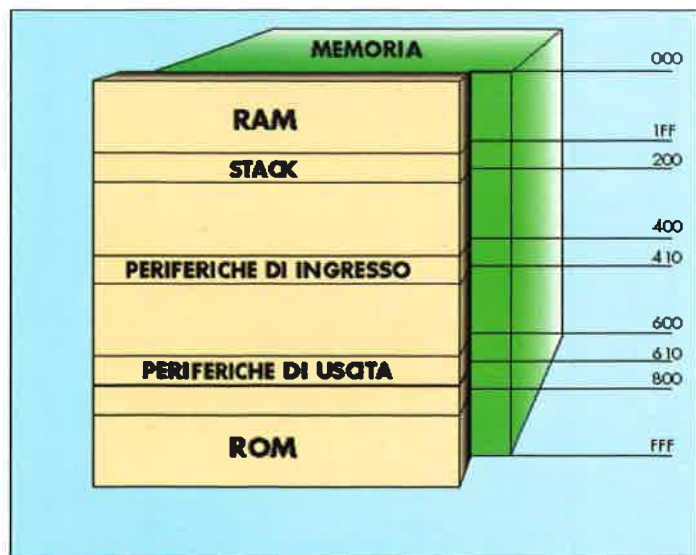
Il bus di controllo trasporta i segnali di sincronizzazione e di controllo ai circuiti ausiliari che appartengono al sistema.

I registri ausiliari possono essere di tre diversi tipi:

- registri indice,
- registro di stato,
- stack pointer.

I registri indice si suddividono a loro volta in registri indice X e registri indice Y. Entrambi servono per realizzare una modalità di indirizzamento definita "indicizzata", con la quale l'individuazione dell'operando di una istruzio-

Paginazione della memoria di un microprocessore

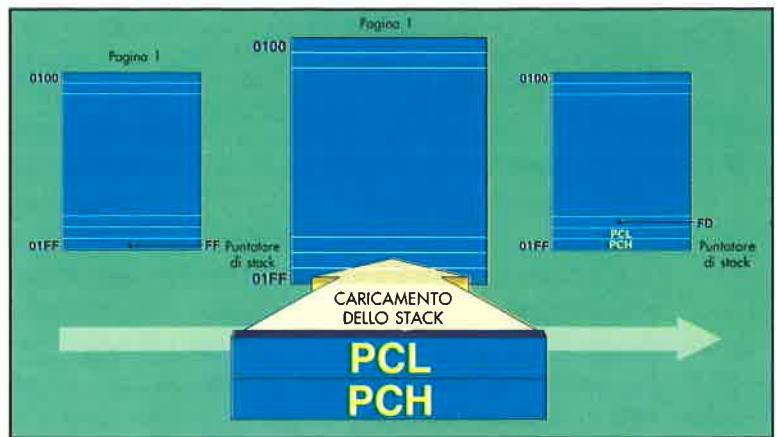


ne viene ricercato nella memoria aggiungendo il contenuto di questi registri all'indirizzo specificato nell'istruzione.

Il registro di stato, o registro P, è un registro a 8 bit, definiti anche *flag*, sette dei quali sono determinanti e servono per memorizzare la condizione del sistema durante l'esecuzione di una determinata istruzione.

Di seguito questi bit, la cui struttura è rappresentata nella figura corrispondente, vengono esaminati singolarmente, tenendo presente che ciascuno di loro può assumere due significati diversi in funzione dello stato logico nel quale si trova in un determinato istante.

**Flag di segno (N):** questo flag indica il segno del risultato dell'operazione eseguita, 1 se è negativo e 0 se è positivo.



Il puntatore di stack indirizza la pagina 1 della memoria come se questa avesse una struttura a pila LIFO

**Flag di overflow (V):** determina se esiste o meno il riporto sul settimo bit quando si esegue una operazione con due parole da 8 bit.

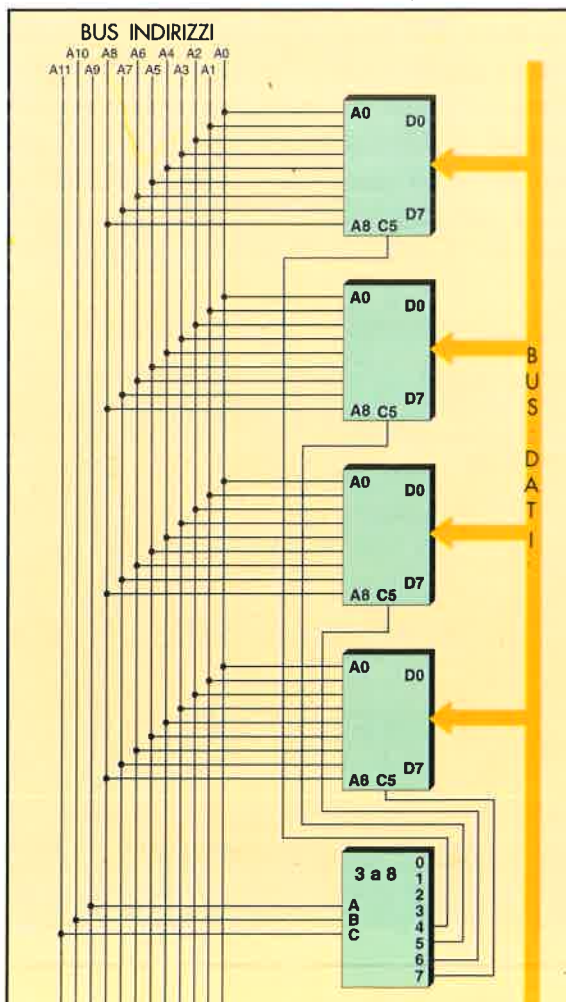
**Flag di riporto (C):** se non si utilizza il bit di segno, C passa a 1 quando vi è un riporto nell'ottavo bit, vale a dire quando il risultato dell'operazione supera il valore esadecimale FF.

**Flag zero (Z):** commuta a zero quando il risultato dell'operazione precedente è zero.

**Flag per il trattamento aritmetico (D):** quando è a livello logico 1 l'unità aritmetico-logica esegue operazioni in decimale o BCD, mentre se è a livello logico zero esegue operazioni in binario o esadecimale.

**Flag degli interrupt (I):** i microprocessori di questa famiglia hanno due tipi di interrupt, conosciuti con i nomi di *mascherabile* e *non mascherabile*. Quando il flag è a 1 non vengono accettate le istruzioni mascherabili, poiché queste vengono riconosciute solamente quando I è a 0.

**Flag break (B):** questo flag assume valore 1 quando l'interrupt mascherabile ammesso dal microprocessore è stato generato dal software con l'istruzione BRK. Se l'interrupt è stato generato dall'hardware il flag commuta a 0. L'ultimo registro viene chiamato "puntatore di stack" o *Stack Pointer*. Per capire il suo compito si deve considerare la memoria gestita come se fosse paginata; ogni posizione viene suddivisa in gruppi di 256 posizioni, ciascuno dei quali forma quelle comunemente conosciute con il nome di pagine. Poiché le pagine 0 e 1 di una memoria hanno un carattere molto particolare, nel caso della pagina 1 l'indirizzamento avviene attraverso il puntatore di stack. Questo è costituito da un contatore a 8 bit che indirizza la pagina 1 della memoria come se si trattasse di una struttura a pila tipo LIFO.



# COLLEGAMENTI DEL MICROPROCESSORE

**Finora è stata esaminata la struttura interna di un microprocessore, per comprendere il suo comportamento all'interno di un sistema digitale; ciò però non indica il modo con il quale questo componente deve essere collegato ad un circuito elettronico.**

**p**er comprendere quali sono i collegamenti che utilizza un microprocessore, viene analizzato uno dei modelli più semplici: un microprocessore a 40 terminali con capacità di indirizzamento di 64 Kbyte. I terminali di questo microprocessore possono essere suddivisi in diversi gruppi, e più precisamente:

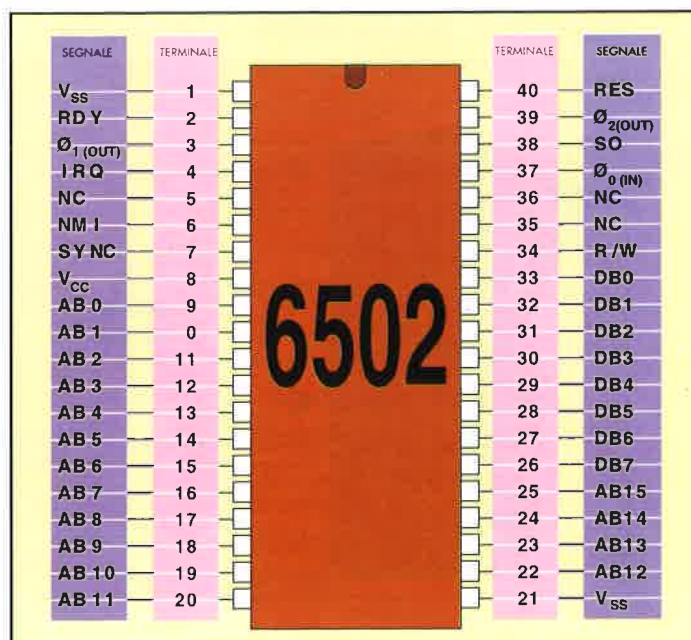
- segnali di clock
- bus indirizzi
- bus dati
- segnale RDY
- interrupt mascherabile
- interrupt non mascherabile
- segnale di lettura/scrittura
- "flag" di overflow
- segnale di reset
- segnale di sincronismo
- abilitazione dei dati.

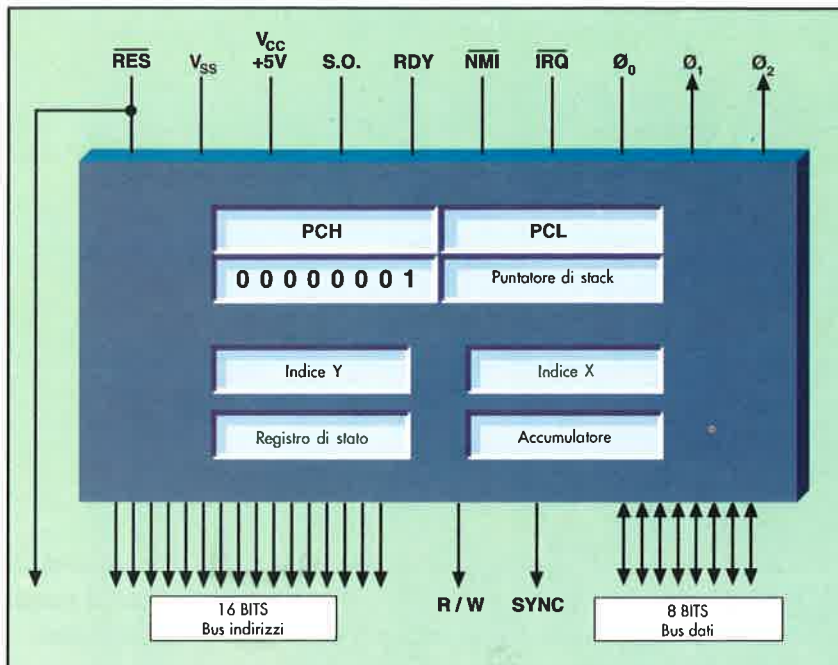
Il compito dei diversi elementi di ingresso e uscita di questo microprocessore, che permettono il suo collegamento agli altri componenti del dispositivo digitale, verrà esaminato di seguito.

## I SEGNALI DI CLOCK

Il microprocessore è dotato di un generatore interno di segnali di clock, la cui frequenza viene controllata tramite un quarzo esterno o tramite una

*Distribuzione dei terminali e denominazione dei diversi segnali di cui è dotato un microprocessore*





Schema dei collegamenti di un microprocessore

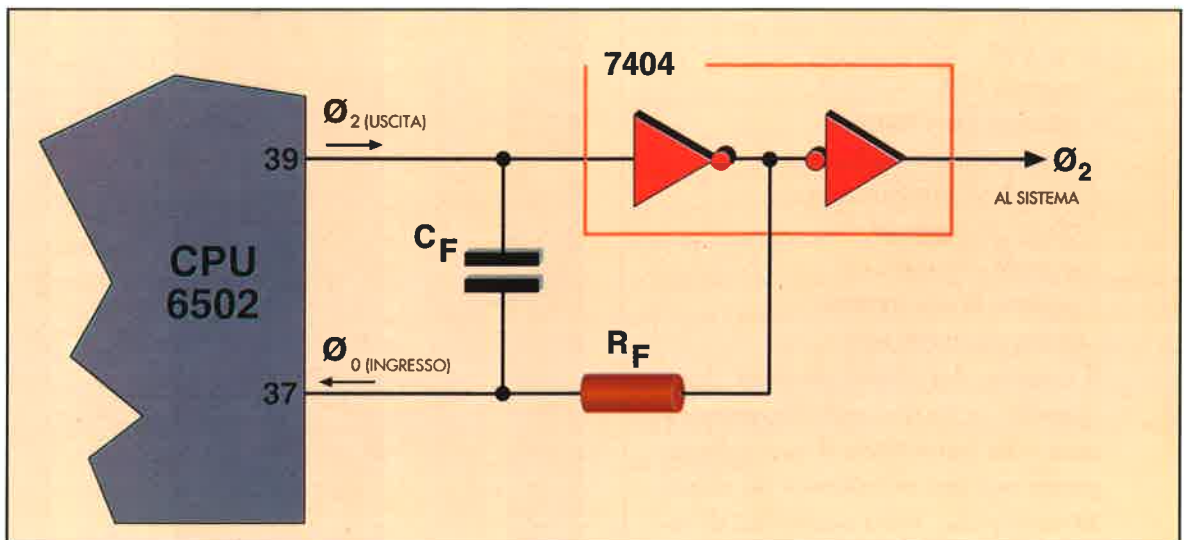
resistenza, in modo che sull'uscita di questa rete il segnale di clock venga invertito perché arrivi nelle condizioni opportune ai circuiti adiacenti. Se invece si utilizza il cristallo di quarzo, al circuito precedente bisogna aggiungere il cristallo stesso assieme a due diodi collegati in controfase, e più precisamente uno con l'anodo collegato al terminale 37 e il catodo alla tensione di alimentazione, e l'altro connesso con l'anodo a massa e il catodo al terminale 39. Nel microprocessore è presente anche un segnale inverso rispetto a quello del clock di uscita descritto in precedenza, che viene applicato al terminale 3.

rete RC (resistenza-condensatore) che invia un segnale sul terminale 37 e provoca l'emissione del corrispondente segnale di clock sul terminale 39. Questo segnale viene inviato al sistema dei circuiti integrati di ingresso e uscita relativi a questo microprocessore. Si osservi come devono essere collegati i terminali 37 e 39 in funzione del fatto che venga utilizzata una rete RC o un cristallo di quarzo. Se si utilizza il primo dei due sistemi si deve inserire una porta invertente tra il condensatore e la

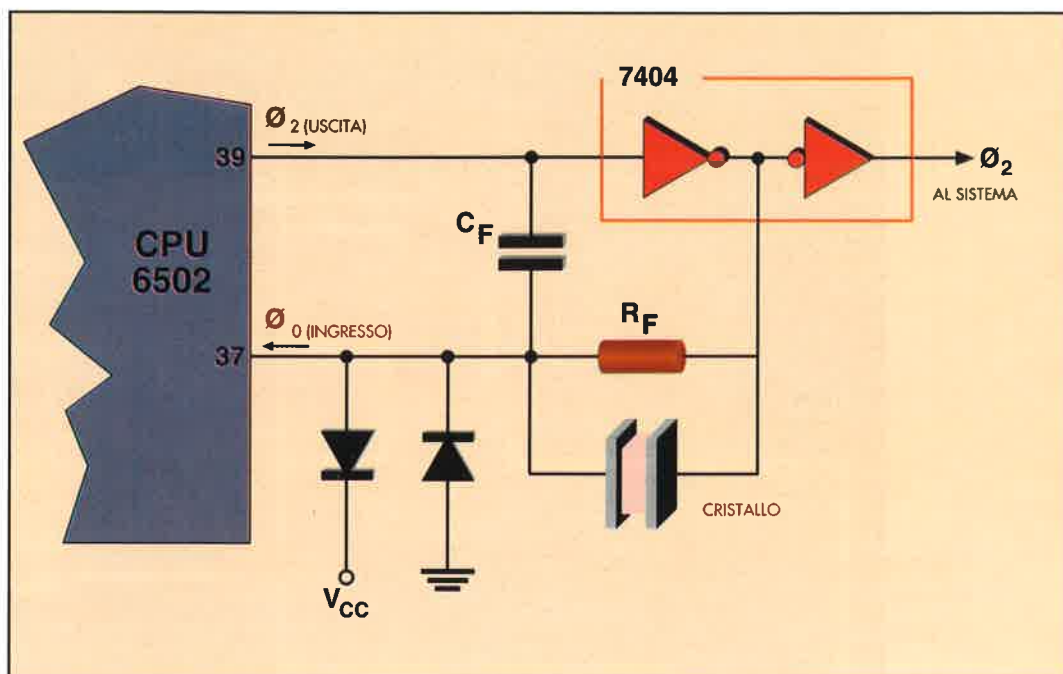
### BUS INDIRIZZI E BUS DATI

Il bus indirizzi è formato da 16 linee di uscita che indirizzano la memoria del sistema. Queste uscite sono compatibili con i livelli dei segnali TTL. Alla frequenza di 1 MHz, dopo l'impulso di clock l'indirizzo rimane attivo per 300 nanosecondi e resta stabile fino al successivo impulso. I terminali dal 9 al 20 e dal 22 al 25 sono quelli che supportano il bus indirizzi. Per indicare le linee del bus indirizzi viene utilizzata la denomi-

Collegamento dei segnali di clock tramite una rete RC



nazione ABO - AB15. Il bus dati è invece formato da 8 linee. Questo bus è bidirezionale poiché i dati e le istruzioni vengono trasferiti al microprocessore, e in verso opposto da questo alle periferiche e alla memoria. Sulle uscite del bus sono presenti dei buffer amplificatori di tipo three-state, in grado di sopportare un tipico carico TTL e una capacità di 130 picofarad. I buffer three-state rimangono sempre nella condizione di alta



La frequenza del generatore interno dei segnali di clock può essere controllata tramite un cristallo di quarzo

impedenza, ad eccezione del momento in cui trasmettono i dati. Se, come nel caso precedente, si utilizza una frequenza di 1 MHz, i dati rimangono stabili sul bus per 100 nanosecondi prima che si concluda un ciclo di clock proveniente dal terminale 39.

Sullo schema relativo alla distribuzione dei terminali si può osservare che le linee relative al bus dati sono presenti sui terminali da 26 a 33, e vengono indicate con le sigle DBO - DB7.

## I SEGNALI DI INTERRUPT

Come detto in precedenza, esistono due tipi di interrupt: quelli *mascherabili* e quelli *non mascherabili*.

I primi vengono definiti da un ingresso a livello TTL che ha il compito di richiedere l'inizio di un interrupt mascherabile. Prima di essere riconosciuto e gestito come segnale di interrupt, il microprocessore completa l'istruzione che sta eseguendo, e solo successivamente esamina il bit o "flag" di interrupt nel registro di stato, come è stato ampiamente descritto nel capitolo precedente. Se questo flag è impostato a 0 viene autorizzato l'interrupt, che per questa ragione viene definito come interrupt non mascherabile.

Il registro di stato e il contatore di programma vengono memorizzati nella posizione indicata dal puntatore di stack, mentre il microprocessore

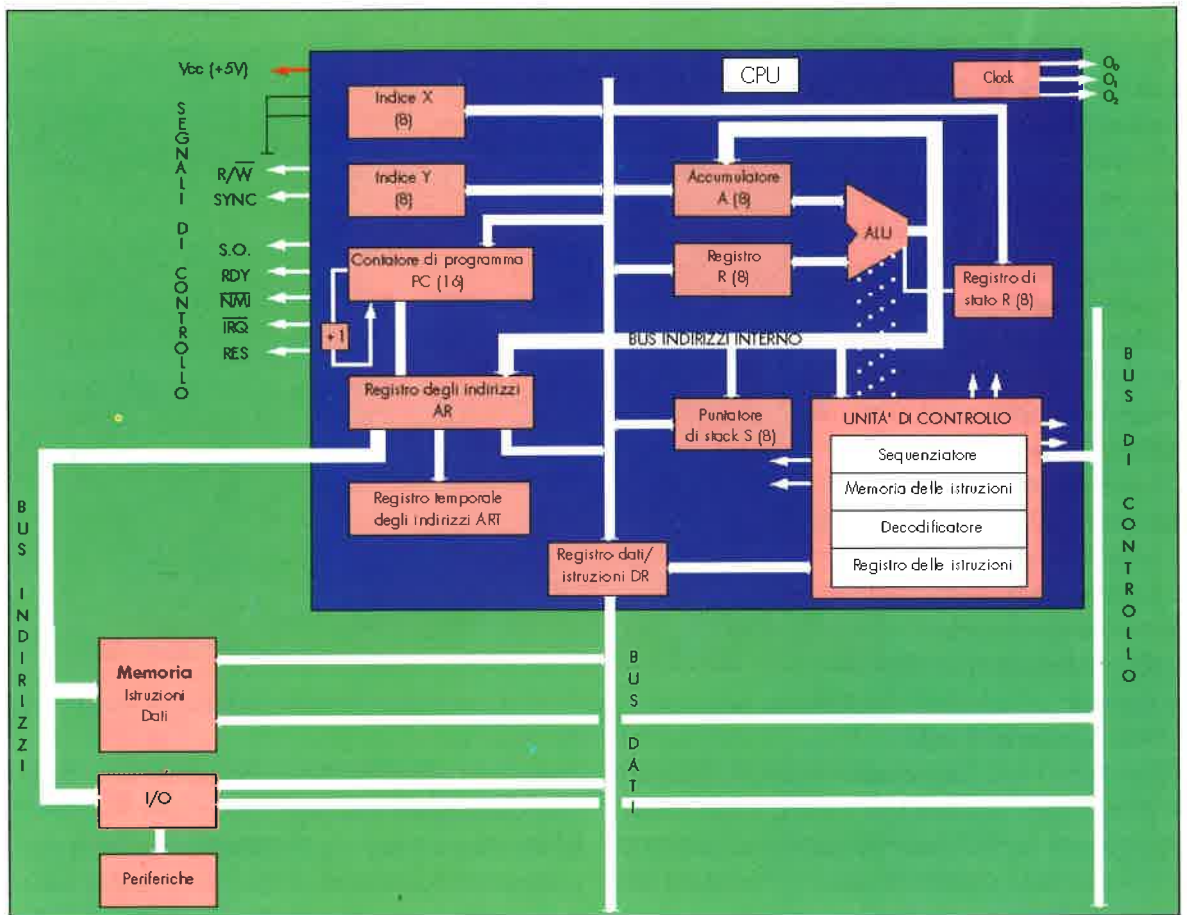
commuta il "flag I" a livello alto per evitare che si verifichino nuovi interrupt.

Infine, il byte meno significativo del contatore di programma viene caricato con il contenuto della posizione di memoria FFFE, mentre quello più significativo con il contenuto della posizione di memoria FFFF, trasferendo in questo modo il controllo del programma al vettore di memoria allocato a questi indirizzi.

Perché un qualsiasi segnale di interrupt possa essere rilevato il segnale RDY deve trovarsi a livello alto. Questo segnale, localizzato sul terminale 2, costringe il microprocessore ad adattarsi alle basse velocità delle memorie. Il segnale DMA, Accesso Diretto alla Memoria, avverte il microprocessore che un elemento periferico vuole accedere direttamente alle informazioni contenute nella memoria di sistema, per cui le funzioni del micro vengono inibite con eccezione dei cicli di scrittura, e vengono liberati i bus di indirizzamento e dei dati per permettere la loro gestione dall'esterno.

Se la linea RDY passa a livello alto durante un ciclo nel quale è stata avviata una operazione di scrittura, il microprocessore non si blocca immediatamente, ma esegue l'operazione di scrittura e si arresta a quella successiva di lettura.

Il segnale di interrupt mascherabile è presente sul terminale 4 ed è indicato con la sigla /IRQ.



Collegamenti interni di un microprocessore a 8 bit

La linea dell'interrupt non mascherabile provoca una pausa di carattere incondizionato simile a quella del segnale  $\overline{\text{IRQ}}$ , ma non dipende dallo stato del flag di interrupt. Il contenuto del contatore di programma viene caricato con il vettore indirizzo definito dalle posizioni FFFA e FFFB. Questa linea è presente sul terminale 6 ed è indicata con la sigla  $\overline{\text{NMI}}$ .

### ALTRE LINEE

La linea di lettura/scrittura, più conosciuta come *Read/Write* o  $R/\overline{W}$ , consente al microprocessore di controllare l'indirizzo di trasferimento dei dati verso gli altri dispositivi. Rimane sempre a livello alto, tranne quando si esegue una operazione di scrittura di dati in memoria o negli elementi periferici. Questa linea è presente con la sigla  $R/\overline{W}$  sul terminale 34.

La linea di reset viene utilizzata per inizializzare il microprocessore. Quando questo segnale commuta a livello basso inizia la sequenza di reset, che prevede il caricamento nel contatore di programma, con un ritardo di 6 cicli macchina, della condizione iniziale della macchina che si trova memorizzata alle locazioni di memoria FFFC e FFFD. Questo segnale è indicato con  $\overline{\text{RES}}$  ed è presente sul terminale 40. Il segnale di sincronismo è un segnale di uscita, e viene utilizzato per identificare i cicli durante i quali il microprocessore esegue la ricerca di un codice OP. È conosciuto con la sigla SYNC, ed è presente sul terminale 7. Infine, la linea di abilitazione dei dati consente di attivare il relativo bus dall'esterno. Viene utilizzata nei sistemi che richiedono un tempo maggiore per accedere al bus dati e viene indicata con la sigla DBE; in alcuni microprocessori potrebbe non essere presente.



# CIRCUITI DI I/O PER MICROPROCESSORI

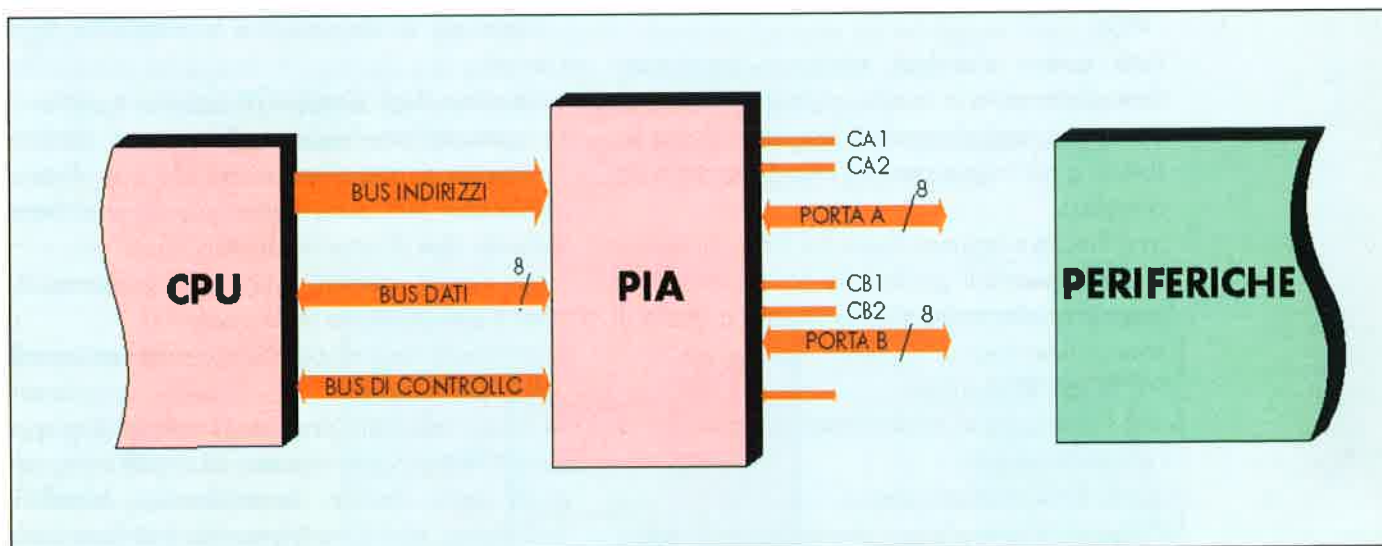
**Dopo aver analizzato le diverse opportunità che possono offrire i microprocessori e le linee di segnali di cui sono dotati per consentir loro di comunicare con il mondo esterno, verranno di seguito esaminati i circuiti di interfacciamento che permettono il collegamento e la comunicazione tra il processore stesso e i circuiti periferici.**

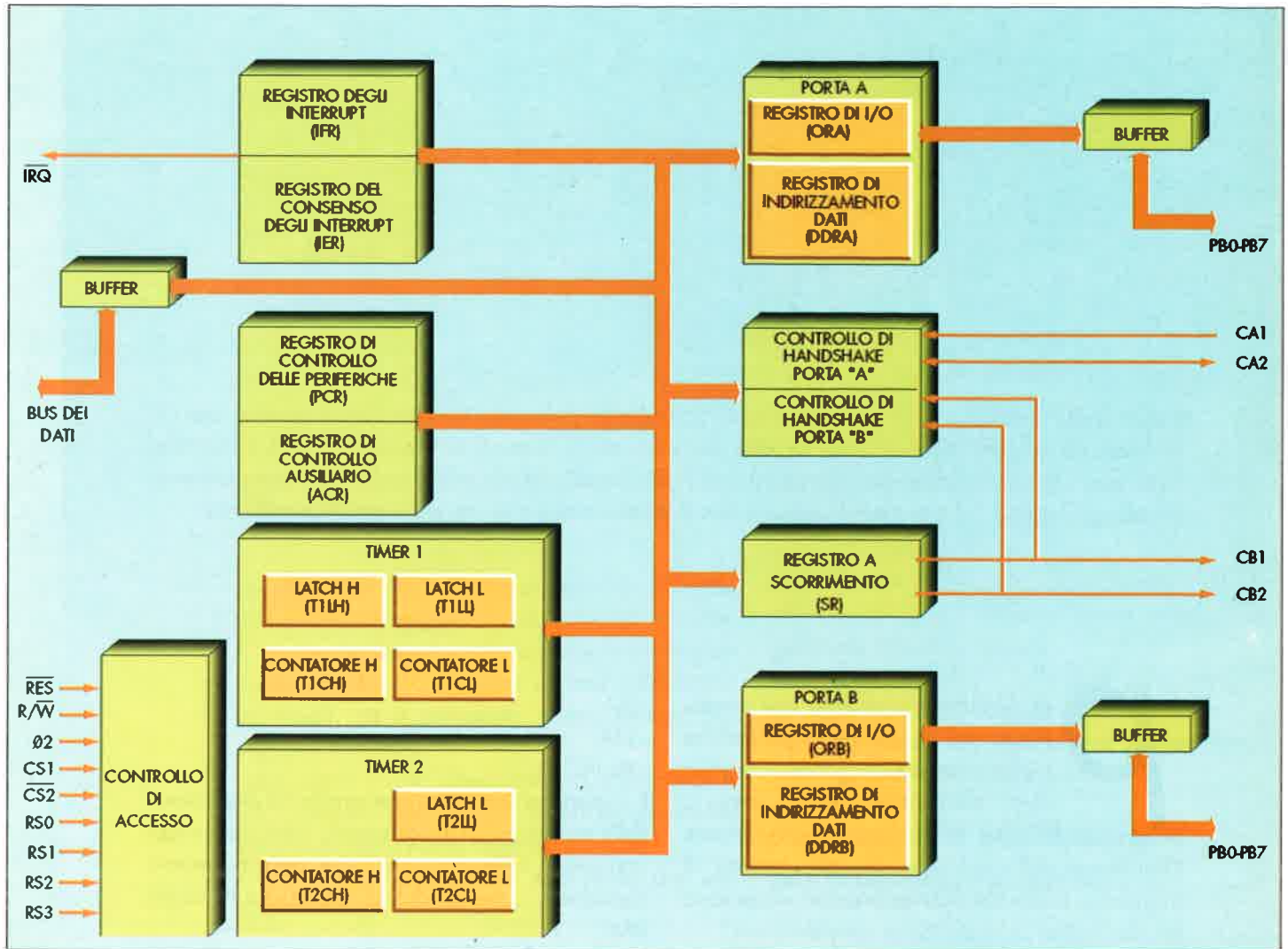
**P**er risolvere il problema dell'adattamento dei diversi tipi di periferiche con i sistemi a microprocessore sono stati progettati alcuni circuiti programmabili che semplificano notevolmente l'hardware dell'interfaccia. Tra gli elementi di ingresso e uscita dei microprocessori ve ne sono tre che hanno un'importanza considerevole:

- PIA
- VIA
- ACIA.

È opportuno segnalare che, grazie all'evoluzione delle tecnologie di integrazione, sono stati sviluppati anche diversi elementi che possono essere considerati come moduli di ingresso e di uscita misti.

*Schema a blocchi di un adattatore universale di periferiche PIA*





Circuiti e loro collegamento ad un adattatore universale tipo VIA

Tra questi i più conosciuti sono:

- RRIOT
- RIOT.

Tutti questi elementi verranno analizzati dettagliatamente in questo capitolo.

Il progetto degli elementi di ingresso e uscita nei sistemi a microprocessore è uno dei compiti più complessi.

La difficoltà maggiore nasce dal fatto che ciascuna delle possibili periferiche ha caratteristiche proprie a volte molto diverse rispetto a quelle di altre periferiche.

Tra queste si ricordano:

- tipo e velocità di trasferimento dei dati
- tempo di risposta
- codici e formati dei dati
- segnali di controllo per sincronizzare i trasferimenti e stabilire le modalità operative

- segnali di stato che visualizzano lo stato dei trasferimenti e della periferica
  - sistemi per la rilevazione e la correzione degli errori
  - selezione degli elementi di ingresso e uscita.
- La scelta dell'interfaccia necessaria per adattare il sistema a microprocessore alle sue diverse periferiche può essere effettuata generalmente secondo due diverse modalità:
- con circuiti speciali, progettati espressamente per il collegamento della periferica
  - con circuiti integrati per l'adattamento universale delle periferiche.

La prima soluzione prevede l'impiego di gruppi formati da un certo numero di circuiti integrati, quali porte, buffer, decodificatori, bistabili, multiplexer, ecc. Questi generalmente occupano uno o più circuiti stampati.

Con questa tipologia di circuiti si riduce il software a scapito dell'aumento della complessità dell'hardware. Inoltre, poiché il circuito progettato esegue sempre la stessa funzione, presenta una mancanza quasi completa di flessibilità di funzionamento e una scarsa affidabilità.

A titolo di esempio si ricorda un circuito nel quale il bus degli indirizzi contiene l'indirizzo del decodificatore di indirizzi, che attiva il buffer di ingresso o di uscita per trasferire l'informazione dal bus dati alla periferica o viceversa.

Nella seconda modalità di lavoro i circuiti integrati contengono una serie di circuiti elementari di ingresso e di uscita controllati da determinati registri.

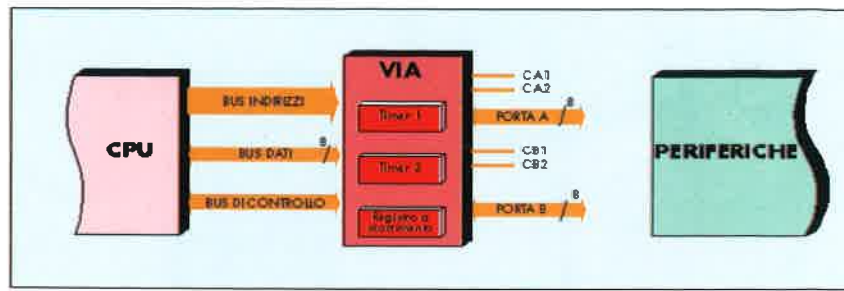
L'opportuna programmazione di questi ultimi consente di stabilire la configurazione desiderata degli ingressi e delle uscite.

In questi dispositivi è il software che ha il compito di definire le caratteristiche della configurazione degli ingressi e delle uscite, come ad esempio nel modo seguente:

- viene impostato il verso di ingresso e uscita su certi terminali del circuito integrato
- viene definita la polarità di attivazione di segnali o transizioni
- viene eseguita la gestione degli interrupt
- viene ordinata la sequenza dei segnali di controllo e di stato
- vengono abilitate le procedure per la disattivazione dei segnali di controllo e di stato.

L'utilizzo degli adattatori universali per periferiche è stato favorito dagli stessi costruttori di microprocessori, con l'evidente scopo di evitare agli utenti complessi progetti di circuiti dedicati per l'interfacciamento di ogni periferica.

Il loro impiego riduce al minimo l'hardware ma complica il software. La facilità di programmazione di questi adattatori conferisce però una straordinaria flessibilità alle loro applicazioni. Inoltre, viene ri-



Schema a blocchi di un adattatore universale versatile VIA

dotto lo spazio occupato e la potenza dissipata, incrementando l'affidabilità del sistema.

Quasi tutte le famiglie di microprocessori comprendono degli adattatori universali per periferiche, molto simili tra di loro sia per quanto riguarda le caratteristiche tecniche che per la loro programmazione.

### INTERFACCIA DI ADATTAMENTO PER PERIFERICHE

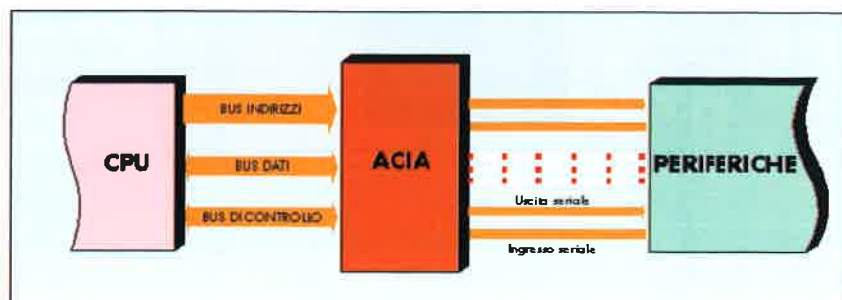
La sigla PIA deriva dall'abbreviazione della nomenclatura inglese *Peripheral Interface Adapter*. È un modulo di uso generale, la cui funzione è quella di mettere in comunicazione l'unità centrale di processo con il mondo esterno attraverso le periferiche.

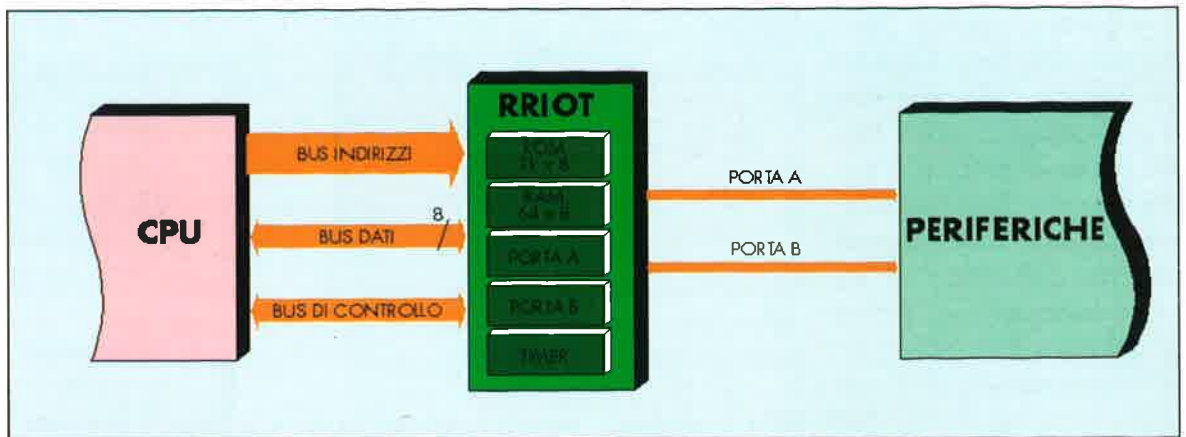
La funzione principale della PIA è riportata nella figura di riferimento, nella quale si possono anche notare le due porte da otto linee bidirezionali. Ciascuna porta è dotata di altre due linee ausiliarie per il controllo.

Internamente la PIA è composta da due sezioni quasi identiche, formate da tre registri ciascuna che, per ciascuna sezione, sono:

- registro dei dati della porta
- registro degli indirizzi delle linee della porta
- registro di controllo programmabile.

Linee dei segnali in un adattatore per comunicazioni seriali conosciuto con il nome di ACIA





Collegamento ed elementi circuitali di un modulo di ingresso e uscita RRIOT

**ADATTATORE UNIVERSALE VERSATILE PER PERIFERICHE**

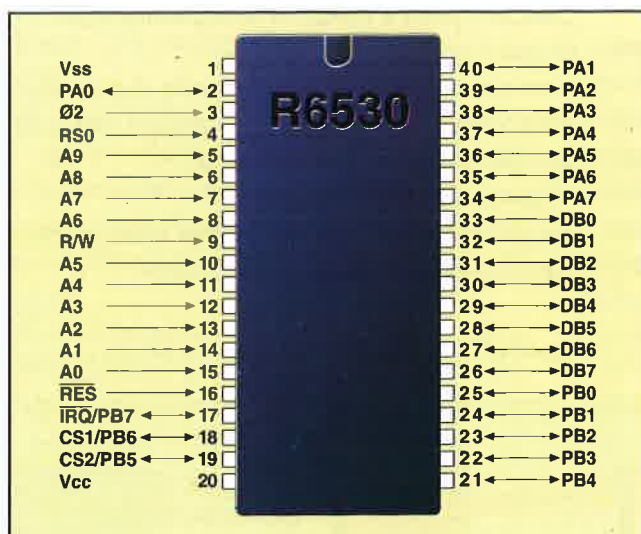
La sigla VIA deriva dall'abbreviazione della nomenclatura inglese *Versatile Interface Adapter*. E' un circuito integrato che può essere catalogato come uno dei più completi e potenti adattatori universali, ed è composto principalmente dai seguenti elementi:

- due canali da otto linee ciascuno, denominati A e B. Ciascuna delle linee può essere programmata individualmente come ingresso o uscita
- quattro linee di controllo e di stato, due per ciascuna porta

- un registro a scorrimento ad otto bit, incaricato della conversione dell'informazione da serie a parallelo o viceversa
- due contatori/temporizzatori, costituiti da "timer" a 16 bit, che possono essere utilizzati per generare o contare impulsi
- una logica di interrupt, nella quale sono compresi un registro di "flag" e degli indicatori di interrupt i cui bit indicano la condizione di un determinato interrupt in funzione del suo stato.

**INTERFACCIA DI ADATTAMENTO PER COMUNICAZIONI SERALI**

Distribuzione dei terminali in un modulo misto di ingresso e uscita



L'ACIA rappresenta l'interfaccia necessaria per il collegamento di sistemi basati su microprocessori con dispositivi dotati di comunicazione seriale, quali i modem.

La sigla deriva dall'abbreviazione della nomenclatura inglese *Asynchronous Communication Interface Adapter*. Il suo funzionamento può essere sia sincrono che asincrono, in quanto dispone al suo interno di registri per la gestione dell'informazione. L'ACIA, per mezzo di un generatore di clock interno, è in grado di trasmettere a diverse velocità selezionabili da programma. Contemporaneamente può ricevere alla stessa velocità oppure ad una velocità impostata tramite un clock esterno.

# IL COPROCESSORE MATEMATICO

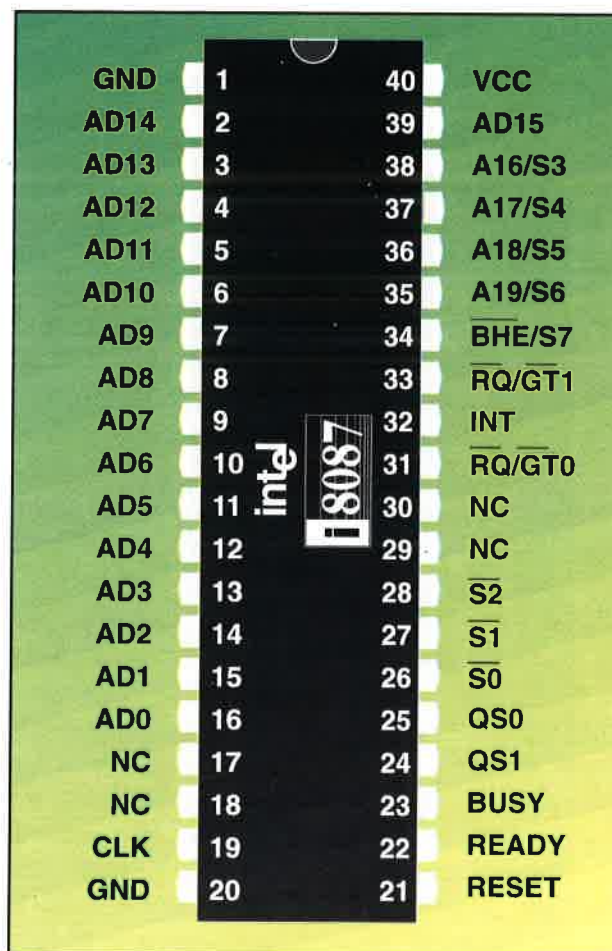
All'interno di un personal computer sono presenti il microprocessore, le memorie e altri circuiti che ne migliorano le prestazioni e il funzionamento. Tra questi si evidenzia per la sua potenzialità un altro processore che facilita le operazioni eseguite dall'unità centrale.

**i**l coprocessore è dotato di funzioni specifiche per l'elaborazione di operazioni numeriche e matematiche. Le funzioni trigonometriche, logaritmiche ed esponenziali, essenziali per applicazioni scientifiche, nautiche e militari, sono già presenti nell'hardware del coprocessore. Il coprocessore è anche in grado di gestire processi commerciali e contabili. Il coprocessore 8087 ad esempio, uno dei più vecchi in commercio, è in grado di processare fino a 18 digit nel formato BCD senza errori di arrotondamento; inoltre, può eseguire operazioni aritmetiche con numeri di grandezza pari a 64 bit.

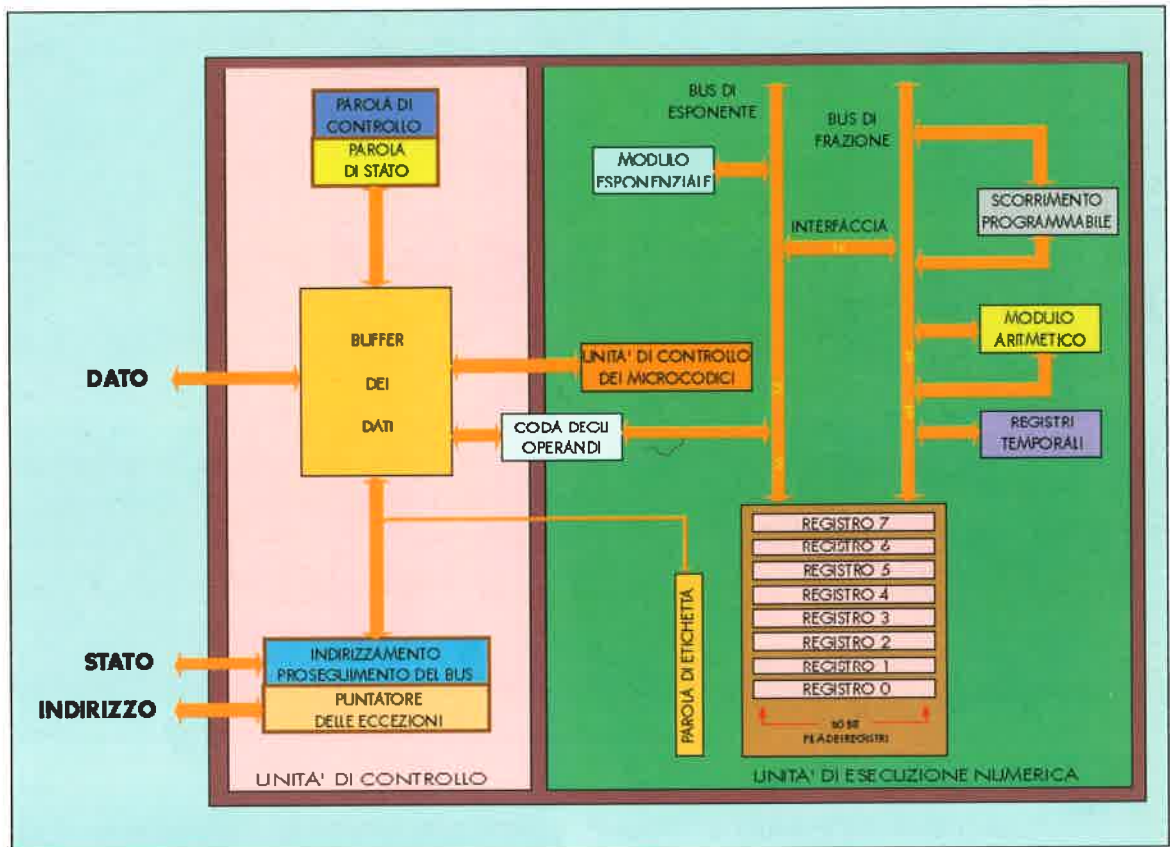
## CARATTERISTICHE PRINCIPALI

Le differenze tra i diversi coprocessori sono principalmente:

- la potenza di calcolo,
- il numero di operazioni aritmetiche, trigonometriche, esponenziali e logaritmiche che vengono aggiunte al gruppo standardizzato di istruzioni dei diversi processori,
- il numero di dati ammessi per operazione,
- il tipo di numeri che supporta sia interi che a



Disposizione dei terminali di un coprocessore elementare, ad esempio l'8087



Schema a blocchi di un coprocessore matematico

virgola mobile,

- la compatibilità con i diversi standard a virgola mobile, come ad esempio l'IEEE 754,
- la velocità di funzionamento,
- i diversi tipi di architetture interne del sistema,
- la gestione interna delle istruzioni,
- la compatibilità con i diversi sistemi esterni che si possono accoppiare al microprocessore, come ad esempio il Multibus.

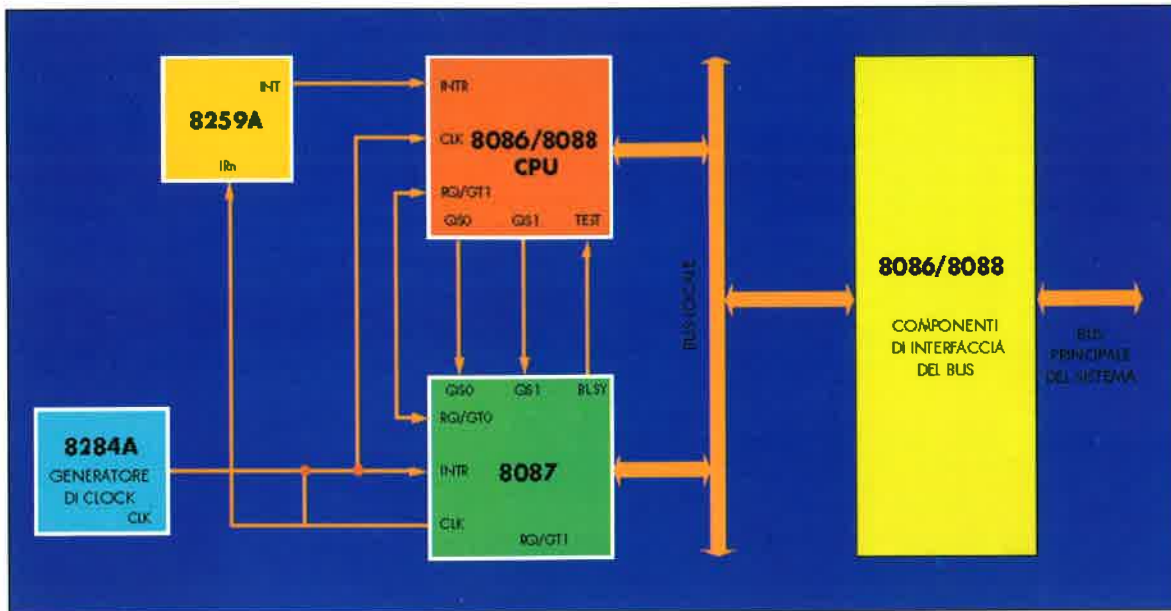
Così come si è progressivamente evoluta l'elettronica dei microprocessori, parallelamente sono stati sviluppati i vari coprocessori matematici a questi abbinabili. Per comprendere dettagliatamente il loro funzionamento sarebbe necessario analizzarli uno ad uno; poiché è impensabile affrontare in poche pagine questo argomento così specifico, viene per brevità descritto di seguito il funzionamento di un modello base che permette per estrapolazione di capire in termini generali anche il funzionamento degli altri. La trattazione che segue viene perciò riferita al solo 8087, dal quale sono stati derivati tutti i successivi.

### COLLEGAMENTI DI UN MICROPROCESSORE

Il coprocessore in questione è dotato di 40 terminali, che possono essere suddivisi in diversi gruppi:

- linee per gli indirizzi e i dati
- linee di indirizzamento della memoria
- abilitazione a livello alto dei bus
- linee di stato
- linee di richiesta-concessione
- linea di interrupt
- linea di occupato
- segnale di riconoscimento
- segnale di reset
- clock
- alimentazione e massa.

Di seguito viene analizzato ogni singolo gruppo. Le linee per gli indirizzi e i dati sono utilizzate come bus indirizzi durante la prima fase di un ciclo, mentre per il rimanente periodo dello stesso (come si può verificare osservando il diagramma temporale corrispondente) vengono occupate dal



Schema di collegamento di un coprocessore ad un microprocessore

bus dati. Per consentire il trasferimento di un byte dalla parte bassa del bus alla memoria, il terminale A0 viene commutato a livello basso; anche per il collegamento di circuiti a 8 bit alla parte bassa del bus si deve utilizzare la linea A0.

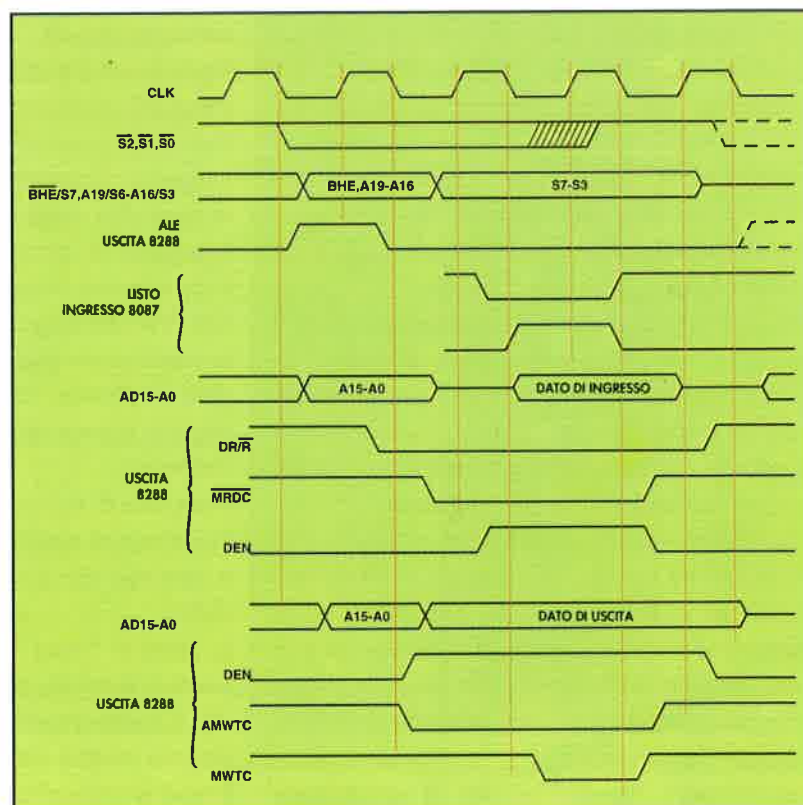
Questi segnali sono normalmente attivi a livello alto, in modo da operare come linee di ingresso/uscita durante i cicli nei quali il bus invia i dati al coprocessore, e diventare ingressi monitorizzati quando il microprocessore assume il controllo del bus.

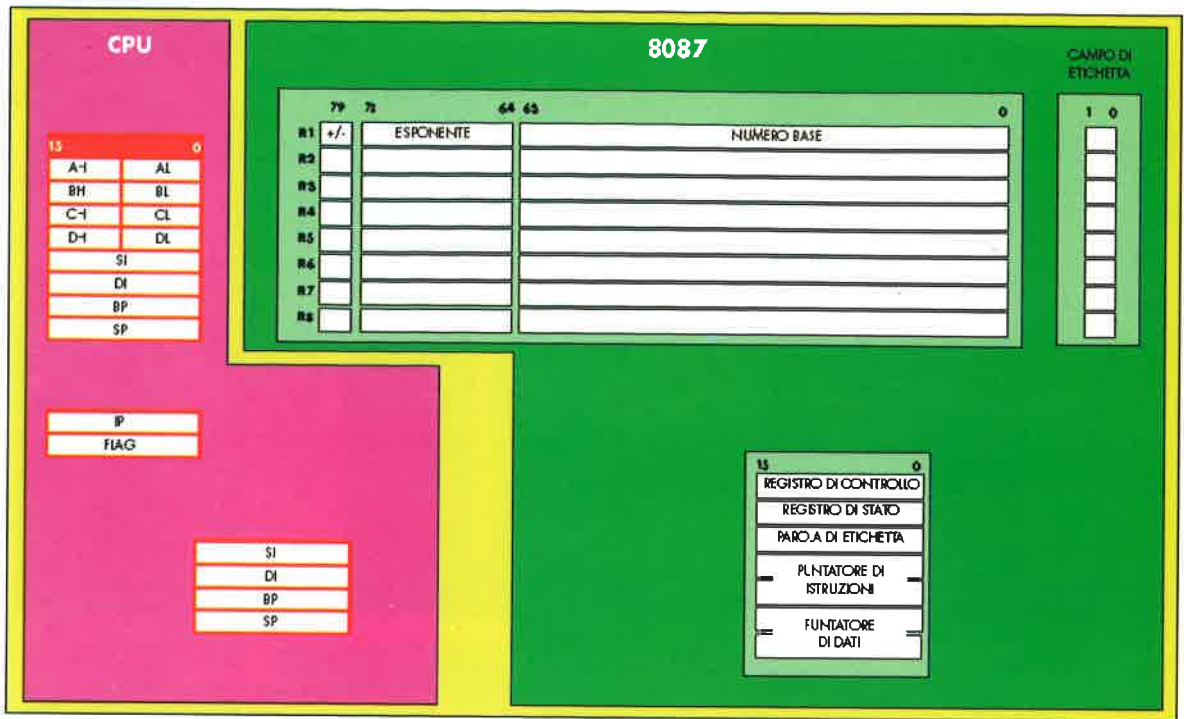
Quando il coprocessore lavora con la memoria, gli indirizzi di memoria sono definiti dai quattro bit più significativi; nei rimanenti periodi su queste linee viene invece inviata l'informazione di stato. Durante i cicli nei quali il microprocessore assume il controllo del bus, questi segnali risultano essere solamente degli ingressi.

La linea di abilitazione alta del bus è attiva a livello basso, e deve essere utilizzata per abilitare i dati presenti sulla parte più significativa

del bus dati. I circuiti a 8 bit collegati alla parte alta del bus dati sfruttano questa linea per la selezione del chip. Le linee di stato sono tre e lavorano congiuntamente indicando la loro attività in modo codificato. Per il coprocessore 8087 questa codifica è la seguente:

Diagramma temporale di funzionamento di un coprocessore in un sistema dotato di controller del bus





Confronto tra le mappe di memoria di un microprocessore e di un coprocessore

/S2	/S1	/S0	STATO
0	X	X	Non utilizzato
1	0	0	Non utilizzato
1	0	1	Letture in memoria
1	1	0	Scrittura in memoria
1	1	1	Passivo

Queste linee vengono utilizzate per collegare il controller del bus, che genera i segnali per l'accesso alla memoria. Qualsiasi variazione degli stati indica l'inizio di un ciclo di bus. Questi segnali vengono letti dal coprocessore quando la CPU controlla il bus.

I segnali di richiesta/concessione (Request/Grant) sono due: uno di questi viene utilizzato per ottenere il controllo del bus locale per il trasferimento da parte del microprocessore di operandi o di un altro controller del bus locale. La sequenza di richiesta/concessione è la seguente.

Viene inviato al microprocessore un impulso di durata pari ad un ciclo di clock, per indicare allo stesso che è stata fatta una richiesta di bus attraverso il coprocessore; questa richiesta può essere eseguita anche da un altro circuito collegato al coprocessore mediante il secondo segnale di richiesta/concessione.

Il coprocessore attende l'impulso di concessione

e, quando questo arriva, inizia l'operazione di trasferimento che viene eseguita nel ciclo di clock successivo a quello di concessione. Se la richiesta è stata effettuata da un altro circuito collegato al coprocessore l'operazione di trasferimento inizia dopo che è stata trasferita la concessione a questo secondo circuito.

Quando gli interrupt sono abilitati, il loro segnale viene utilizzato per indicare che se ne è verificato uno non mascherato durante una operazione numerica. Generalmente questa linea è collegata al controller degli interrupt.

Il segnale di occupato, o "Busy", indica che il coprocessore sta eseguendo una istruzione numerica. Viene collegato all'ingresso /TEST del microprocessore per ottenere la sincronizzazione. Quando si verifica un interrupt non mascherato, questo segnale rimane attivo finché non viene disattivato l'interrupt.

Il segnale di riconoscimento, o "Ready", è quello incaricato di abilitare la memoria indirizzata sino a che non viene completato il trasferimento dei dati.

La linea di "reset" serve per fermare immediatamente la funzione che il coprocessore sta eseguendo. Questo segnale deve rimanere attivo per almeno quattro cicli di clock.

Il reset è sincronizzato internamente.

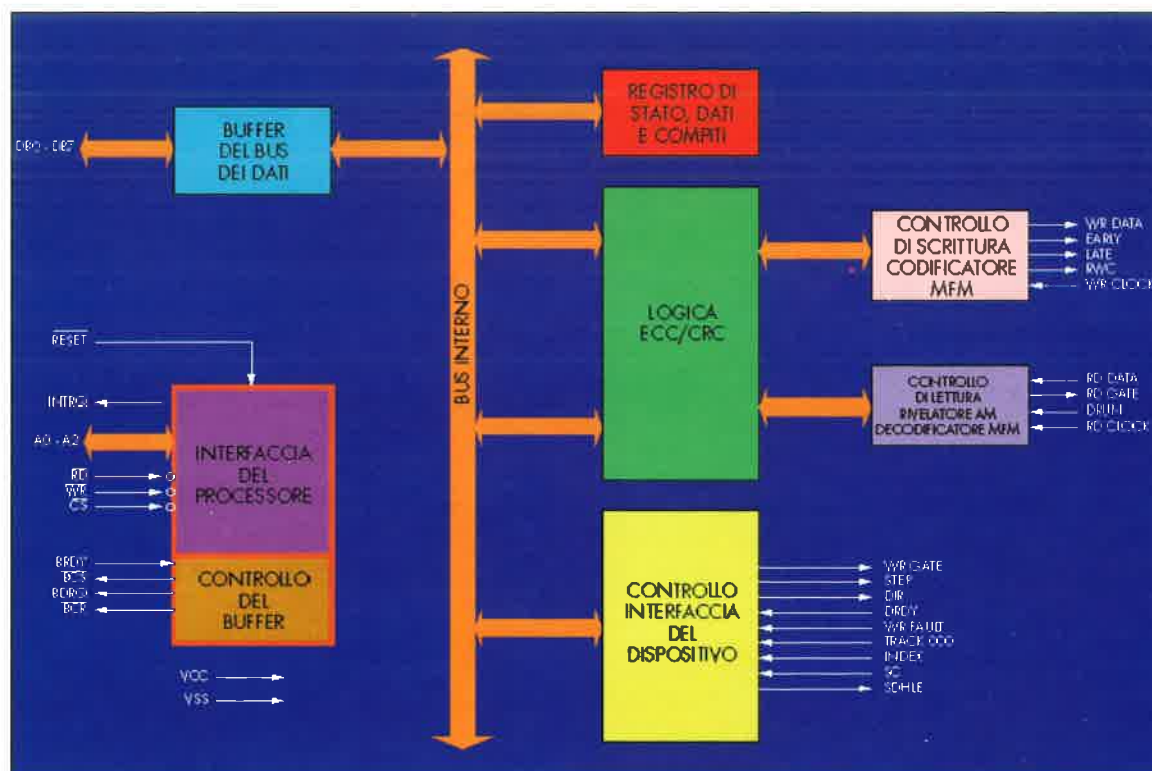


# I CONTROLLER PER HARD DISK

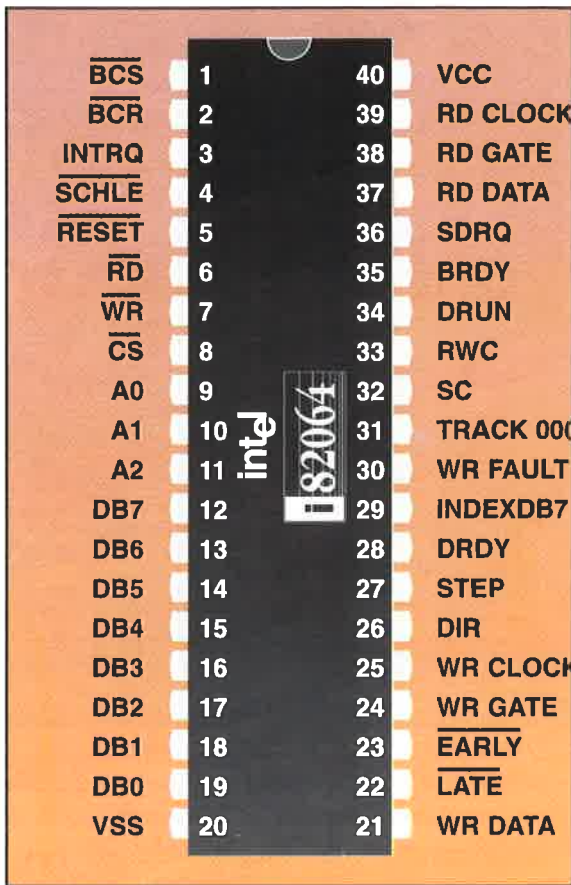
Tra i vari elementi circuitali che compongono un personal computer esistono dei componenti digitali dai quali dipende l'ottimizzazione del sistema e il controllo di alcune funzioni fondamentali del PC.

**I** circuiti di controllo degli hard disk permettono l'interfacciamento dei sistemi a microprocessore con i dischi rigidi; le interfacce si differenziano tra di loro in funzione dei diversi costruttori di hard disk.

Questi circuiti trasformano le informazioni trasmesse dal microprocessore in formato parallelo ad una determinata velocità, in un flusso di dati codificato in un formato idoneo per la memorizzazione o la lettura sul disco rigido, come ad esempio il formato MFM. Naturalmente il



Schema a blocchi di un controller per hard disk



Disposizione dei terminali di un controller per hard disk in contenitore Dual-In-Line

circuito è dotato di tutta la logica di controllo necessaria per l'hard disk, dei segnali di controllo che permettono la separazione esterna dei dati, e degli elementi richiesti per la realizzazione del processo di scrittura.

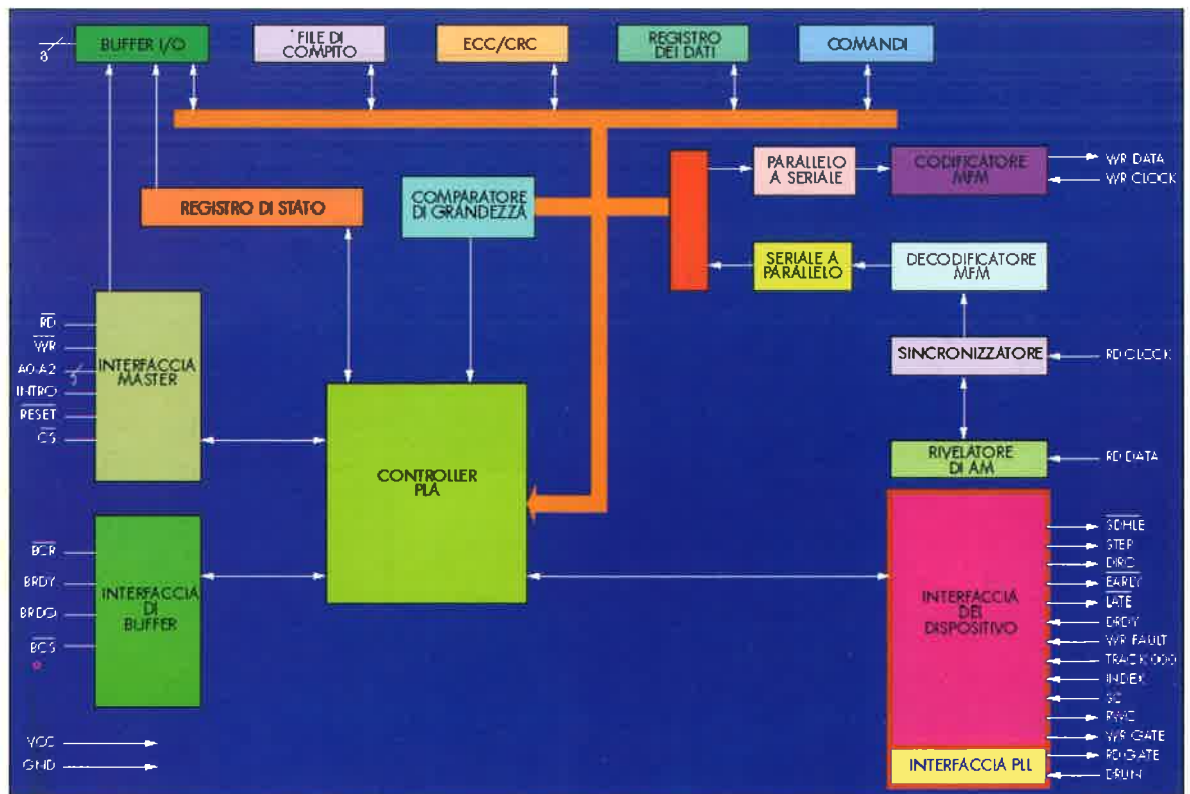
Alcuni di questi circuiti comprendono internamente degli algoritmi per la rilevazione degli errori, che permettono di sfruttare diversi livelli di riconoscimento e di correzione degli stessi. Quando durante il processo di lettura viene rilevato un errore si possono ad esempio attivare le seguenti procedure:

- attivazione del flag di errore
- correzione automatica dei dati nel settore danneggiato
- invio del segnale di errore al sistema per la sua successiva correzione.

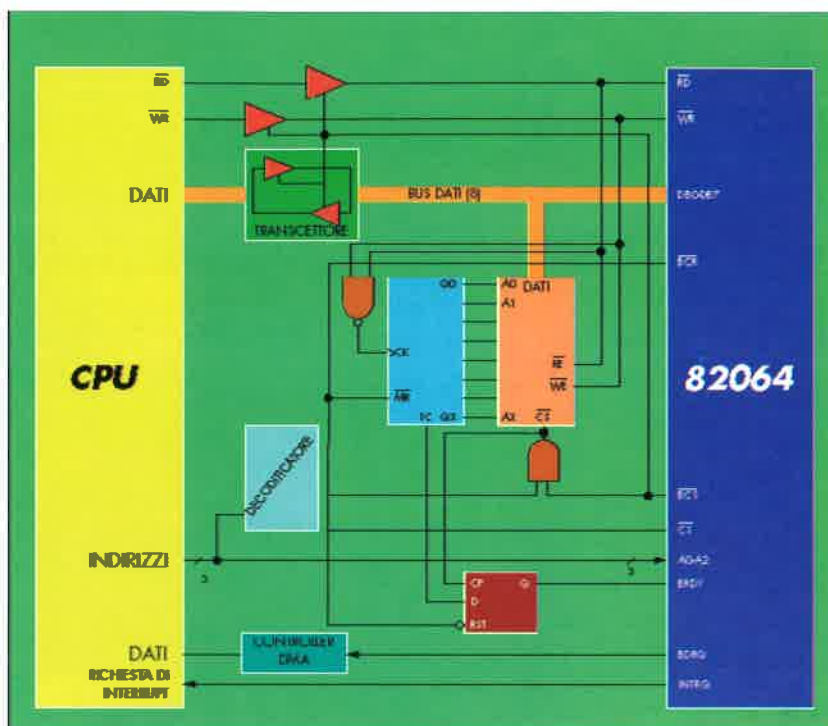
La struttura interna di qualsiasi controller per hard disk è formata da sette blocchi principali:

- controller della PAL
- comparatore di grandezze
- logica ECC/CRC
- registri dei dati
- buffer di ingresso/uscita dei dati

Distribuzione dei segnali di un controller per hard disk nei diversi blocchi che lo compongono







Collegamenti tra un controller per hard disk e il microprocessore di un computer

il flag del registro degli errori.

Se il circuito non è in grado di correggere l'errore si possono verificare due condizioni: o l'errore viene ignorato e non viene corretto, oppure si utilizza il comando per il calcolo della correzione. Con quest'ultimo si determina la posizione e il tipo di errore per poterlo correggere successivamente con qualche programma di utilità.

Questo comando deve essere utilizzato prima di eseguire qualsiasi altro comando, in modo da non alterare il registro ECC. I comandi di lettura e scrittura di un settore, di ricerca di ID, e di formattazione alterano questo registro, per cui la correzione dell'errore dopo aver eseguito una di queste operazioni diventa praticamente impossibile.

Per operare nella modalità di correzione automatica degli errori il buffer esterno di settore deve essere composto da una memoria RAM statica e non da una memoria FIFO. La codifica e la decodifica dei dati viene eseguita per la scrittura e la lettura degli stessi sull'unità a disco. Il codificatore lavora alla frequenza del clock di scrittura, poiché è identica alla velocità di trasmis-

sione dei bit. Il decodificatore invece lavora con il clock di lettura, o RD CLOCK, generato dal separatore esterno dei dati. Entrambi i segnali non devono però essere di tipo sincrono.

Il codificatore genera anche i segnali di controllo necessari per la scrittura. I segnali di avanzamento e di ritorno della testina vengono attivati in funzione del formato dei dati utilizzato.

Gli elementi circuitali esterni impiegano questi segnali per compensare la deviazione generata dall'influenza di ogni bit su quello adiacente.

### **COLLEGAMENTO DI UN CONTROLLER PER HARD DISK**

Il circuito fondamentale per il collegamento tra un microprocessore e un controller è costituito da un bus bidirezionale di almeno 8 bit, in funzione del tipo di microprocessore utilizzato. Questo bus viene utilizzato per trasmettere e ricevere i dati del controller e del buffer di settore, che è formato da una memoria RAM statica e da un contatore.

Dopo che il controller ha attivato il bus, per accedere al buffer di settore si deve utilizzare un transcodificatore per poter isolare il sistema durante questa fase.

Per attivare la fase di scrittura in un settore, il microprocessore invia i dati al registro di lavoro e successivamente genera il comando di scrittura. Il controller attiva poi il segnale di cancellazione del contatore del buffer per inizializzarlo, e genera l'informazione di stato per comunicare al sistema che possono essere trasferiti al buffer i dati che devono essere scritti.

Quando il contatore raggiunge il conteggio massimo il segnale di abilitazione del buffer viene confermato tramite il segnale presente all'uscita di riporto del contatore, per indicare che il buffer di settore è completamente pieno.

# CIRCUITI PER L'ACCESSO DIRETTO ALLA MEMORIA

**I componenti digitali che aiutano maggiormente il microprocessore sono i circuiti ausiliari che sveltiscono le sue operazioni: tra questi vi sono quelli che migliorano l'accesso diretto alla memoria.**

**I** circuiti più importanti di questa categoria sono quelli chiamati *controller DMA (Direct Access Memory)*, che aiutano il microprocessore nel trasferimento dell'informazione da una memoria ad un'altra.

Come consuetudine, viene preso in considerazione uno dei dispositivi più utilizzati negli elaboratori per studiare in modo dettagliato il principio di funzionamento di questi controller: in questo caso è stato scelto il circuito integrato 8237.

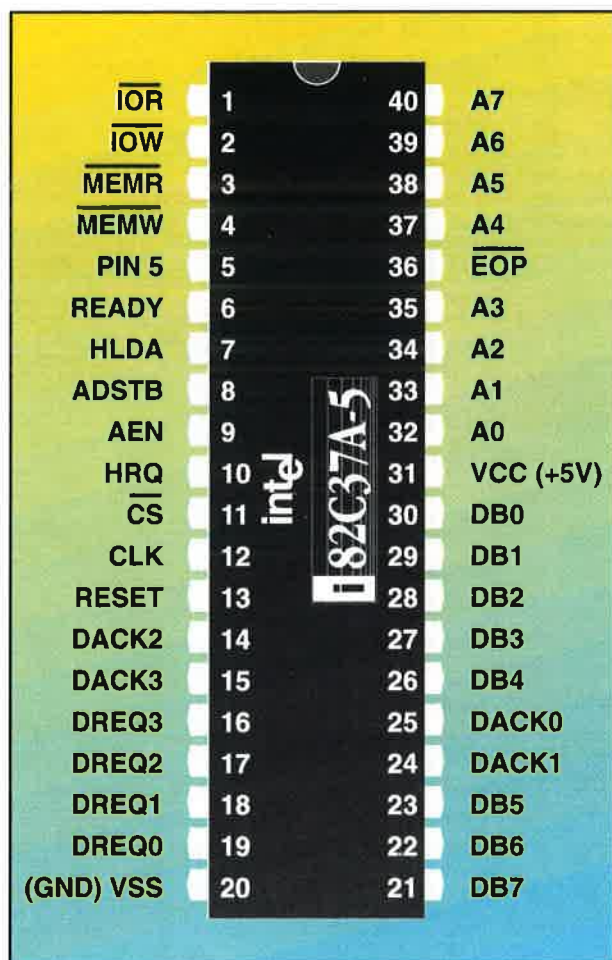
Questo chip integra fondamentalmente tre blocchi di controllo, e più precisamente:

- controllo delle temporizzazioni,
- controllo dei comandi,
- controllo della codifica.

Il primo di questi blocchi genera i segnali interni ed esterni di "temporizzazione" che vengono utilizzati dal controller.

Il blocco di controllo dei comandi di programma serve per codificare i diversi comandi che vengono inviati al controller dal microprocessore, prima che inizi a svolgere le sue funzioni di accesso diretto alla memoria. Inoltre, decodifica la parola di controllo del modo, utilizzata per selezionare il tipo di DMA durante il funzionamento.

L'ultimo blocco è quello incaricato di controllare



*Piedinatura di un controller per l'accesso diretto alla memoria*

l'ordine e la priorità con cui si risponde ai diversi canali.

### SEGNALI DEL CONTROLLER DMA

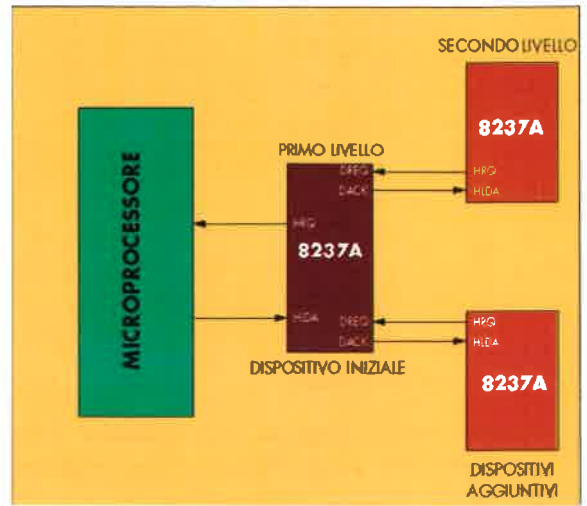
Questo tipo di circuito è dotato di 40 terminali, dai quali vengono prelevati i segnali corrispondenti per il corretto funzionamento del circuito. In questo paragrafo viene descritta la funzione di tutti questi segnali, tenendo presente però che alcuni di essi sono suddivisi su più terminali. Per individuare ciascuno di questi segnali è sufficiente osservare la figura che riporta lo schema di questo controller.

Il terminale (CLK) è l'ingresso del segnale di clock che controlla le operazioni interne del circuito e la frequenza di trasferimento dei dati.

L'ingresso di selezione del circuito, o chip select (/CS), viene utilizzato per abilitare le comunicazioni con il microprocessore.

Questo segnale converte il controller del DMA in un circuito di ingresso/uscita.

Il segnale di reset (RESET) cancella i registri di stato, di comando, di richiesta e temporanei, in

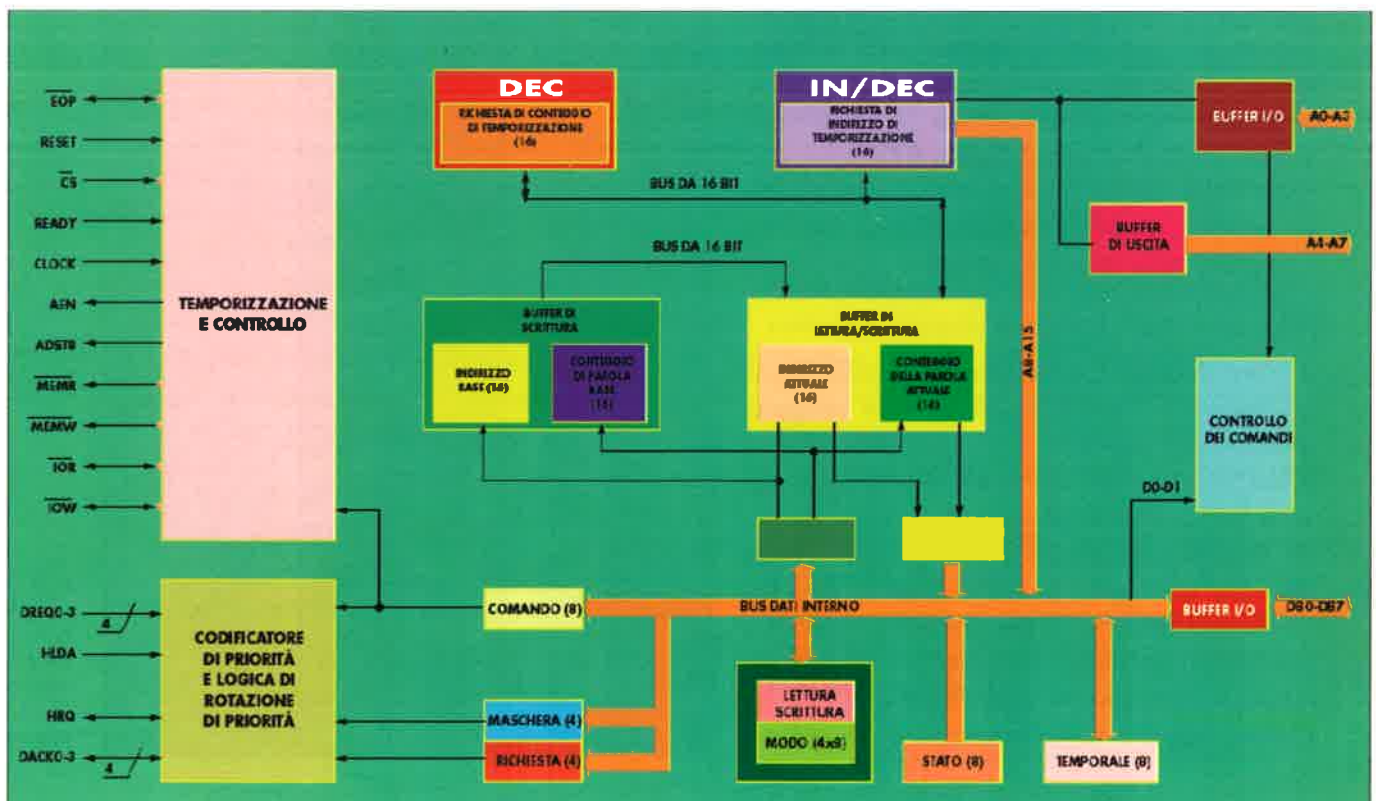


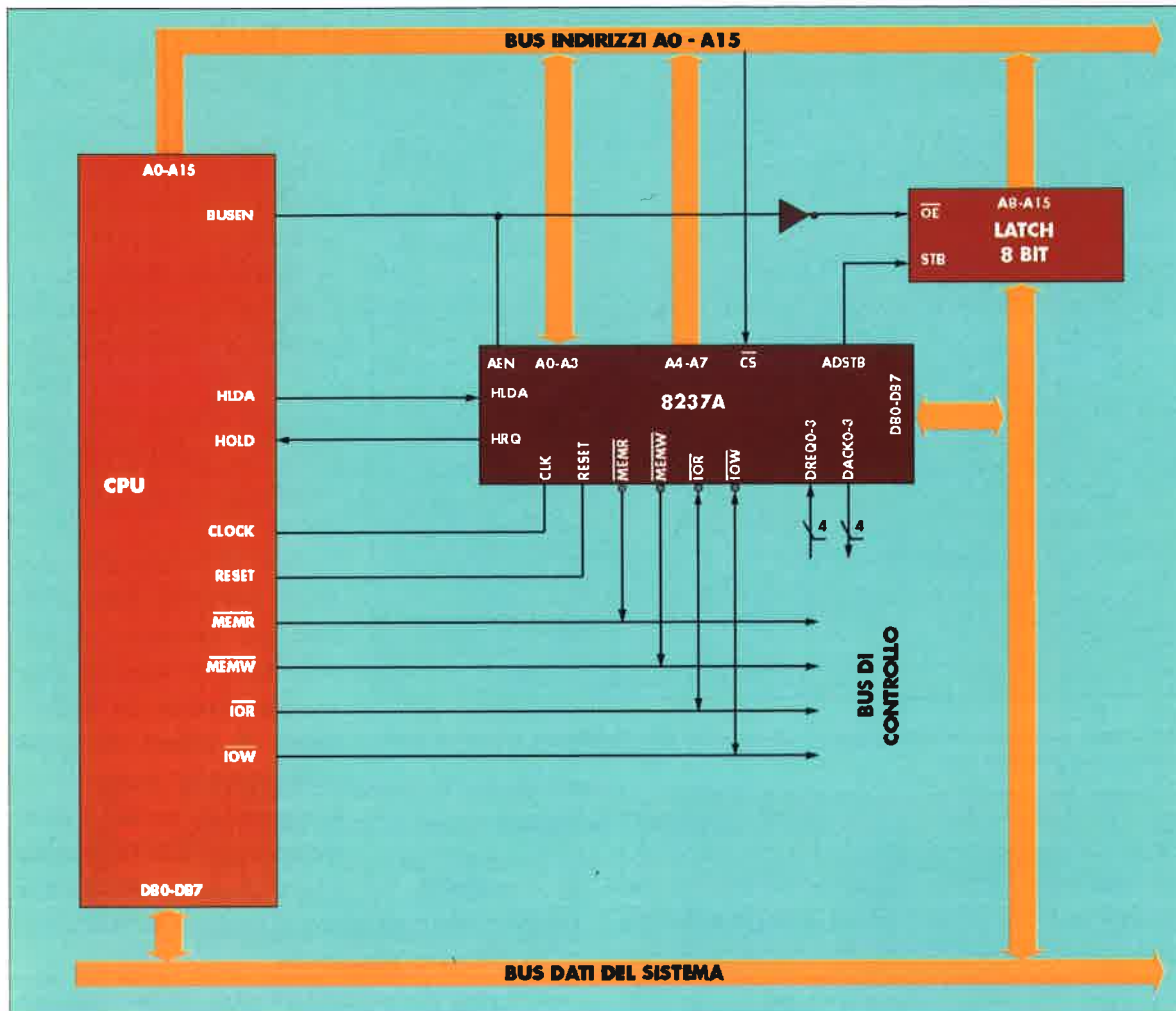
Collegamento di un controller DMA con il microprocessore e altri controller ausiliari

modo da lasciare il circuito di controllo in condizione di attesa.

Il segnale di pronto (READY) è un ingresso che viene utilizzato per allungare la durata degli impulsi di lettura e scrittura nella memoria, in modo da adattare il circuito a memorie lente o periferi-

Schema a blocchi di un controller DMA





Collegamento dei diversi terminali del controller con il microprocessore

che di ingresso/uscita.

Il riconoscimento di *Hold (HLDA)* si incarica di indicare al microprocessore che il controllo del bus è stato trasferito al sistema principale.

I segnali di *richiesta di accesso diretto alla memoria (DREQ<sub>x</sub>)* vengono utilizzati dai circuiti periferici per accedere al DMA. La richiesta viene generata attivando queste linee.

Il *bus dei dati (DB<sub>x</sub>)* è formato da 8 linee bidirezionali che sono collegate al bus del sistema. Le uscite vengono attivate durante la lettura dei circuiti di ingresso/uscita per visualizzare il contenuto di un registro di indirizzi, di stato o temporaneo.

Questi segnali vengono convertiti in ingressi quando il microprocessore è programmato dai registri di regolazione del controller nelle operazioni di trasferimento tra memorie; i dati della memoria di origine vengono raccolti da questo bus durante il

ciclo di lettura dalla memoria, e vengono scritti nella nuova posizione durante il ciclo di scrittura in memoria.

Il segnale di *lettura di ingresso/uscita (/IOR)* è bidirezionale. Nello stato di attesa è un ingresso di controllo che utilizza il microprocessore per leggere i registri di controllo; nel ciclo attivo è una uscita utilizzata per controllare l'accesso dei dati da una periferica durante i cicli di trasferimento di scrittura del DMA.

Il segnale di *scrittura di ingresso/uscita (/IOW)* è una linea che ha le stesse caratteristiche della precedente. In attesa è un ingresso di controllo utilizzato dal microprocessore per inviare informazioni al controller.

Nello stato attivo si converte in una uscita di controllo utilizzata dal controller per inviare i dati alla periferica durante un trasferimento di lettura del DMA.

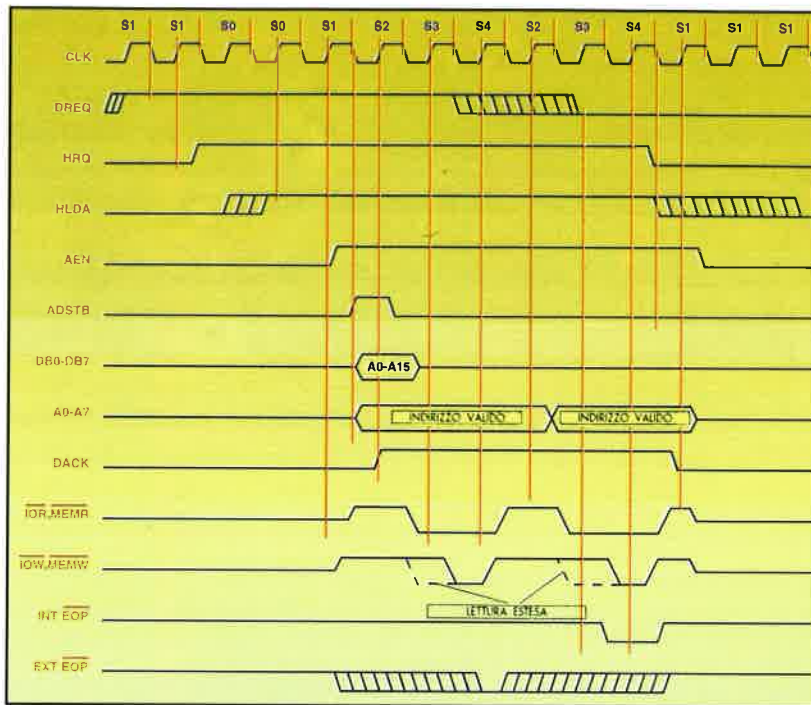


Diagramma temporale dei diversi segnali di un controller mentre sta eseguendo una operazione di trasferimento

L'informazione che corrisponde al termine dei trasferimenti del DMA è disponibile sul terminale chiamato di *fine del processo* (/EOP). Il controller, passando a livello basso, invia un segnale quando termina il servizio di DMA; questo impulso viene generato anche quando riceve un segnale di fine conteggio nel canale in cui si trova.

La ricezione del segnale di fine del processo provoca la cessazione immediata di tutte le funzioni del controller, l'annullamento della richiesta e la scrittura sui registri di base dei valori presenti nei registri in corso.

Il *bus degli indirizzi* ( $A_x$ ) è composto da 8 linee, di cui quattro sono bidirezionali.

In stato di attesa queste linee sono degli ingressi utilizzati dal microprocessore per accedere ai registri che deve leggere o scrivere. Nel ciclo attivo si convertono in uscite utilizzate per indirizzare la memoria.

Le quattro linee unidirezionali vengono utilizzate durante la fase di accesso diretto alla memoria. Il segnale di *richiesta di Hold* (HRQ) è l'uscita di richiesta di Hold al microprocessore. Viene utiliz-

zata per richiedere il controllo del bus di sistema.

I segnali di *riconoscimento del DMA* (DACK $_x$ ) vengono utilizzati per notificare a ciascuna periferica quando viene eseguito un ciclo di accesso diretto alla memoria.

Il segnale di *abilitazione degli indirizzi* (AEN) attiva un latch con gli 8 bit più significativi del sistema. Inoltre, inibisce altri controller del bus durante i trasferimenti di DMA.

La linea di *lettura della memoria* (/MEMR) viene utilizzata per accedere ai dati della zona di memoria selezionata durante un trasferimento di lettura del DMA nella memoria stessa.

Il segnale di *scrittura della memoria* (/MEMW) è simile

al precedente, ma invece di una lettura viene eseguita una operazione di scrittura nelle locazioni di memoria selezionate.

Questi segnali sono presenti in qualsiasi controller di accesso diretto alla memoria.

Di seguito viene esaminato il funzionamento di questi circuiti.

### PRINCIPIO DI FUNZIONAMENTO DI UN CONTROLLER DMA

Generalmente il funzionamento di questi circuiti si può suddividere in due cicli fondamentali: quello di attesa e quello attivo.

Quest'ultimo ciclo è a sua volta suddiviso in diversi stati: nell'esempio precedente il ciclo completo viene eseguito passando attraverso sette diversi stati.

Il controller si trova nello stato di attesa quando non è presente alcuna richiesta di DMA; in questo stato il circuito si mantiene in condizione di programmazione per permettere al microprocessore di programmarlo.



# I CONTROLLER MULTIFUNZIONE

All'interno del PC sono presenti dei dispositivi che consentono di eseguire operazioni diverse senza la necessità di moduli aggiuntivi che potrebbero complicare notevolmente l'hardware del calcolatore.

**q**uesti circuiti possono integrare diverse funzioni, tra le quali si possono evidenziare le seguenti:

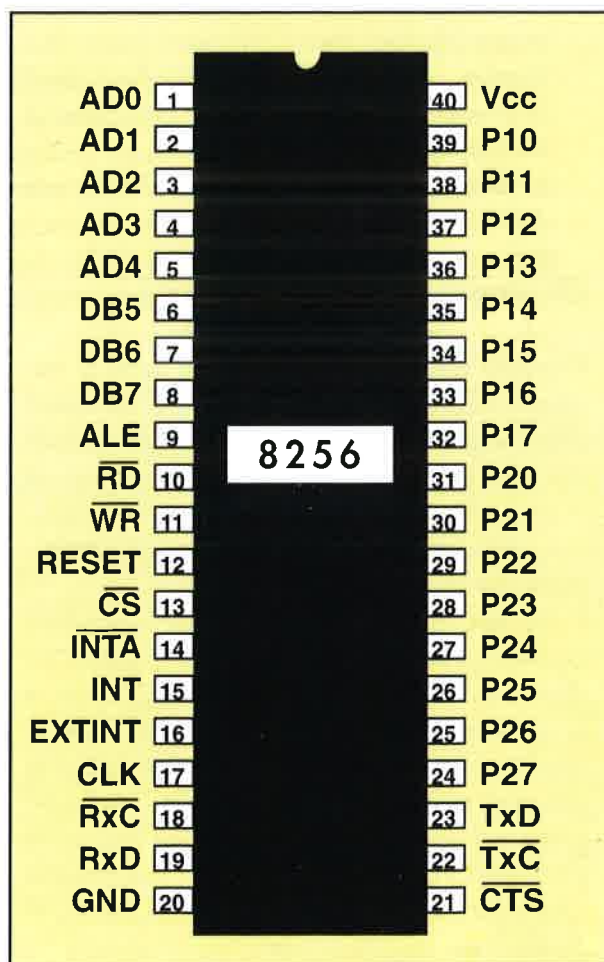
- comunicazione seriale asincrona,
- interfacciamento parallelo di ingresso/uscita,
- temporizzazione,
- conteggio,
- controllo degli interrupt.

Come in precedenza, viene preso in esame un unico dispositivo per analizzare il funzionamento di base di questi circuiti multifunzione. Il controller prescelto è l'8256.

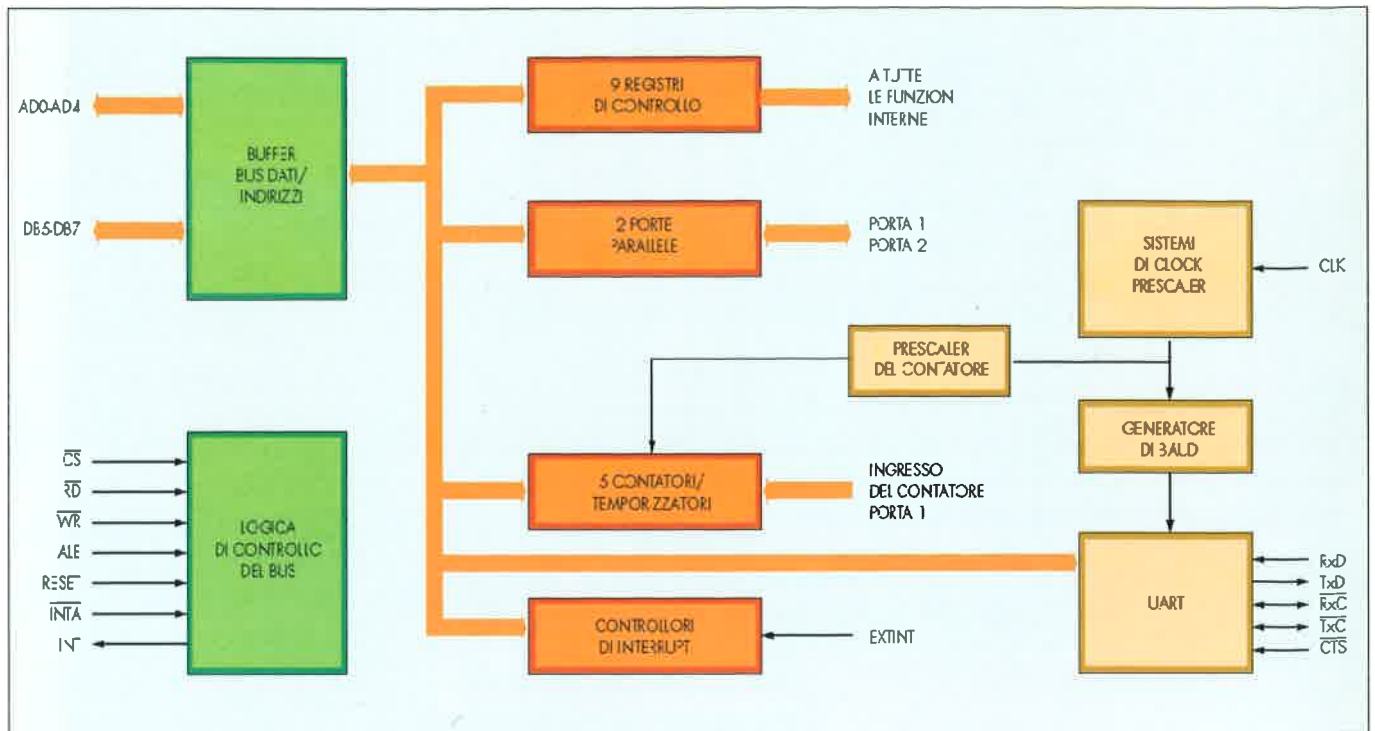
Questo integrato viene utilizzato principalmente in circuiti basati su microprocessori 8086 o 8088.

Le sue caratteristiche principali sono:

- è dotato di una interfaccia programmabile per le comunicazioni seriali asincrone,
- integra un generatore di velocità di trasmissione programmabile che può raggiungere i 19.200 bit al secondo,
- incorpora 5 contatori o "timer" programmabili che possono essere collegati a due a due per ottenere il raddoppio dei bit,
- è dotato di due porte parallele di ingresso/uscita programmabili,



Il contenitore di un controller multifunzione ha 40 terminali, compresi quelli di alimentazione e massa



Struttura interna di un controller multifunzione

- assolve alla funzione di controllore degli interrupt per i microprocessori per i quali è stato progettato,
- è dotato di un clock programmabile di circa 5,12 MHz.

### DESCRIZIONE DELLE FUNZIONI

Il circuito multifunzione integra una unità di trasmissione/ricezione dei dati asincroni che opera nella modalità chiamata full-duplex. Nel circuito è inserito un generatore di velocità di trasmissione in grado di gestire una ampia gamma di velocità, che rende inutile l'impiego di qualsiasi componente esterno.

Il microprocessore può programmare la lunghezza del carattere, la generazione della parità, la rilevazione di quest'ultima e quella degli errori, e la gestione dei bit di stop. In questo modo il ricevitore del circuito multifunzione verifica i bit di inizio e di fine parola, e un ordine di "stop" provoca il blocco della ricezione. Dall'altra parte il trasmettitore invia questi comandi, che possono essere controllati tramite un terminale esterno di abilitazione.

Il circuito che si sta esaminando è dotato di 16 bit di ingresso/uscita di uso generale. Gli otto bit che

appartengono alla porta 1 possono essere programmati singolarmente come ingressi o uscite. I rimanenti bit della porta 2 possono essere programmati come ingressi o uscite a gruppi di quattro.

Come detto in precedenza, il controller multifunzione è dotato di 5 contatori/timer. I temporizzatori possono essere utilizzati con il clock da 1 a 16 kHz del sistema. Quattro di questi possono essere configurati in cascata per permettere il funzionamento a 16 bit, mentre uno è dotato di una opzione di inizializzazione che si ottiene tramite un segnale esterno.

Infine, questo chip è dotato di un controller di priorità degli interrupt a 8 livelli, che possono essere configurati in due diverse modalità, a nidificazione o normale. Sette interrupt vengono impiegati per le funzioni proprie del circuito, mentre l'ottavo è un interrupt esterno che può essere utilizzato per qualsiasi altra funzione o da qualche altro circuito con le stesse caratteristiche. Il controller fornisce un supporto di interrupt ai microprocessori 8086 e 8088, tramite vettorializzazione diretta o campionatura, per determinare la causa della richiesta.

Se si rende necessario un controllo addizionale di interrupt, questo controller può essere collegato in

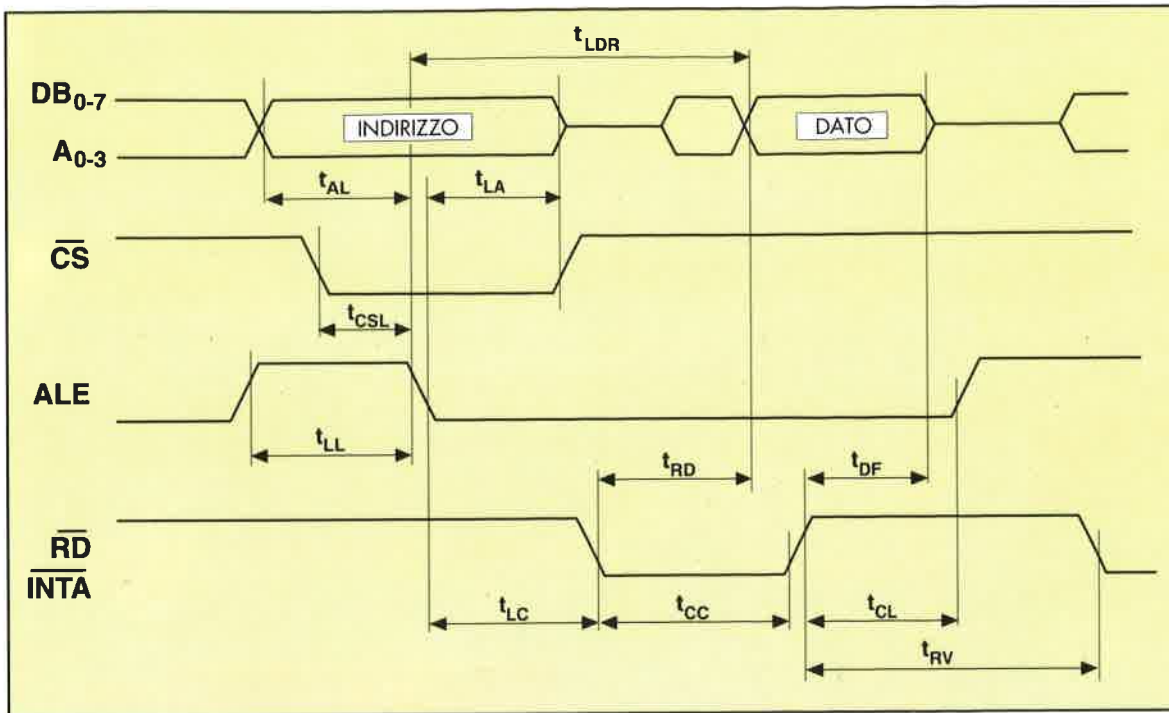


Diagramma temporale di un ciclo di lettura dei dati

cascata a un altro circuito simile oppure ad un controller di interrupt specifico.

Generalmente le funzioni di questo circuito sono tra loro indipendenti, e si devono inizializzare solamente i registri e i bit associati a qualche funzione particolare senza però che si renda necessaria la stessa operazione per tutto il chip. Le sequenze di comando possono avere un qualsiasi ordine, poiché ogni registro è direttamente indirizzabile.

Questa operazione può essere eseguita tramite software o tramite hardware.

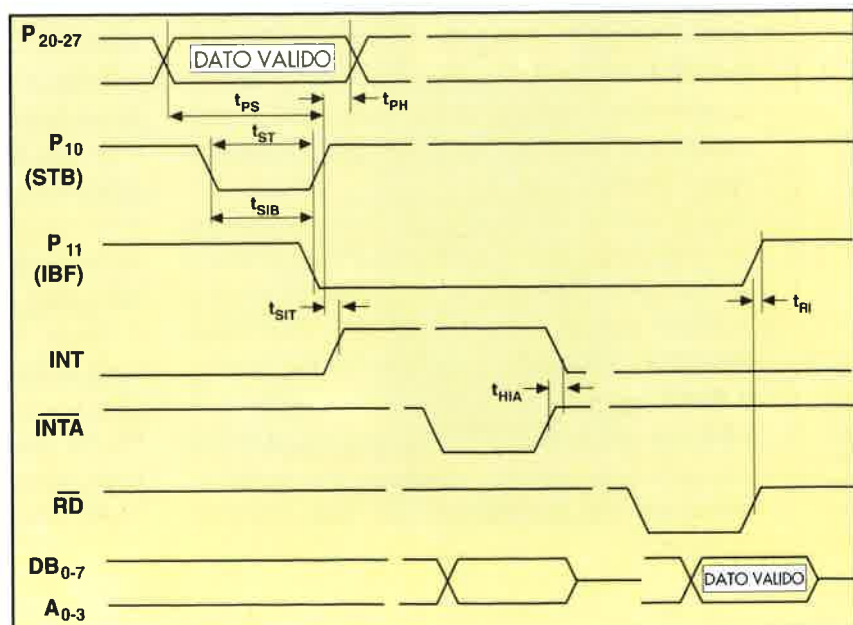
In quest'ultimo caso la sequenza di reset è la seguente: i registri di comando 1, 2 e 3, quello di modo, quello di controllo della porta 1 e quello di variazione vengono impostati automaticamente a 0 per tutti i bit; in questo modo tutte le porte parallele risultano configurate come uscite e i contatori/

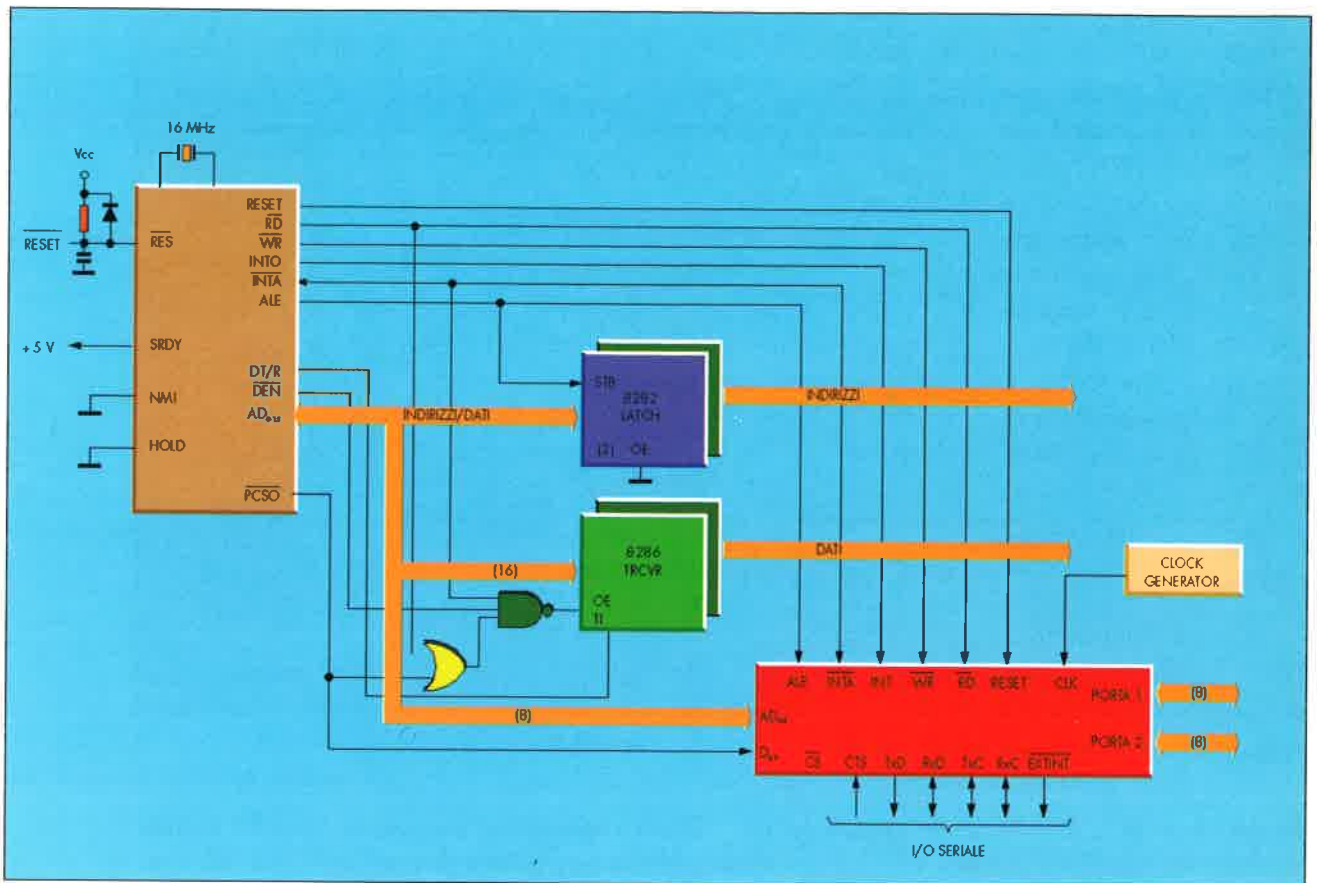
### FUNZIONAMENTO DEL CONTROLLER MULTIFUNZIONE

Per mettere il circuito in condizione di totale operatività è necessario scrivere i comandi nell'ordine con il quale vengono ora elencati: il byte di comando 1, che deve essere sempre caricato per primo, il byte di comando 2, il byte di comando 3, il byte di modo, il controllo della porta 1, e infine l'impostazione degli interrupt.

Il circuito prima di essere inizializzato deve ricevere un reset.

Letture dei dati quando una delle porte si trova impostata come ingresso





Collegamento di un controller multifunzione a un microprocessore tramite latch

temporizzatori come "timer" indipendenti a 8 bit. Tutti i bit del registro di stato sono a 0, tranne quello di trasmissione e quello del buffer di ricezione che sono vuoti.

La maschera degli interrupt, le richieste, e i registri di servizio degli interrupt hanno tutti i loro bit a 0, per cui tutti i livelli di interrupt risultano inibiti.

L'uscita di trasmissione seriale viene posta in stato attivo, e il ricevitore rimane inibito finché non viene abilitato.

Il bit di inizio viene rilevato in accordo con il tempo di campionamento, che nelle condizioni iniziali è sempre al centro della parola. Il ricevitore torna in modalità di ricerca di questo bit se in quell'istante l'ingresso di ricezione dei dati seriali non si trova a livello basso.

Infine, si deve tener presente che un reset non altera in alcun caso i contenuti dei buffer di trasmissione e di ricezione, dei latch intermedi

delle porte parallele e i valori dei contatori/timer.

### COLLEGAMENTI AI MICROPROCESSORI

Il collegamento di un controller a un 8086 viene effettuato direttamente al bus multiplexato degli indirizzi e dei dati.

Se sul bus dati sono presenti dei latch e dei buffer, il circuito deve essere collegato al bus del microprocessore a monte di questi dispositivi. Il controller multifunzione memorizza l'indirizzo internamente sul fronte di discesa del segnale di abilitazione del latch degli indirizzi.

Il blocco degli indirizzi è composto da quattro linee di indirizzi e dal segnale di selezione del chip.

Poiché questo segnale viene memorizzato nel latch, non è necessario mantenere questa linea a livello basso durante il ciclo dell'istruzione.

# LE PERIFERICHE PROGRAMMABILI

Il circuito ausiliario per microprocessore che verrà esaminato di seguito è rappresentato da una periferica di ingresso/uscita che può essere programmata in funzione delle proprie esigenze.

**L**e PPI (Programmable Peripheral Interface) sono state sviluppate per essere utilizzate come periferiche per microprocessori. Sono generalmente dotate di 24 terminali di ingresso e uscita suddivisi in gruppi da 8 bit, ciascuno dei quali viene definito registro.

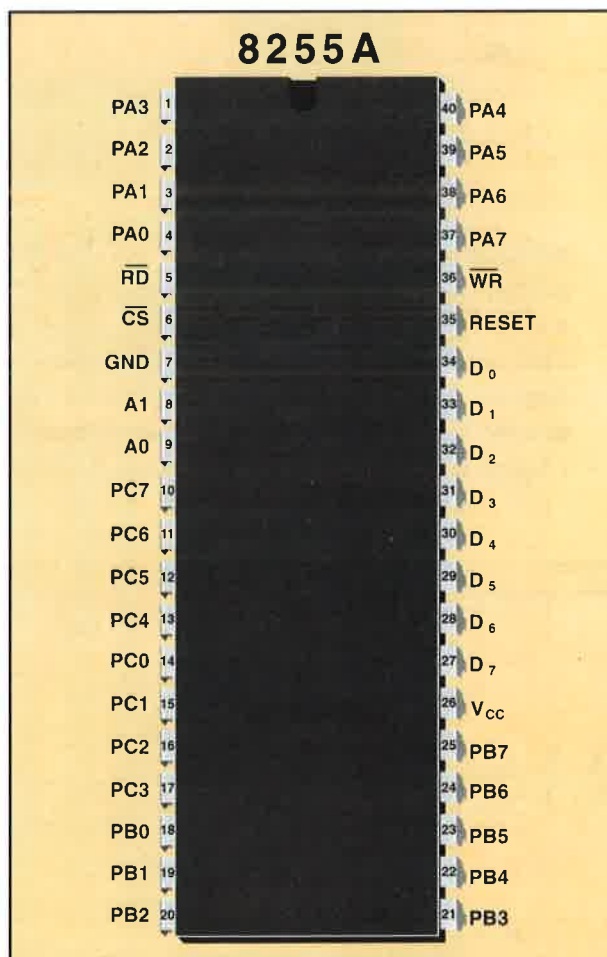
Questo tipo di circuito è in grado di funzionare in diversi modi:

- con ingressi/uscite statiche
- tramite selezione dell'ingresso
- tramite selezione dell'uscita
- con ingressi/uscite bidirezionali selezionate
- con ingresso serie
- con uscita serie
- come contatore/timer.

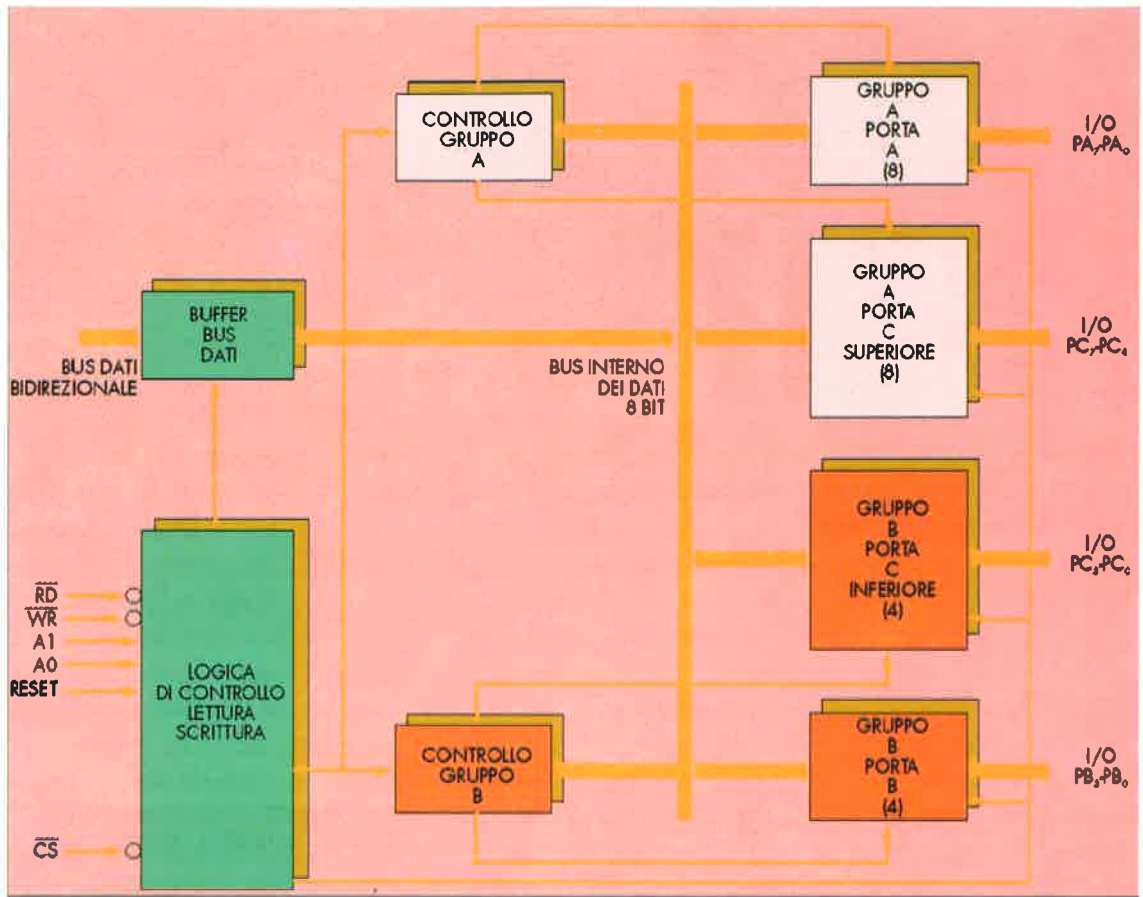
Come si può osservare questi circuiti possono avere diverse applicazioni, e consentono di ridurre il numero degli elementi del progetto semplificando notevolmente l'hardware del sistema.

## STRUTTURA DELLE PPI

Tutti i trasferimenti di informazione e controllo della programmazione tra la periferica programmabile e il microprocessore vengono



Distribuzione dei segnali in una periferica programmabile



Struttura interna di una PPI

realizzati tramite l'amplificatore del bus dati che collega i diversi ingressi/uscite dati del processore e della PPI.

L'accesso alla periferica viene controllato tramite l'ingresso di selezione (Chip Select), mentre l'intervento sui diversi registri è selezionabile tramite i bit di indirizzo. Il segnale di lettura/scrittura

imposta il verso di circolazione dell'informazione tra la PPI e il microprocessore.

Le diverse modalità operative delle PPI possono essere selezionate tramite la parola di modo scritta nel registro corrispondente dal microprocessore. Per impostare la modalità operativa del primo registro si utilizzano tre bit, che consentono le seguenti opzioni di funzionamento:

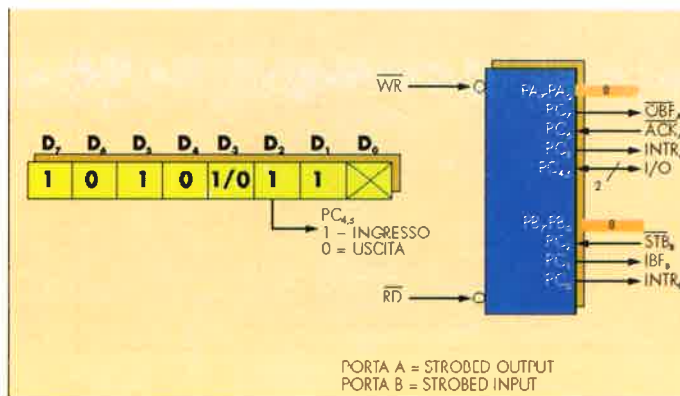
- con ingressi/uscite statiche
- con ingresso selezionato
- con uscita selezionata.
- con ingressi/uscite bidirezionali selezionate.

Con altri tre bit si imposta la modalità operativa del secondo registro, che consente di accedere alle seguenti opzioni:

- con ingressi/uscite statiche
- con ingresso selezionato
- con uscita selezionata
- con ingresso temporizzato serie
- con uscita temporizzata serie.

Per il terzo registro non è necessario indicare la

Configurazione di una periferica con il primo registro impostato come uscite e il secondo come ingressi



modalità operativa, in quanto può funzionare esclusivamente nella modalità *ingressi/uscite statiche*. Tuttavia, il numero di bit disponibili per l'ultimo registro è limitato dalle richieste di terminali dei registri precedenti. Questa condizione si verifica quando per la modalità operativa impostata sono necessari molti segnali di controllo. Per la programmazione dei primi due registri si possono utilizzare anche i terminali del terzo. I bit corrispondenti di quest'ultimo possono essere letti dal microprocessore per conoscere lo stato della parola di modo dei registri.

Per conoscere lo stato del secondo registro nella modalità operativa *serie/temporizzatore*, viene reso disponibile un registro speciale al quale può accedere il microprocessore per la lettura.

Qualsiasi bit di un registro specifico può essere impostato ai livelli logici 0 o 1 tramite il bit di reset. Ciò comporta una certa attenzione nella gestione

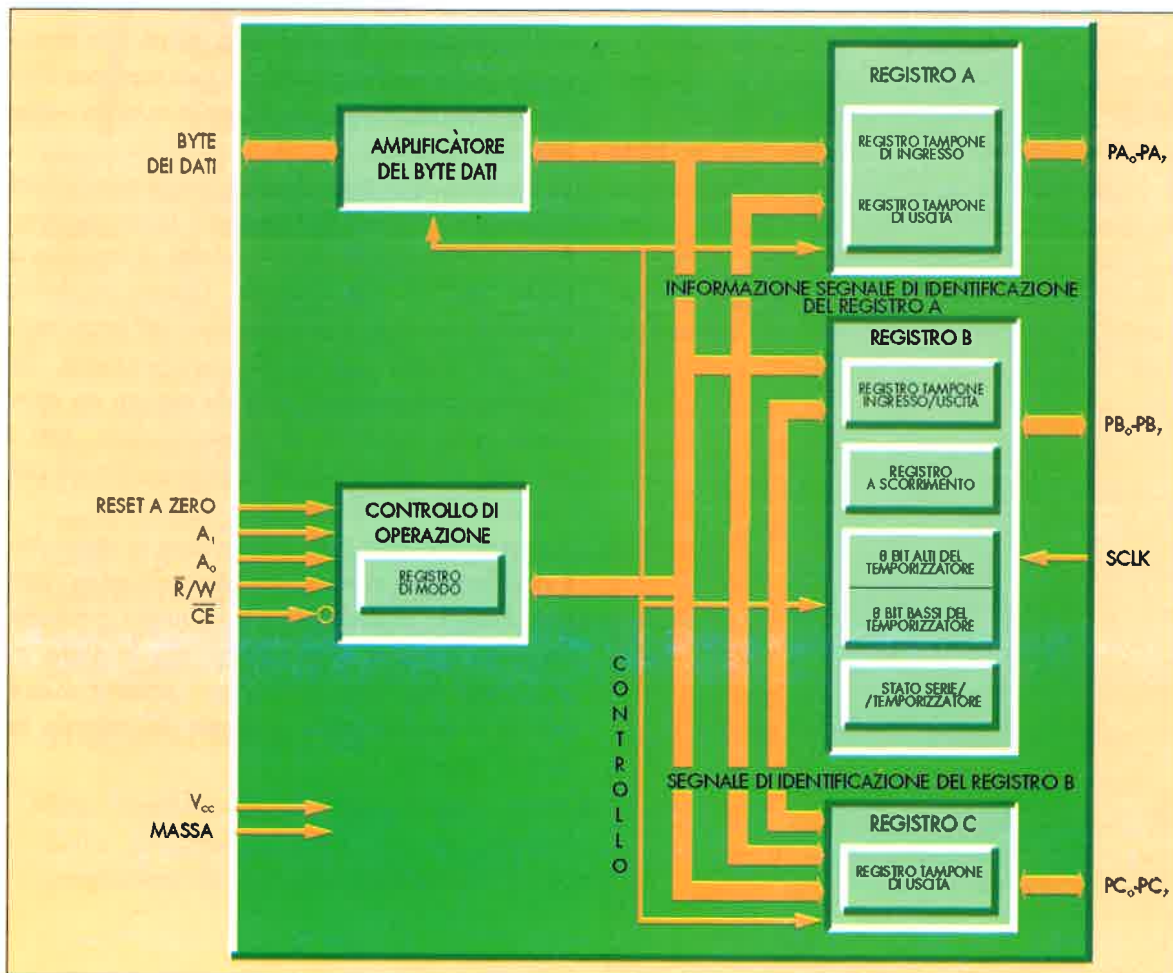
del dispositivo per evitare di perdere i dati introdotti, oppure quelli di stato o di controllo, a causa della possibilità di modificarli con il comando di reset.

Due degli otto bit della parola di selezione indirizzano uno dei tre registri o il registro serie/temporizzatore. Tre bit indirizzano il bit desiderato del registro selezionato, e un bit indica se si tratta di un ordine di reset a 0 oppure a 1.

### MODALITÀ DI FUNZIONAMENTO

La struttura di un terminale di ingresso/uscita statica si basa principalmente su di un registro otturatore. Questo può essere visto come se si trattasse di una uscita di drain aperta, con una resistenza collegata al positivo della tensione. I dati scritti in questo registro otturatore dal microprocessore sono presenti sui terminali di ingres-

Distribuzione dei segnali tra i diversi blocchi che compongono una PPI



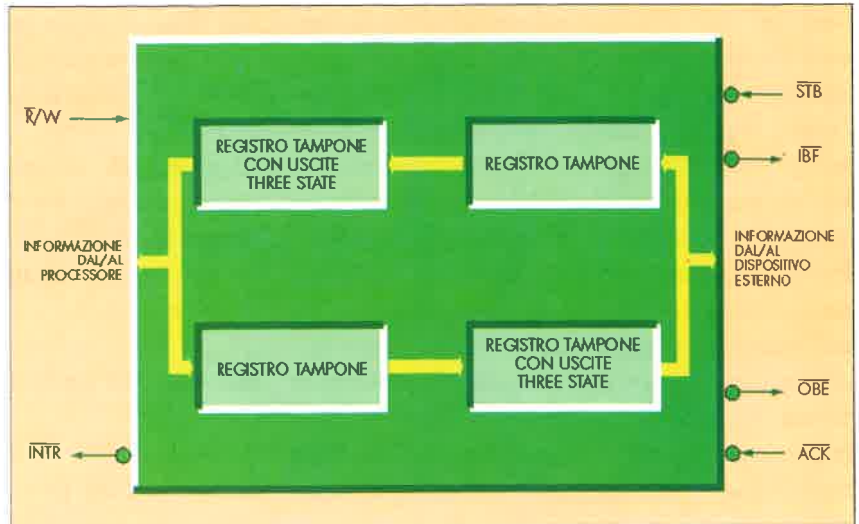
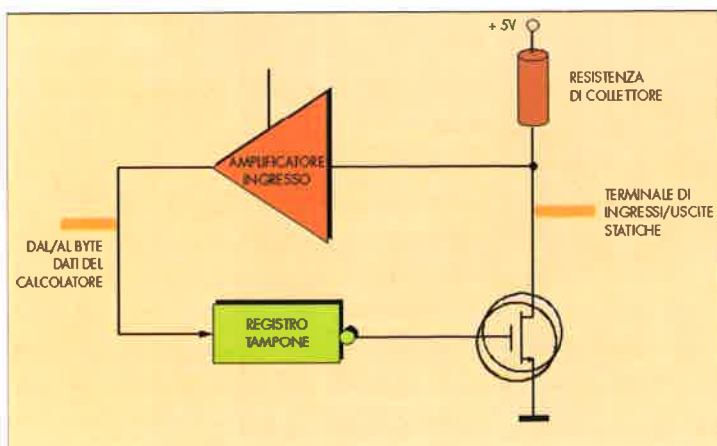
so/uscita, per cui anche il microprocessore stesso può leggere l'informazione memorizzata.

Quando sul terminale degli ingressi/uscite compare un 1 logico, il segnale può essere controllato da un ingresso a livello 0 di un componente esterno. Allo stesso modo, un ingresso a livello 1 in un dispositivo esterno può essere controllato con un bit di uscita che si trovi a livello 0; di conseguenza, il registro otturatore deve essere caricato con un 1 logico prima di eseguire delle operazioni di ingresso.

Gli elementi circuitali interni della periferica programmabile adattano automaticamente i livelli di impedenza degli ingressi e delle uscite per ciascuna operazione, sia di un tipo che dell'altro, e forniscono anche una protezione contro i cortocircuiti del terminale a massa o collegato all'alimentazione.

Ciascuno dei registri può operare nella modalità di *ingressi/uscite statiche*, ed è possibile qualsiasi combinazione dei terminali di ingresso/uscita. Ciascun registro può essere letto o scritto dal microprocessore byte per byte, ed ogni bit può essere impostato a 0 o a 1 tramite i comandi di "set" o "reset".

*La modalità ingressi/uscite statiche è basata su di un registro otturatore*



*Elementi circuitali nella modalità ingressi/uscite bidirezionali*

Se si utilizza un registro per una combinazione di ingressi e uscite, i bit corrispondenti ai terminali di ingresso devono essere collegati in modo da ottenere, tramite una maschera software, una funzione OR con un livello logico 1 quando si scrive una parola da 8 bit nello stesso. Allo stesso modo, una maschera software può separare l'informazione di ingresso e di uscita quando viene letta dal registro.

La modalità operativa *ingressi/uscite selezionate* può essere selezionata solo con il primo registro. È una combinazione delle modalità di ingresso e uscita per un solo segnale. Questa modalità operativa richiede cinque terminali del terzo registro per i suoi segnali di identificazione. Se contemporaneamente il secondo registro sta operando nella modalità di ingresso/uscita, tutti i terminali dell'ultimo registro vengono utilizzati per i segnali di identificazione.

Il microprocessore può determinare lo stato dell'identificazione tramite una lettura del terzo registro. Bisogna considerare che in questa condizione sono presenti due segnali per lo stato di inibizione degli interrupt. Questi possono essere attivati o resettati con i comandi di controllo di questo registro.