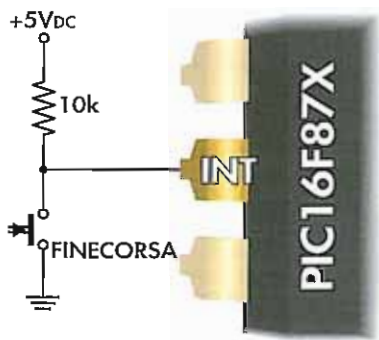


## Cause di Interrupt

Ci sono molte cause che possono provocare una richiesta di interrupt nei PIC16F87X; in generale, quelli che hanno 28 pin hanno 13 cause e quelli che hanno 40 pin 14.

Nel caso in cui si generi una causa di interrupt, la stessa non viene acquisita se i bit di abilitazione che la controllano non sono stati



Chiudendo il contatto del finecorsa si applica un fronte di discesa sul pin RB0/INT.

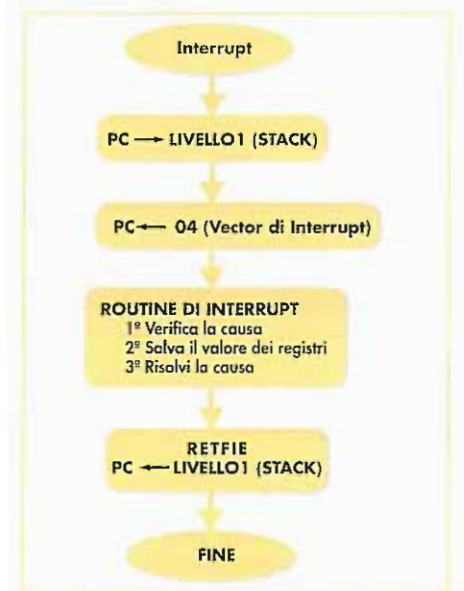
attivati in modo corretto. La causa di interrupt più semplice, e anche la più utilizzata, è l'applicazione di un livello basso, o fronte di discesa, sul pin RB0/INT del PIC. Come sappiamo, un finecorsa è un interruttore meccanico che chiude i suoi contatti quando subisce una leggera pressione; se posizioniamo un finecorsa sulla parte frontale di un microrobot, questo chiuderà i suoi contatti nel caso incontri un ostacolo sulla traiettoria, e applicherà un fronte di discesa sul pin RB0/INT. Nel caso che l'interrupt sia accettato, si procederà alla sequenza delle operazioni che sono mostrate nell'organigramma della figura.

### Le 14 richieste di interrupt

Nei PIC16F87X da 40 pin ci sono 14 possibili cause di interrupt, vengono considerate richieste perché per fare in modo che l'interrupt avvenga davvero è necessario che dispongano di una precisa abilitazione. La maggioranza di queste richieste è originata dai differenti dispositivi e dalle periferiche del microcontroller. Queste richieste sono:

- 1<sup>a</sup>. Attivazione del piedino RB0/INT
- 2<sup>a</sup>. Cambio di stato su uno dei piedini RB7:4 della porta B
- 3<sup>a</sup>. Termine di un'operazione di scrittura nella EEPROM
- 4<sup>a</sup>. Overflow del temporizzatore TMR0
- 5<sup>a</sup>. Overflow del temporizzatore TMR1
- 6<sup>a</sup>. Overflow del temporizzatore TMR2
- 7<sup>a</sup>. Capture/comparazione/PWM

Organigramma della sequenza delle operazioni che avvengono quando si realizza un interrupt.



Organigramma della sequenza delle operazioni che avvengono quando si realizza un interrupt.

- 8<sup>a</sup>. Capture/comparazione/PWM sul modulo CCP1
- 9<sup>a</sup>. Trasferimento sulla Porta Seriale Sincrona
- 10<sup>a</sup>. Collisione del bus sulla Porta Seriale Sincrona

CAUSA	FLAG	ABILITAZIONE
Piedini RB0/INT	INTF	INTE
Cambio di stato su RB7:RB4	RB1F	RB1E
Temporizzatore TMR0	T0IF	T0IE
Temporizzatore TMR1	TMR1IF	TMR1IE
Temporizzatore TMR2	TMR2IF	TMR2IE
Scrittura EEPROM	EEIF	EEIE
Convertitore AD	ADIF	ADIE
Ricevitore USART	RCIF	RCIE
Trasmittitore USART	TXIF	TXIE
Modulo CCP1	CCP1IF	CCP1IE
Modulo CCP2	CCP2IF	CCP2IE
Porta seriale sincrona	SSPIF	SSPIE
Porta parallela slave	PSPIF	PSPIE
Collisione del bus in SSP	BCLIF	BCLIE



Struttura interna dei cinque registri usati negli interrupt.

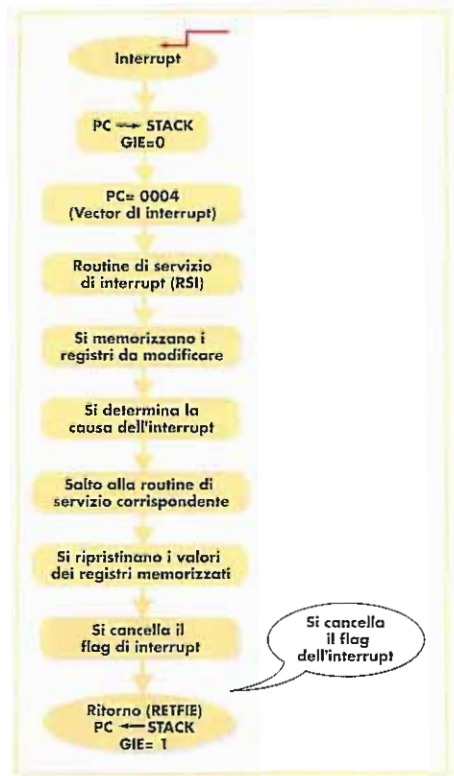
## Indicatori delle richieste di interrupt

Quando si attiva una richiesta di interrupt si pone automaticamente a 1 il suo corrispondente flag o indicatore. Questi bit sono chiamati IF (Interrupt Flag). Oltre ai bit di flag esistono altri di "permesso" per ogni causa di interrupt che sono denominati IE (Interrupt Enable). Inoltre esiste un bit di permesso globale per tutti gli interrupt che deve valere 1 per fare in modo che gli interrupt possano essere attivati. Si tratta del bit GIE, che deve essere

posizionato nel registro INTCON. Infine abbiamo un altro bit di abilitazione relativo ad alcuni interrupt di determinate periferiche che è il PEIE. Nella tabella della figura sono indicati i bit di flag e quelli di permesso per ogni causa di interrupt.

## Registri per la gestione degli interrupt

Per controllare il comportamento degli interrupt dei PIC16F87X esistono cinque registri specifici che contengono i bit di abilitazione e i flag di ognuno di essi.



Organigramma di sviluppo di un interrupt comprensivo della gestione del bit GIE.

INTCON: Registro di Controllo degli Interrupt

PIE1: Registro dei bit di enable 1

PIE2: Registro dei bit di enable 2

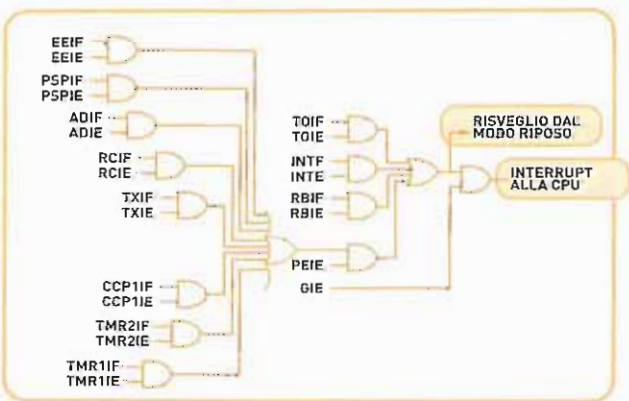
PIR1: Registro dei bit di flag 1

PIR2: Registro dei bit di flag 2

Nella figura è riportata la distribuzione dei bit nei registri di interrupt. I bit che terminano con IF sono flag, quelli che terminano con IE sono di enable. Il bit GIE è il bit di enable globale di tutti gli interrupt e deve valere 1 perché possa essere accettato uno qualsiasi degli interrupt.

Nel registro INTCON esiste anche il registro di enable PEIE, che funziona come una seconda chiave di permesso parziale per le cause di interrupt che non sono contemplate dai bit del registro INTCON.

Nei PIC16F87X da 28 pin non si dispone della 14<sup>a</sup> causa di interrupt, dato che non possiede la Porta Parallela Slave. Il PIC16F870 possiede solo 10 cause di interrupt, dato che non dispone della Porta Parallela Slave, della Porta Seriale Sincrona e ha solo un modulo CCP1.



Logica utilizzata per la concessione di interrupt basata sui valori dei bit di flag e quelli di enable.