

Il temporizzatore TMR1

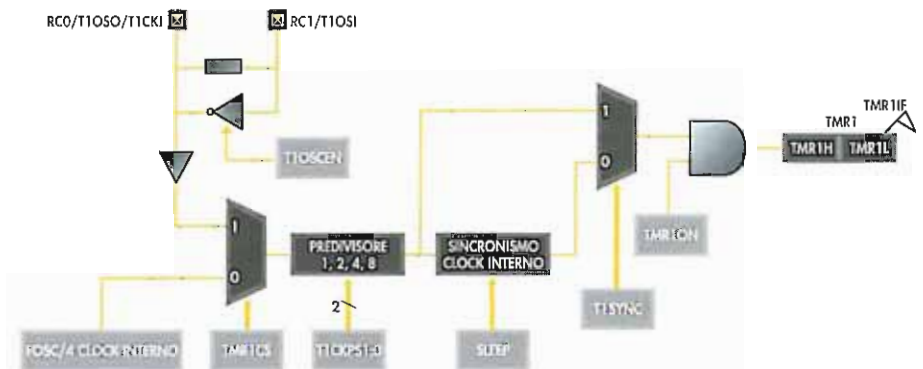
Si tratta dell'unico temporizzatore a 16 bit dei PIC16F87X, questo suppone l'utilizzo di una coppia di registri da 8 bit concatenati per formarne uno da 16, dove verrà memorizzato il valore del conteggio in ogni istante. Sono i registri TMR1H:TMR1L.

Il contatore evolve da 0000 Hex sino a FFFF Hex, istante nel quale si attiva il flag di overflow TMR1IF e si ritorna al valore iniziale. Quando avviene un overflow si può generare un interrupt se i bit di abilitazione globale e il bit relativo valgono $GIE = PEIE = TMR1IE = 1$. Il contenuto di TMR1H:TMR1L può essere letto e scritto. Gli impulsi di clock possono essere interni ($Fosc/4$) o esterni. Nello schema della figura è riportata la struttura interna del temporizzatore TMR1.

Il TMR1 può lavorare in tre modi:

- 1°. Come temporizzatore.
- 2°. Come contatore sincrono.
- 3°. Come contatore asincrono.

Quando il TMR1 lavora come temporizzatore, il valore contenuto nella parola dei



Schema a blocchi del temporizzatore TMR1.

registri concatenati TMR1H:TMR1L si incrementa a ogni ciclo d'istruzione ($Fosc/4$).

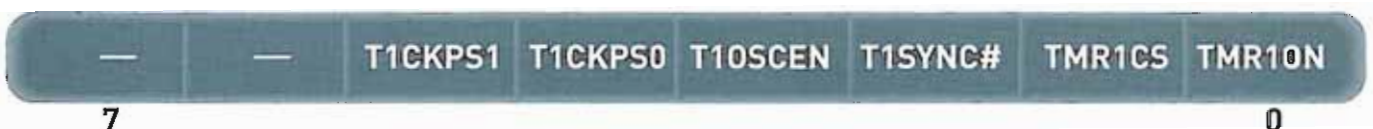
In modo contatore, gli impulsi di clock possono essere ricevuti da un clock esterno collegato alle linee RC0 e RC1 della Porta C a cui si applicano dei fronti di salita. Gli impulsi inoltre possono essere applicati direttamente al piedino RC0.

Registro di controllo del TMR1

Il comportamento di questo temporizzatore è pilotato dal valore con cui sono programmati i bit del registro T1CON, che occupa

l'indirizzo 10 Hex della memoria RAM e la cui distribuzione è riportata nella figura. Il bit TMR1ON serve per abilitare o disabilitare il funzionamento del temporizzatore. Quando TMR1ON è uguale a 0 il temporizzatore non funziona. Il bit TMR1CS seleziona la sorgente degli impulsi per il conteggio. Se vale 0 viene scelto il clock interno ($Fosc/4$) e se vale 1 si sceglie il clock esterno, applicato tramite i piedini RC1 e RC0. Quando gli impulsi arrivano dall'esterno è necessario che il bit T10SCEN sia uguale a 1, nel qual caso i piedini RC0/T10SO/T1CKI e RC1/T10SI/CCP2 svolgono la funzione di ingresso per l'oscillatore esterno. Se

T1CON



Distribuzione dei bit del registro T1CON destinato al TMR1.



T10SCEN = 0 gli impulsi esterni si applicano al piedino RC0/T10SO/T1CKI. In entrambi i casi TMR1 funziona come contatore di eventi esterni e i bit del registro TRISC sono senza significato. Fra i piedini RC1 e RC0 si può montare un quarzo con una frequenza inferiore a 200 KHz.

In queste condizioni, quando si entra in modo riposo con SLEEP, il TMR1 continua a contare ricevendo gli impulsi e contando il tempo. Il Predivisore di Frequenza (Prescaler) è un semplice divisore della frequenza degli impulsi che si applicano al TMR1. Ha quattro range di lavoro: 1, 2, 4 e 8, che si selezionano con i bit T1CKPS1:0, come indicato nella tabella della figura. Il bit T1SYNC# del registro T1CON determina se avviene o meno la sincronizzazione degli impulsi esterni con quella del clock interno, a seconda se vale 0 o 1, rispettivamente. Quando il TMR1 va in overflow e passa dal valore FFFF Hex al valore 0000 Hex, il flag TMR1IF passa a 1

T1CKPS1	T1CKPS0	RANGE DEL PREDIVISORE
0	0	1 : 1
0	1	1 : 2
1	0	1 : 4
1	1	1 : 8

Selezione del range nel Predivisore di Frequenza del TMR1.

automaticamente. Questo bit è quello meno significativo del registro PIR1. Anche il bit di abilitazione dell'interrupt del TMR1, che è il TMR1IE, occupa la posizione meno significativa del registro PIE1. Quando il modulo di Capture-Compare-PWM CCP è configurato come "special event trigger", è possibile utilizzare il suo segnale per resettare il TMR1. Per sfruttare questa caratteristica il TMR1 deve essere programmato per funzionare

in modo temporizzatore o contatore sincrono.

Nella tabella della figura è riportato un riassunto dei registri più importanti che hanno il compito di regolare il comportamento del TMR1, con la nomenclatura dei loro bit, i loro indirizzi e lo stato che assumono dopo un Reset prodotto da diverse condizioni. Il valore "x" significa indeterminato, "u" che rimane invariato e quelli non implementati (-) si leggono come 0.

INDIRIZZO	NOME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	VALORE IN POR BOR	VALORE NEL RESTO DEI RESET
0Bhh, 8Bh, 10B, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
0Eh	TMR1L	Registro di carico del byte meno significativo del registro a 16 bit TMR1								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	Registro di carico del byte più significativo del registro di 16 bit TMR1								xxxx xxxx	uuuu uuuu
10h	T1CON	--	--	T1CKPS1	T1CKPS0	T10SCEN	T1SYNC#	TMR1CS	TMR10N	-00 0000	-uu uuuu

Registri che intervengono nella gestione del TMR1.

