



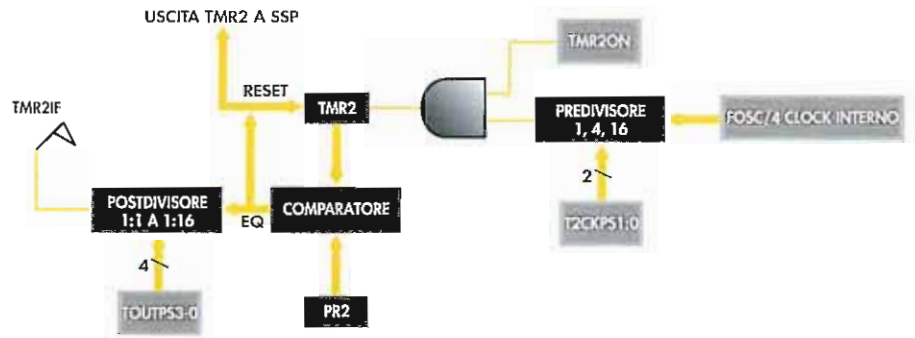
Il temporizzatore TMR2

Si tratta di un contatore ascendente da otto bit che può essere letto e scritto. Occupa l'indirizzo 11 Hex del banco 0 nella memoria dei dati RAM e ha assegnate alcune funzioni speciali per implementare il funzionamento della porta Seriale Sincrona (SSP) e per i moduli di Capture e Compare CCP.

Il segnale di clock di TMR2 è quello interno del processore $F_{osc}/4$ e passa per un predivisor di frequenza con range 1:1, 1:4 e 1:16. L'uscita del TMR2 passa ancora per un postdivisor di frequenza con range consecutivi da 1:1 a 1:16. Nella figura in alto a destra possiamo vedere uno schema a blocchi della struttura interna del TMR2.

Come possiamo vedere dallo schema, abbiamo un bit di controllo TMR2ON che permette di scollegare il TMR2 e fermare il suo funzionamento quando non è necessario, per abbassare in questo modo il consumo di energia.

Il comportamento



Schema della struttura interna del TMR2.

del TMR2 è controllato dal valore dei bit del registro di controllo T2CON, la cui distribuzione interna è riportata nella figura in basso. Occupa l'indirizzo 12 Hex del banco 0 della memoria RAM. Il bit TMR2ON permette il funzionamento del TMR2 quando vale 1 e lo inibisce se vale 0.

I due bit meno significativi del registro T2CON selezionano il range con cui lavora il predivisor di frequenza in accordo con la tabella della figura della pagina seguente. L'uscita del post divisor controlla l'attivazione del flag TMR2IF, un bit del registro PIR1, che abbiamo

già visto. Questo bit si pone automaticamente a 1 quando il TMR2 va in overflow. Quando avviene un Reset il valore del TMR2 passa a 0. Il TMR2 ha associato un registro di periodo PR2 che occupa l'indirizzo 92 Hex della RAM. Se il valore del TMR2 coincide con quello del PR2 viene generato un impulso EQ e si resetta il TMR2. Il postdivisor può dividere questi impulsi per EQ prima dell'attivazione del flag TMR2IF.

L'interrupt del TMR2

L'overflow del TMR2 può provocare, se lo si desidera, una

T2CON



Struttura interna del registro T2CON per la gestione del TMR2.

I favolosi PIC16F87X



T2CKPS1	T2CKPS0	RANGE DEL PREDIVISORE
0	0	1 : 1
0	1	1 : 4
1	X	1 : 16

Selezione del range di lavoro del predivisore di frequenza.

TOUTPS3-TOUTPS0	RANGE DEL POSTDIVISORE
0000	1 : 1
0001	1 : 2
0010	1 : 3
---	---
1111	1 : 16

Questa tabella indica i valori che devono assumere i quattro bit più significativi del T2CON per selezionare il range di lavoro del postdivisore.

richiesta di interrupt al processore, che permette di scatenare immediatamente le azioni di controllo previste in questo caso. Per permettere l'interrupt del TMR2 bisogna impostare a 1 il bit di abilitazione specifico che è il TMR2IE, però, dato che questo temporizzatore è una periferica ausiliaria, è necessario impostare a 1 anche il bit di abilitazione per questo tipo di periferiche che è il PEIE.

Ovviamente deve essere anche abilitato il bit GIE, che è quello di abilitazione globale di tutti gli interrupt; quindi se TMR2IE = PEIE = GIE = 1, quando si attiva il flag TMR2IF = 1, avviene un interrupt. Nella figura possiamo vedere la tabella che raccoglie gli indirizzi, i bit e il loro stato, dopo i vari tipi di reset dei registri che governano il TMR2.

INDIRIZZO	NOME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	VALORE IN POR BOR	VALORE NEL RESET DEI RESET
0Bhh, 8Bh, 10B, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
11h	TMR2	Registro del modulo TMR2								xxxx xxxx	uuuu uuuu
12h	T2CON	--	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	R2CKPS1	T2CKPS0	xxxx xxxx	uuuu uuuu
92h	PR2	Registro di periodo del TMR2								-00 0000	-uu uuuu

Struttura, nomenclatura e stato, dopo diversi tipi di reset dei registri che gestiscono il TMR2.

