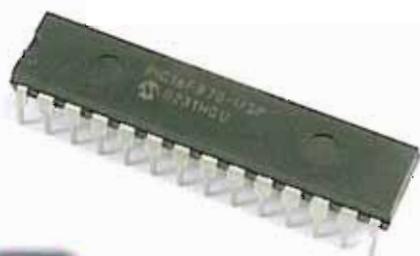


## Gestione delle memorie EEPROM e FLASH

Nel capitolo precedente abbiamo visto le caratteristiche degli accessi in lettura e in scrittura alla memoria EEPROM dei dati. Poiché la capacità massima di questo tipo di memoria nei PIC16F87X è di 256 byte, la lunghezza dell'indirizzo e quella del dato possono essere contenuti perfettamente nel registro da 8 bit, utilizzando EEADR per l'indirizzo e per il dato EEDATA. Una caratteristica molto importante di questa sub-famiglia di microcontroller risiede nella possibilità di realizzare accessi di lettura e scrittura alle celle della memoria di codice FLASH, in un modo molto simile a quello che abbiamo studiato per la EEPROM. Questo significa che durante l'esecuzione di un programma si possono generare dinamicamente informazioni per scrivere la memoria FLASH senza dover utilizzare uno scrittore esterno; si apre così la via a due possibilità molto interessanti:

1<sup>a</sup>. La propria applicazione si può riprogrammare



Il PIC16F870 di Pathfinder ha una memoria FLASH con capacità di 2K x 14 bit.



Concatenazione delle coppie di registri per poter contenere l'indirizzo e il dato delle celle della memoria FLASH.

secondo le condizioni esterne. 2<sup>a</sup>. Si può ampliare la memoria dei dati non volatili occupando indirizzi della memoria FLASH.

La capacità massima della memoria FLASH nei PIC16F87X è di 8K indirizzi da 14 bit ognuno. Per codificare 8K indirizzi sono necessari 13 bit, quindi il registro EEADR da 8 bit non è sufficiente, ed è necessaria la collaborazione del registro EEADRH per contenere la dimensione dell'indirizzo a cui accedere.

La stessa cosa succede per il contenuto, che ha una lunghezza

di 14 bit, e quindi non sarà sufficiente EEDATA. Bisognerà effettuare una concatenazione con il registro EEDATH per contenere questa lunghezza, inserendo in quest'ultimo registro gli ultimi 6 bit più significativi, come mostrato nella figura. Dato che nel PIC 16F870 la capacità della memoria FLASH è di 2K x14, per contenere completamente la lunghezza dell'indirizzo, che è di 11 bit, si utilizza il registro EEADR per gli 8 bit meno significativi, e i 3 bit meno significativi del registro EEADRH per i restanti 3 bit più significativi dell'indirizzo.

PROGRAMMA DI LETTURA DELLA MEMORIA FLASH		
BSF	STATUS,RP1	; Si seleziona il banco 2 della RAM
BCF	STATUS,RP0	
MOVF	INDIRIZZO_H,W	; Si carica la parte alta dell'indirizzo in EEADRH
MOVWF	EEADRH	
MOVF	INDIRIZZO_L,W	; Si carica la parte bassa dell'indirizzo in EEADR
BSF	STATUS,RP0	; Si seleziona il banco 3
BSF	EECON1,EEPGD	; Si seleziona l'accesso alla FLASH
BSF	EECON1,RD	; Ordine di lettura
NOP		; Si attendono 3 cicli prima di leggere il dato, e
NOP		; si ignora qualsiasi istruzione
BCF	STATUS,RP0	; Selezione del banco 2
MOVF	EEDATA,W	; Si acquisisce la parte bassa del dato letto
MOVWF	DATO_L	
MOVF	EEDATAH,W	; Si raccoglie la parte alta del dato letto
MOVWF	DATO_H	

## Letture e scrittura della memoria FLASH

Il controllo delle operazioni di lettura e scrittura della memoria FLASH utilizza i registri EECON1 ed EECON2, in egual modo che nella memoria EEPROM. In questo caso il bit più significativo di EECON1 deve valere EEPGD = 1 per selezionare l'accesso alla memoria FLASH.

I restanti bit di questo registro, si comportano come nel caso della memoria EEPROM. Vi proponiamo due programmi che chiariscono la gestione delle istruzioni utilizzate per queste operazioni. Osservate che per iniziare le operazioni di lettura e scrittura, bisogna porre a 1 i bit RD e WR di EECON1 rispettivamente. Questi bit non si possono cancellare, poiché sarà il microprocessore stesso a riportarli a zero al termine della sequenza di accesso alla memoria. Per il processo di scrittura della memoria FLASH, inoltre, si carica il "registro fantasma" EECON2 con i valori 55 Hex e AA Hex come misura di sicurezza.

```

PROGRAMMA DI SCRITTURA DELLA MEMORIA FLASH
BSF STATUS,RP1 ; Si seleziona il banco 2 della RAM
BCF STATUS,RP0
MOVF INDIRIZZO_H,W ; Si carica la parte alta dell'indirizzo in EEADRH
MOVWF EEADRH
MOVE INDIRIZZO_L,W ; Si carica la parte bassa dell'indirizzo in EEADR
MOVWF EEADR
MOVF DATO_H,W ; Si carica la parte alta del dato da scrivere
MOVWF EEDATAH
MOVF DATO_L,W ; Si carica la parte bassa del dato da scrivere
MOVWF EEDATA
BSF STATUS,RP0 ; Selezione del banco 3
BSF EECON1,EEPGD ; Selezione della FLASH per l'accesso
BSF EECON1,WREN ; Abilitazione alla scrittura
BCF INTCON,GIE ; Disabilito tutti gli interrupt
MOVLW 55 H ; Si carica 55 H e poi AAH in EECON2
MOVWF EECON2
MOVLW AA H
MOVWF EECON2
BSF EECON1,WR ; Ordine di inizio di scrittura
NOP ; Si ignorano queste due istruzioni
NOP
BSF INTCON,GIE ; Si abilitano gli interrupt
BCF EECON1,WREN ; Si disabilita la scrittura di nuovi dati.
    
```

CONFIGURAZIONE DI BIT			CELLE DELLA FLASH	LETTURA INTERNA	SCRITTURA INTERNA	LETTURA ICSF	LETTURA ICSP
CP1	CP0	WRT					
0	0	X	Tutta la memoria di programma	Si	No	No	No
0	1	0	Aree non protette	Si	No	Si	No
0	1	0	Aree protette	Si	No	No	No
0	1	1	Aree non protette	Si	Si	Si	No
0	1	1	Aree protette	Si	No	No	No
1	0	0	Aree non protette	Si	No	Si	No
1	0	0	Aree protette	Si	No	No	No
1	0	1	Aree non protette	Si	Si	Si	No
1	0	1	Aree protette	Si	No	No	No
1	1	0	Tutta la memoria di programma	Si	No	Si	Si
1	1	1	Tutta la memoria di programma	Si	Si	Si	Si

## Protezioni per la scrittura e la lettura nella memoria FLASH

Combinando i possibili valori del bit WR e dei bit CP1 e CP0 di protezione del codice situati nella parola di configurazione, si ottengono diverse alternative per proteggere la memoria FLASH durante le operazioni di lettura e scrittura, come si può vedere nella tabella. Infine riportiamo una tabella in cui sono raccolte, in forma riassuntiva, le principali caratteristiche che intervengono nel controllo degli accessi alle memorie FLASH ed EEPROM.

Tabella con diverse opzioni per proteggere la memoria FLASH in lettura e scrittura.

INDIRIZZO	NOME	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0	VALORE IN POR, BOR	VALORE NEL RESET DEI RESET
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
10Dh	EEADR	EEPROM registro degli indirizzi								xxxx xxxx	uuuu uuuu
10Fh	EEADRH	—	—	—	—	—	EEPROM indirizzo alto			xxxx xxxx	uuuu uuuu
10Ch	EEDATA	EEPROM registro dei dati								xxxx xxxx	uuuu uuuu
10Eh	EEDATH	—	—	EEPROM dato alto				xxxx xxxx	uuuu uuuu		
18Ch	EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	x--- u000
18Dh	EECON2	EEPROM registro di controllo non implementato									
8Dh	PIE2	—	—	—	EEIE	—	—	—	—	---0 ---	---0 ---
0Dh	PIR2	—	—	—	EEIF	—	—	—	—	---0 ---	---0 ---

Indirizzi e struttura dei registri che controllano gli accessi alla EEPROM e alla memoria FLASH.