

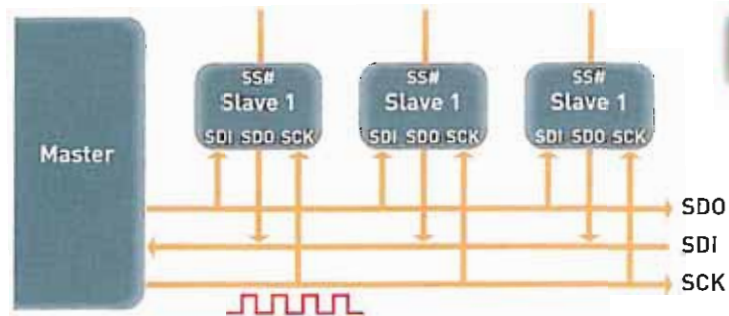
Il modo SPI nella comunicazione seriale sincrona

Questo modo permette di comunicare fra diversi elementi utilizzando una trasmissione seriale sincrona, supportata da tre linee sotto il formato "master-slave", in cui esiste sempre un elemento che funziona come master, generando gli impulsi di clock per la sincronizzazione nell'invio e nella ricezione dei bit in serie. Queste linee sono:

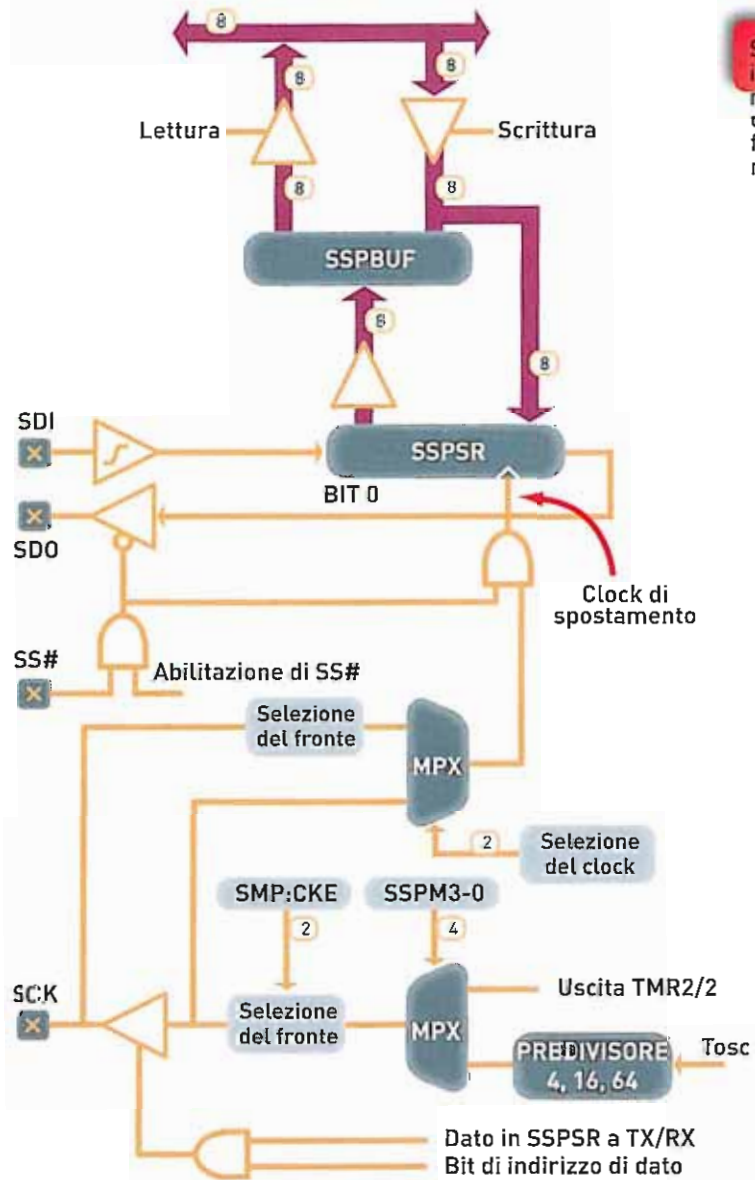
- **SDO**: Uscita dei dati seriali.
- **SDI**: Ingresso dei dati seriali.
- **SCK**: Segnale di clock per la sincronizzazione fra l'emettitore e il ricevitore.

Esiste inoltre, un quarto segnale aggiunto denominato **SS#** (Selezione dello Slave) che serve per attivare lo slave con cui il master deve stabilire una comunicazione. Come possiamo vedere nella figura le linee SDI e SDO del master sono invertite negli slave e il segnale di clock è sempre generato dal master.

Molte famiglie di PIC, come la PIC16F87X, dispongono al proprio interno del supporto per lavorare in modo SPI. A questo scopo alcune linee della porta A e della porta C, che sono multifunzione, hanno assegnate le funzioni dei segnali necessari per la comunicazione: RA5/SS#, RC3/SDO, RC4/SDI e RC5/SCK. In questo modo è facilmente possibile ampliare le risorse del microcontroller (memoria, CAD, ecc.), utilizzando queste linee per adattare i dispositivi esterni che supportano lo stesso protocollo.



Struttura di un sistema di comunicazione seriale sincrona in modo SPI.



Struttura interna del modulo MSSP quando funziona in modo SPI.



Funzionamento del modo SPI

La linea SCK esce sempre dal master ed è ricevuta dagli slave.

Una delle caratteristiche principali di questa linea è il suo stato logico, che deve corrispondere con quello di inattività. Un altro dato importante nel modo SPI è il momento in cui si campiona l'informazione, che può essere al centro dell'impulso di clock o al termine del medesimo. Inoltre bisogna stabilire il fronte attivo di SCK, il range di lavoro del clock nel modo master e l'assegnazione del modo slave a un elemento quando funziona come tale. Nella figura della pagina precedente è riportato uno schema dei dispositivi fondamentali che controllano l'interscambio di informazioni in modo SPI.

Programmazione del modo SPI

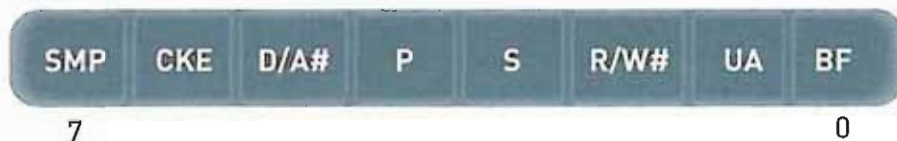
Per stabilire tutte le caratteristiche che determinano il comportamento del modulo MSSP in modo SPI nei microcontroller PIC che ne dispongono, si utilizzano due registri specifici della memoria RAM: SSPSTAT e SSPCON.

Il primo occupa l'indirizzo 94 H, e tre dei suoi bit, la cui posizione è riportata nella figura in alto, intervengono direttamente nel funzionamento del modo SPI.

SMP: Se lavorando in modo master SMP=1 il dato d'ingresso si campiona al termine dell'impulso di clock. Se SMP=0 si campiona al centro del medesimo. In modo slave questo bit non ha significato e vale sempre 0.

CKE: La sua funzione dipende dal bit CKP del registro SSPCON.

Registro SSPSTAT



Distribuzione dei bit del registro SSPSTAT.

Registro SSPCON



Struttura interna del registro SSPCON.

Quando CKP=0 e CKE=1 significa che lo stato d'inattività del segnale di clock è quello basso, e il dato si trasmette sul fronte di salita. Se CKE=0 si trasmette sul fronte di discesa.

Quando CKP=1, il che suppone che lo stato d'inattività del segnale di clock sia quello alto, e CKE=1, il dato si trasmette sul fronte di discesa di SCK e se CKE=0 su quello di salita.

BE: Quando vale 1 significa che il registro SSPBUF è pieno. Il registro di controllo SSPCON occupa l'indirizzo 14 H della memoria RAM e serve per programmare il modulo MSSP nei modi SPI e I2C. Nella figura è riportata la struttura interna. I quattro bit meno significativi di SSPCON (SSPM3-0) stabiliscono il modo lavoro del modulo MSSP secondo la seguente codifica:

SSPM3-0

- 0000: Modo master SPI a $F_{osc}/4$
- 0001: Modo master SPI con $F_{osc}/16$
- 0010: Modo master SPI con $F_{osc}/64$
- 0011: Modo master SPI con clock uguale all'uscita del TMR2/2
- 0100: Modo slave SPI con clock in SCK e SS# a livello basso
- 0101: Modo slave SPI con clock in SCK e SS# libero

per utilizzo come I/O
 0110: Modo slave I2C con indirizzo da 7 bit
 0111: Modo slave I2C con indirizzo da 10 bit
 1000: Modo master I2C con clock $F_{osc}/4 * (SSPAD + 1)$
 1011: Modo master I2C controllato da firmware
 1110: Modo master I2C controllato da firmware con indirizzo da 7 bit e interrupt attivo
 1111: Modo master I2C controllato da firmware con indirizzo da 10 bit e interrupt attivo.
 Se il bit CKP vale 1, indica che lo stato d'inattività del segnale di clock è quello alto e se vale 0 il contrario. SSPEN serve per l'attivazione del modulo MSSP quando vale 1, mentre se vale 0 le quattro linee che supportano i segnali SDO, SDI, SCK e SS# possono essere utilizzate come I/O. Se il bit SSPOV=1, indica che è stato generato un "superamento" nel registro SSPBUF. Quando WC0L=1, indica che è stata generata una "collisione" consistente nel carico del registro SSPBUF in SSPSR senza che sia avvenuta la lettura dell'informazione contenuta in precedenza.

