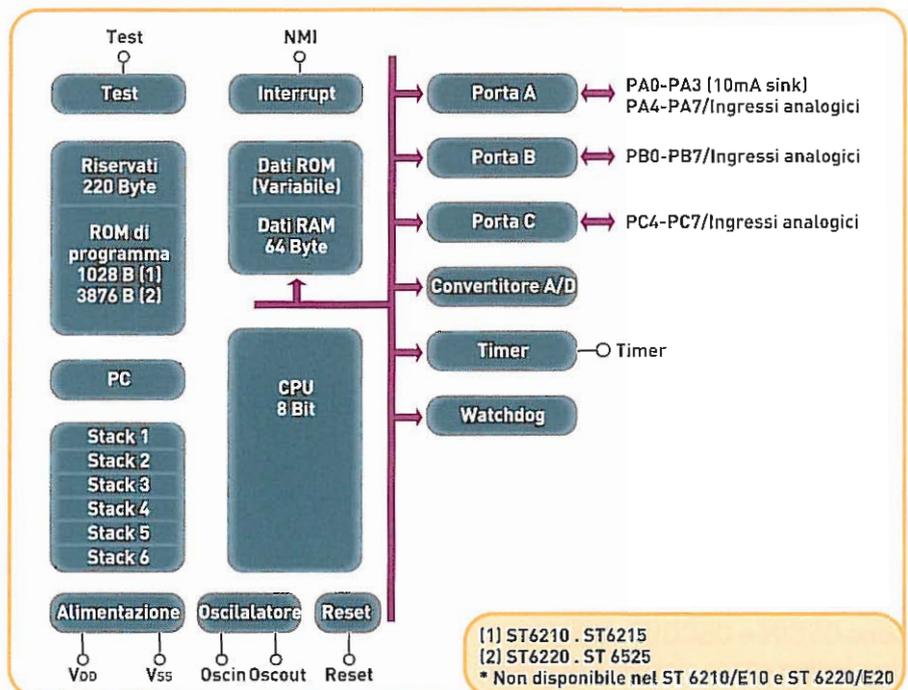


I microcontroller di SGS-Thomson

ST6 è il nome della famiglia di microcontroller costruiti e venduti da SGS-Thomson, per lo sviluppo di applicazioni a medio livello di complessità e basso costo. Sono basati su di una CPU da 8 bit, affiancata da una combinazione di macrocelle che contengono diversi tipi di memorie e di periferiche. Esistono diverse subfamiglie orientate ai diversi settori del mercato, e fra loro è mantenuta la compatibilità a livello software; all'interno della famiglia ST6 abbiamo scelto la subfamiglia ST62 per le sue eccellenti prestazioni, adatte alla microrobotica. Nella tabella sono riportati i primi modelli costruiti.



Architettura interna

La differenza fra i diversi modelli della famiglia ST6 risiede nella capacità della memoria, nel numero delle linee di I/O e nella quantità di periferiche integrate all'interno del chip come rappresentato nello schema della figura. Lo schema del nucleo del processore a cui corrispondono i componenti della subfamiglia ST62 è rappresentato nella figura, dove sono evidenziati i collegamenti fra la ALU, il PC (Program Counter) e il registro dei Flag, con le memorie e il controller.

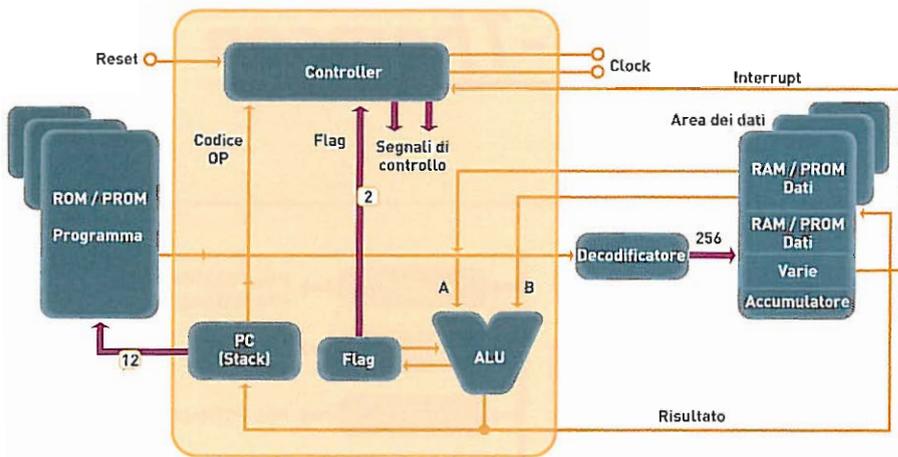
Piedinatura

Nella figura allegata è riportata la piedinatura dei modelli della

Schema a blocchi dell'architettura interna dei microcontroller della famiglia ST6.

MODELLO	ROM/ EPROM (KBYTE)	RAM (BYTE)	EEPROM (BYTE)	I/O	I/O ALTA CORRENTE	CANALI A/D	INTERRUPT ESTERNI
ST6210	2K	64	-	12	4	8	13
ST6211	2K	64	-	12	4	-	13
ST6215	2K	64	-	20	4	16	21
ST6216	2K	64	-	20	4	-	21
ST6220	2K	64	-	12	4	8	13
ST6221	2K	64	-	12	4	-	13
ST6225	2K	64	-	20	4	16	21
ST6226	2K	64	-	20	4	-	21
ST6231	2K	64	-	15	-	-	3
ST6240	2K	216	128	16	4	12	17
ST6245	2K	140	64	11	4	7	11
ST6292	2K	64	48	21	8	-	21
ST6293	2K	64	48	21	8	-	21
ST6294	2K	128	128	21	8	13	21

Tabella con i primi modelli della subfamiglia ST62 e loro caratteristiche.



Collegamenti degli elementi principali del processore della subfamiglia ST62.

subfamiglia ST62 che corrispondono al contenitore DIP da 20 e 28 pin. I piedini dell'alimentazione sono Vdd e Vss.

Quelli che determinano la frequenza dell'oscillatore interno sono OSCIN e OSCOUT. Abbiamo un piedino per la richiesta di Reset, un altro per la richiesta di interrupt non mascherabile (NMI), un altro per l'ingresso degli impulsi di clock al temporizzatore e infine le linee di I/O delle porte A, B e C.

nella cella immediatamente inferiore e il contenuto del PC viene scritto nella prima cella dello stack.

La zona dedicata alla memoria dei dati è composta da 256 indirizzi, che si dividono in un blocco di sola lettura da 64 byte per i dati e le costanti, 60 byte per le variabili, i dati temporali, i registri di lavoro (X, Y, V, W e A), un registro a finestra che fa riferimento a una zona da 64 byte, e i registri che controllano le periferiche.

b7	b0	b7	b0
000H	Non implementato	0000H	Non implementato
03FH		07FFH	
040H	Finestra dei dati ROM 64 byte	0800H	Riservato
07FH	X	087FH	
080H	Y	0880H	ROM di programma dell'utente 1828 byte
0B2H	V		
0B3H	W	0F9FH	
0B4H	RAM dei dati 60 byte	0FA0H	Riservato
0BFH	Dati porta A	0FEFH	
0C0H	Dati porta B	0FF0H	Vector 4
0C1H	Dati porta C	0FF1H	Interrupt A/D
0C2H	Riservato	0FF2H	Vector 3
0C3H	Indirizzo porta A	0FF3H	Interrupt timer
0C4H	Indirizzo porta B	0FF4H	Vector 2
0C5H	Indirizzo porta C	0FF5H	Interrupt PB e PC
0C6H	Riservato	0FF6H	Vector 1
0C7H	Opzioni di interrupt	0FF7H	Interrupt PA
0C8H	Finestra dei dati ROM	0FF8H	Riservato
0CAH	Riservato	0FFBH	Vector 0
0CBH		0FFCH	NMI
0CCH	Opzioni porta A	0FFDH	Vector RESET
0CDH	Opzioni porta B		
0CEH	Opzioni porta C		
0CFH	Riservato		
0D0H	Dati del A/D		
0D1H	Controllo del A/D		
0D2H	Prescaler del timer		
0D3H	Contatore del timer		
0D4H	Controllo del timer		
0D5H	Riservato		
0D7H			
0D8H	Watchdog		
0D9H	Riservato		
0FEH	Accumulatore		
0FFH			

Area di programma

I microcontroller ST62 gestiscono due aree diverse di memoria.

Organizzazione della memoria

La CPU del ST6 opera in due aree differenti della memoria: quella di programma e quella dei dati, come si mostra nella figura. L'area destinata alla memoria di programma è indirizzata dal PC, al quale è associato lo stack, che è composto da una memoria LIFO da sei registri da 12 bit cadauno. Quando si esegue una chiamata a una subroutine, si produce un interrupt. Il contenuto di ogni registro dello stack si sposta

Vdd	1	20	Vss
Timer	2	19	PA0
OSCIN	3	18	PA1
OSCOUT	4	17	PA2
NMI	5	16	PA3
Vdd/Test	6	15	PB0
Reset	7	14	PB1
PB7	8	13	PB2
PB6	9	12	PB3
PB5	10	11	PB4

Vdd	1	28	Vss
Timer	2	27	PA0
OSCIN	3	26	PA1
OSCOUT	4	25	PA2
NMI	5	24	PA3
PC7	6	23	PA4
PC6	7	22	PA5
PC5	8	21	PA6
PC4	9	20	PA7
Vdd/Test	10	19	PB0
Reset	11	18	PB1
PB7	12	17	PB2
PB6	13	16	PB3
PB5	14	15	PB4

Piedinatura dei modelli più rappresentativi della subfamiglia ST62.