

Comunicazione parallela

Sino a ora in tutti gli esempi di comunicazione fra dispositivi che abbiamo visto, sono stati utilizzati protocolli seriali. Alcuni PIC però dispongono anche della possibilità di comunicare mediante una porta parallela slave da 8 linee, con dispositivi predisposti per questo; all'interno della famiglia PIC16F87X si trovano quelli che hanno un contenitore da 40 pin. Nella figura a fianco possiamo vedere uno schema di tutti i possibili modi di comunicazione supportati dai PIC16F87X.

La porta parallela slave utilizza le porte D ed E.

La porta parallela slave (PSP)

Nei PIC dotati di questa possibilità vi sono due porte addizionali (la D e la E), sulle quali vengono suddivise le funzionalità della porta parallela. La porta D si può comportare come una porta di ingresso/uscita digitale da 8 linee o come l'ingresso/uscita dei dati ricevuti/trasmessi in

modo parallelo. La porta E invece dispone di tre linee che possono essere utilizzate per gli ingressi/uscite dei dati digitali, come canali analogici o per il controllo della porta parallela slave (RD# = lettura, WR# = scrittura, CS# = selezione del chip).



Modi di comunicazione supportati via hardware dai PIC16F87X.

MCLR#/V _{pp} /THV	1	40	RB7/PGD	
RA0/AN0	2	39	RB6/PGC	
RA1/AN1	3	38	RB5	
RA2/AN2/V _{REF+}	4	37	RB4	
RA3/AN3/V _{REF+}	5	36	RB3/PGM	
RA4/TOCKI	6	35	RB2	
RA5/AN4/SS#	7	34	RB1	
Controllo PSP	RE0/RD#/AN5	8	RB0/INT	
	RE1/WR#/AN6	9	V _{DD}	
	RE2/CS#/AN7	10	V _{SS}	
V _{DD}	11	30	RD7/PSP7	
V _{SS}	12	29	RD6/PSP6	
OSC1/CLKIN	13	28	RD5/PSP5	
OSC2/CLKOUT	14	27	RD4/PSP4	
RC0/T1OSO/T1CKI	15	26	RC7/RX/DT	
RC1/T1OSI/CCP2	16	25	RC6/TX/CK	
RC2/CCP1	17	24	RC5/SDO	
RC3/SCK/SCL	18	23	RC4/SDI/SDA	
Dati PSP	RD0/PSP0	19	22	RD3/PSP3
	RD1/PSP1	20	21	RD2/PSP2

Registri utilizzati

Oltre al registro PORTD, dove arriverà l'informazione ricevuta o dovrà essere caricata l'informazione da trasmettere, vi sono due registri che controllano tutto il processo di informazione parallela: il PORTE e il TRISE.

Sequenze della comunicazione

Per abilitare la porta parallela slave il bit PSPMODE deve essere impostato a 1. Questo bit è il 4° del registro TRISE e la sua impostazione a 1 fa sì che le tre linee di controllo (RD#, WR#



e CS#) vengano configurate come ingressi, inoltre la porta E si deve configurare come digitale, inibendo le sue funzioni di ingresso analogico. Questo si realizza nel registro ADCON1, che controlla anche i canali corrispondenti alla porta A. Quando un dispositivo vuole scrivere su una porta del PIC, dovrà impostare a 0 le linee di selezione (CS#) e scrittura (WR#) e il dato entrerà tramite la porta D impostando a 1 il bit IBF. Terminata la ricezione si attiverà il flag di interrupt (PSPIF), e l'interrupt stesso avrà corso se sarà stato abilitato in precedenza. Se prima di acquisire il dato ricevuto se ne riceve un altro, il bit IBOV si attiverà per segnalare l'errore. Il processo di lettura avviene quando il dispositivo esterno imposta le linee CS# e RD# a 0. In quel momento verrà trasmesso verso l'esterno il dato che si trova sulla porta D, e il bit OBF verrà impostato a 0 per indicare che è avvenuta una lettura. Anche qui si attiverà il flag PSPIF e si potrà produrre un interrupt. Spostando un nuovo dato sulla porta D, il bit OBF si imposterà nuovamente a 1 in modo automatico. Sia nella lettura che nella scrittura, il compito del programmatore consisterà nella realizzazione di una serie di test dei bit che si attivano/disattivano per sapere quando acquisire l'informazione o quando spostare nuovi dati sulla porta D; infatti, come per le comunicazioni seriali, il cambio di stato di questi bit così come la trasmissione/ricezione avviene in modo automatico, in quanto si tratta di un dispositivo hardware dei PIC. L'unico bit che bisogna impostare a 0 da programma è quello del flag di interrupt.

Registro PORTE

7	6	5	4	3	2	1	0
—	—	—	—	—	CS#	WR#	RD#
							0
CS# Bit di selezione del chip.							
1 = Periferica non selezionata. Disattiva l'ingresso/uscita dei dati dalla Porta Parallela Slave							
0 = Periferica selezionata. Attiva l'ingresso/uscita dei dati della Porta Parallela Slave							
WR# Segnale di scrittura.							
1 = Disattiva la scrittura dei dati della Porta Parallela Slave							
0 = Attiva la scrittura dei dati della Porta Parallela Slave (PORTD). CS# deve essere selezionato							
RD# Segnale di lettura.							
1 = Disattiva la lettura dei dati della Porta Parallela Slave							
0 = Attiva la lettura dei dati della Porta Parallela Slave (PORTD). CS# deve essere selezionato							

Distribuzione e utilizzo dei bit del registro PORTE per l'utilizzo della porta parallela slave (PSP).

Registro TRISE

7	6	5	4	3	2	1	0
IBF	OBF	IBOV	PSPMODE	—	TRISE2	TRISE1	TRISE0
							0
IBF Bit di stato del buffer di ingresso pieno.							
1 = Ha ricevuto un byte che deve essere letto							
0 = Non ha ricevuto alcun byte							
OBF Bit di stato del buffer di uscita pieno.							
1 = Il buffer di uscita non è ancora stato letto							
0 = Il buffer di uscita è stato letto							
IBOV Bit di rilevazione di overflow sul buffer di ingresso.							
1 = Si è prodotta una scrittura del buffer di ingresso senza che sia stato letto il buffer precedente							
0 = Non si è verificato overflow							
PSPMODE Bit di selezione della porta parallela slave.							
1 = Modo Porta Parallela Slave							
0 = Modo generale di ingresso/uscita							
TRISE2 Bit di controllo di direzione di RE2.							
1 = Ingresso							
0 = Uscita							
TRISE1 Bit di controllo di direzione di RE1.							
1 = Ingresso							
0 = Uscita							
TRISE0 Bit di controllo di direzione di RE0.							
1 = Ingresso							
0 = Uscita							

Distribuzione e utilizzo dei bit del registro TRISE per il controllo della porta parallela slave (PSP).

